

平成15年度 特許出願技術動向調査報告書

L S I の多層配線技術 (要約版)

<目次>

第1章 技術の概要	1
第2章 特許動向	7
第3章 研究開発動向	15
第4章 市場動向	19
第5章 政策動向	20
第6章 相関分析	21
第7章 提言	22

平成16年3月

特 許 庁

問い合わせ先
特許庁総務部技術調査課 技術動向班
電話：03 - 3581 - 1101 (内線2155)

第1章 技術の概要

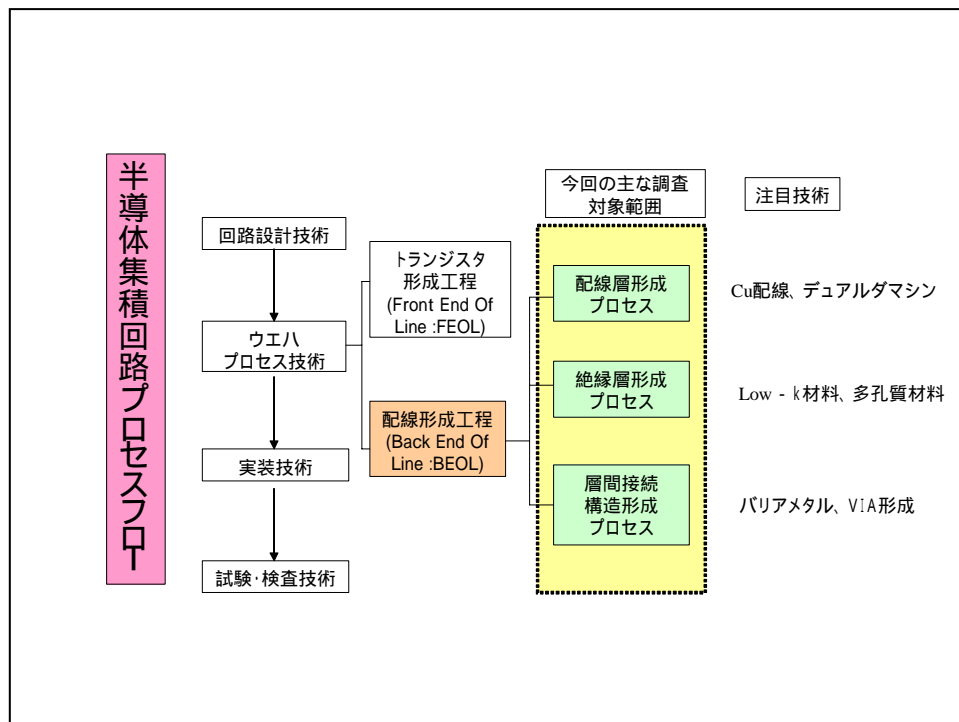
第1節 半導体製造技術における多層配線技術

大規模集積回路(Large Scale Integration : LSI)は、21世紀の高度情報化社会における情報通信分野を始めとしたあらゆる産業分野を根底から支える基幹デバイスである。基幹デバイスとしてのLSIには、高集積化、高速化、低消費電力化、低コスト化、高機能化等の多面的な特性の向上が求められている。

このLSIの研究開発は、テクノロジーノード¹が250nmを迎えるまでは、一貫して微細化を中心に進められてきた。なぜならば、LSIの動作速度を律速する主要因がゲート遅延にあったからである。

ところが、テクノロジーノードが250nm以降の世代からは、トランジスタにおけるゲート遅延よりむしろ、配線遅延がLSIの動作速度を律速する主要因として顕在化してきた。配線遅延に対しては、配線抵抗Rと配線間の寄生容量Cで定まる遅延時定数 $\tau = R \times C$ が評価指標となる。この配線遅延を低減するためには、配線層数を多くし、トータルの配線長を短くしてRを下げるアプローチも考え得るが、従来からの配線構造の材料であるAlとSiO₂の組合せでは、130nmノードで必要な配線層数が12層にも達してしまい、製造コストの観点から現実的な解ではない。このため、配線遅延を低減するための新たな多層配線技術の開発が重要な課題となっている。

第1-1図 半導体集積回路製造技術における多層配線技術の位置付け



¹ テクノロジーノード : ITRS(国際版世界半導体技術ロードマップ)においてDRAMのハーフピッチ(250, 180, 130, 90, 65, 45nm(前世代の70%の数字))で定義された技術の程度を表す指標。DRAMの値を用いるのは、DRAMが未だに全半導体の中で最小のハーフピッチを必要とするからである。

一方、配線遅延と並んで、LSI の高集積化、微細化に伴って顕在化する問題に LSI の消費電力の増大がある。例えば、誘電率 $k=3.5$ 、90nm ノード世代ではすでに、現実的な消費電力上限を超えるとのシミュレーション結果が報告されている²。配線間の寄生容量 C を低減し、低消費電力化を達成することは、高速化と並んで多層配線技術に課せられた大きな技術的課題である。

以上のことは、プロセス技術の視点からみると、技術開発の重点が、トランジスタを形成するウエハープロセスの前半部(Front-End of Line : FEOL)から、トランジスタ形成後の配線工程を中心にしたウエハープロセスの後半部(Back-End of Line : BEOL)へシフトしている事を意味する。

第 1 - 1 図に、LSI 製造技術における多層配線技術の位置付けを示した。今回の調査範囲は、配線工程が中心的なプロセスとなる BEOL を中心に行った。また、配線工程自身は、配線層形成プロセス、絶縁層形成プロセス、層間接続構造形成プロセスの 3 要素技術の組合せ及びその繰返しから構成されている。

配線層形成プロセスにおいては、配線材料として Cu を用いる技術が注目を浴びている。これは、Cu 材料が、低抵抗材料である(バルク比抵抗 = $1.68 \mu\text{-cm}$)、融点が 1083 と高いためエレクトロマイグレーション耐性が高い、といった面で他の配線材料候補より有利なためである。

絶縁層形成プロセスにおいては、low-k 材料の開発が盛んである。特に、フッ素を数 at. % 含む SiOF 膜やカーボンを含む SiOC 膜、さらにポーラス膜などのアプローチに一定の成果が現れてきている。

層間接続構造形成プロセスにおいては、バリアメタルや VIA 形成の研究開発が中心に進められている。特に、バリアメタルは、エレクトロマイグレーション耐性、ストレスマイグレーション耐性や密着性を高めるなど信頼性の向上には欠かせない要素技術である。

以上、Cu 配線、low-k 材料、バリアメタルが当面の多層配線技術の中心的な技術的課題であり、これらの技術的課題を克服する方向で研究開発が進められることは、専門家の間でもコンセンサスとして定着している。

しかし、次世代以降の配線技術がそのままのトレンドを維持されるのかは予想できない。仮に、BEOL 関係技術の研究開発が進み、FEOL からの独立性が高めれば、BEOL 工程を施したチップにデバイスを作るといった、Back-end と Front-end が入れ変るような新規なコンセプトが将来産まれないとは限らない。また、最近では次世代技術を見据え、BEOL と実装工程との融合が注目されている。実装工程を視野に入れた BEOL の技術開発では、ボンディング、モジュール等に関連するプロセス技術開発や新規な材料開発も含まれるため、その裾野は FEOL に比べて格段に幅広くなる。

以上の点を踏まえ、本調査では、技術トレンドの主流である当面の技術的課題を中心に調査を進めるが、可能な限り次世代における多層配線技術の研究開発動向についても視野に入れた調査を行なうことで、多層配線技術に対する広範囲な検討を可能とするための基礎的情報の提供を試みることにする。

² 平成 15 年度「次世代半導体材料・プロセス基盤技術開発」中間報告書 NEDO

第2節 多層配線技術における注目3分野技術

(1) Cu配線技術

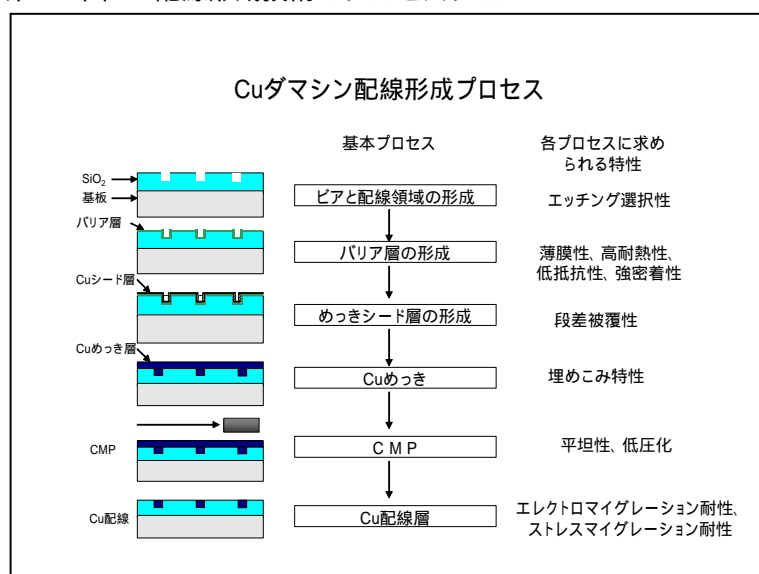
Cu配線技術で重要なのは、ダマシンプロセス(Damascene Process)技術、化学的・機械的研磨(Cheical and Mechanical Polishing : CMP)技術、及びCuめっき技術である。これらの配線技術は、個々の技術としては、知られてはいたものの、LSI製造プロセスの一部として導入することで、新たに生まれ変わった技術といえる。第1-2図に、Cu配線技術のプロセスフローを示した。

ダマシンプロセス技術は、予め層間絶縁膜に配線溝を形成しておき、そこにCu配線を埋め込むプロセスである。Cuはドライエッチングに高温を要するため、フォトレジストの耐熱性の観点からAlのようなドライエッチングによる配線の形成は困難であった。そこで、予め層間絶縁膜に配線溝を形成しておき、そこにCuを埋め込む方法が取られた。ダマシ(Damascene)という名称は、装飾用に表面に溝を形成して金属を埋め込む象眼法に由来している。ダマシンプロセスの中でも、コンタクトプラグと配線層を個別に形成するシングルダマシンプロセスよりも、両者を同時に形成するデュアルダマシンプロセスが主流となっている。

CMP技術は、ウエハ全面を研磨パッドで機械的・化学的に研磨して平坦化する技術をいう。従来、多層配線では、上層配線ほど設計ルールを緩和する傾向にあったが、層間膜の平坦化にすべてCMP技術を採用すると、下層から上層まで同じ配線ルールで設計が可能になり、ビアホールが深さが揃うために、配線マージンに配慮しなくてもよいボーダレス構造が実現可能となった。またCMP技術は、近接した領域の段差と広い領域の段差の両者を同時に平坦化できる点にも優れた特徴がある。

Cuめっき技術は、硫酸に硫酸銅を加えたものをベースに添加剤を加えた銅イオンを含む溶液中に銅電極を陽極、成長させる基板上的Cuシード膜を陰極にして、溶液中の銅イオンをCuシード膜上に析出させる技術である。通常、基板側には、層間絶縁膜の溝部にスパッタリングにより形成されたバリアメタルを形成し、さらにその上にCuを析出するためのシード膜を形成しておく。溝埋め込みにおける被覆性に優れており、安定した成膜を可能にした。

第1-2図 Cu配線形成技術のプロセスフロー



(2) 低誘電率 (low-k) 材料開発技術

従来、層間絶縁膜としては Tetra-Ethoxysilane (TEOS)-CVD 膜や、Spin-On Dielectrics (SOD) 膜が用いられてきており、何れも SiO_2 系の膜で誘電率 ~ 4.0 である。これらの層間絶縁膜の主要な技術課題は配線段差に対する被覆性で、特に、配線の多層化に伴って顕在化していた。

ところが、CMP 技術の採用によってウエハ面内のグローバルな平坦化が可能となると、層間絶縁膜に対して低誘電率化を求める傾向が強くなった。配線の微細化に伴う配線遅延に対処するためには、層間絶縁膜材料自体の誘電率を下げるのが必須だからである。

一般に、絶縁膜の誘電率を小さくするには、小分極率化や低密度化が有効である。フッ素をよく用いるのは前者の方向であり、多孔質を用いるのは後者の方向である。

low-k 膜を主な材料系で分類すると、 SiOF (FSG) 系、 SiOC (Carbon-doped SiO_2) 系、H 含有ポリシロキサン (HSQ) 系、メチル含有ポリシロキサン (MSQ) 系、有機系 (ポリイミド系、パリレン系、テフロン系)、無機系、多孔質 (ポーラス) 系、Air Gap 系等が挙げられる。

また、その形成方法は、無機物では CVD、有機高分子膜では塗布法が標準的である。

low-k 膜に対しては、CMP 工程やエッチング工程等の LSI プロセスとの適合性も重要なファクターとして求められるため、低誘電性に加えて、機械的強度、熱伝導性、耐熱性、エッチング選択性、耐吸湿性等を具備している必要がある。一般に、これらの諸特性は低誘電性とトレードオフの関係にある場合が多く、総合的なバランス調整が必要である。

IBM が初めて Cu を導入した 180nm ノードでは、層間絶縁膜としては SiO_2 が用いられ、low-k 膜の導入は見送られた。ところが、130nm ノードになって、CVD- SiOF が導入されると、low-k 膜の採用は一気に加速し、2004 年には、本格的な生産開始が予想されている。また、90nm ノードでは、 SiOC 系の導入が予定されている。さらに、現在試作が活発に行われている 65nm ノードでは、誘電率を下げるために、low-k 膜としてポーラス系あるいは有機系の導入が必須とみられている。

このうち、ポーラス系の膜は、低誘電性に優れるが機械的強度が弱いという課題を有する。特に 65nm ノードになると、ポーラス膜のヤング率や硬さ等の機械的強度が急激に低下するため、後工程における CMP プロセスやパッケージ工程に耐えられないという問題が生じる。そこで、微細孔構造を制御することで多孔率を高めたままで、機械的強度を高めた膜の開発が進んでいる。また、CMP プロセス自身の低圧化についても研究が進められている。

また、有機系の膜は密着性の課題を有するため、Cu 拡散バリア性をもつ膜の開発等も進んでいる。この場合、多孔質膜で通常必要とされるライナー層等が不要となり、低誘電率化に有利である。

以上のように low-k 材料は材料面、構造面から多面的に検討されており、現状では、各アプローチとも一長一短が存在している状況にある。今後は、実際のプロセスに導入する場合に、プロセス及びデバイス全体に与える影響を考慮しながら、最適な材料・構造の選択が実験的に推し進められるものと予想される。第 1-1 表に代表的な low-k 材料の一覧を示した。

第1-1表 代表的 low-k 材料一覧

種類	材料	成膜法	比誘電率	耐熱性	技術的課題	
無機膜	SiO ₂	酸化, CVD	4	>1000		
	SiOF	CVD	3.4-3.6	>750	F安定性(吸湿)	
	Si-H含有SiO ₂ , Hydrogensilices-Quinoxane(HSQ)	塗布法	2.8-3.0 <2.0	~ 400	O ₂ フリー-ベーク, レジスト除去	
	多孔質シリカ膜	塗布法	<3.0		機械強度	
有機膜	カーボン含有SiO ₂ 膜 (SiOC)	プラズマCVD	2.7-2.9	~ 700	レジスト除去, 加工性	
	メチル基含有SiO ₂ , Methylsilices-Quinoxane(MSQ)	塗布法	2.7-2.9	~ 700	レジスト除去, 加工性	
	多孔質MSQ	塗布法 (特殊乾燥)	2.4-2.7		機械強度	
	高分子膜	ポリイミド系膜	塗布法	3.0-3.5	~ 450	レジスト除去, 加工性
		パレリン系膜	プラズマ重合, 塗布法	2.7-3.0	~ 400	O ₂ フリー-ベーク レジスト除去, 接着性
		テフロン系膜	プラズマCVD	2.0-2.4	~ 100	耐熱性(ガラス化) レジスト除去, 接着性
	アモルファスカーボン(Fドーブ)	プラズマCVD	<2.5	~ 700	O ₂ フリー-ベーク レジスト除去, 接着性	

参考：前田和夫、「はじめての半導体製造装置」、工業調査会

(3) Cu 拡散バリア膜

Cu 拡散バリア膜とは、Cu の拡散によるデバイス特性の劣化防止や、配線金属材料と Si 基板や層間絶縁膜との密着性を向上させるために設けられる膜である。例えば、DRAM、CMOS ロジック LSI 等では、Si 基板とのコンタクト部、ポリメタルゲートのポリシリコン/メタル間などにバリア膜が形成されている。また、Cu 膜をめっきで形成する場合には Cu シード層が必要となるため、バリア膜とシード層は連続成膜される。

バリア膜材料としては、TiN、高融点金属の炭化物や窒化物、3 元系のアモルファス材等が開発されている。

バリア膜の特性としては、バリア性の他に、薄膜性、高耐熱性、低抵抗性、強密着性、耐エレクトロマイグレーション性等が要求される。また、100nm ノード以降となると、バリアメタルと Cu 配線を含めたトータルの抵抗値に占めるバリアメタルの比重が高まる為、ナノメートルレベルの薄膜で均一なバリアメタルの成膜が必須である。この為、薄膜作成時の制御性の高い Atomic Layer Deposition(ALD)の導入が検討されている。さらに、low-k 材料としてポーラス材料を導入する場合には、バリアメタル/ポーラス膜界面での反応抑制のためのシーリング技術も必要になる。

以上の点も踏まえて、多層配線技術分野における主要要素技術の技術目標と課題を示すと第1-2表の通りとなる。

第1-2表 多層配線技術における技術目標と課題

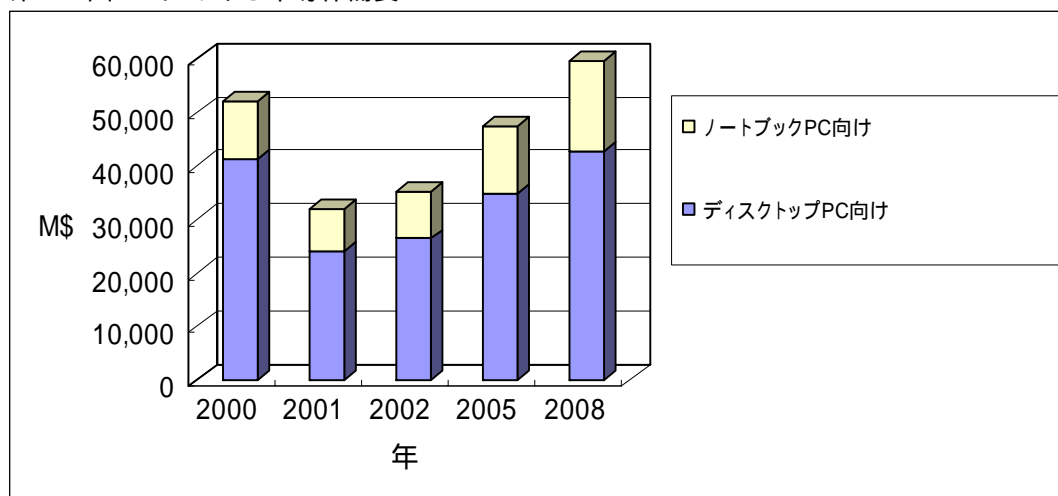
技術項目	求められる特性	克服すべき技術的課題
Cu 配線技術	<ul style="list-style-type: none"> ・微細配線化での抵抗上昇抑止 ・高アスペクト微細ホールへの埋め込み性向上 ・エレクトロマイグレーション耐性向上 ・ストレスマイグレーション耐性向上 	<ul style="list-style-type: none"> ・微細高アスペクト比ホール対応めっきシード層形成 ・界面拡散抑制構造形成
低誘電率層間絶縁膜技術 (low-k)	<ul style="list-style-type: none"> ・比誘電率の低減 ・機械的強度及び密着性の向上 ・耐熱性、熱伝導性の向上 	<ul style="list-style-type: none"> ・CMP法の改良 ・エロージョン(erosion)の抑制 ・ディッシング(dishing)の抑制 ・研磨速度の向上 ・低圧化 ・プロセスインテグレーションでの信頼性向上 ・エッチング残渣物の膜内取り込み抑制 ・耐吸湿性向上 ・密着性・機械強度向上 などを含む総合的特性の向上 ・Cuの絶縁膜中拡散防止
Cu 拡散バリア膜技術	<ul style="list-style-type: none"> ・極薄バリア(膜厚数 nm 程度以下)の均一形成 ・絶縁膜との密着性向上 ・バリア性向上 ・低抵抗化 	<ul style="list-style-type: none"> ・CVD及びALDバリアの膜質向上 ・バリア膜の低抵抗性と高バリア性の両立

第3節 関連製品と応用製品

LSIの多層配線技術は、半導体製造プロセスの一プロセス技術に過ぎないため、半導体関連製品及び半導体応用製品との個別のデバイスに対する直接的な関係を示すことは困難である。そこで、半導体製品を利用するパーソナルコンピュータ(PC)、デジタルカメラ、ゲーム機器等のデジタル情報家電、デジタル携帯電話に代表されるモバイル機器、あるいは、ネットワーク機器等における市場との関連において概覧する。

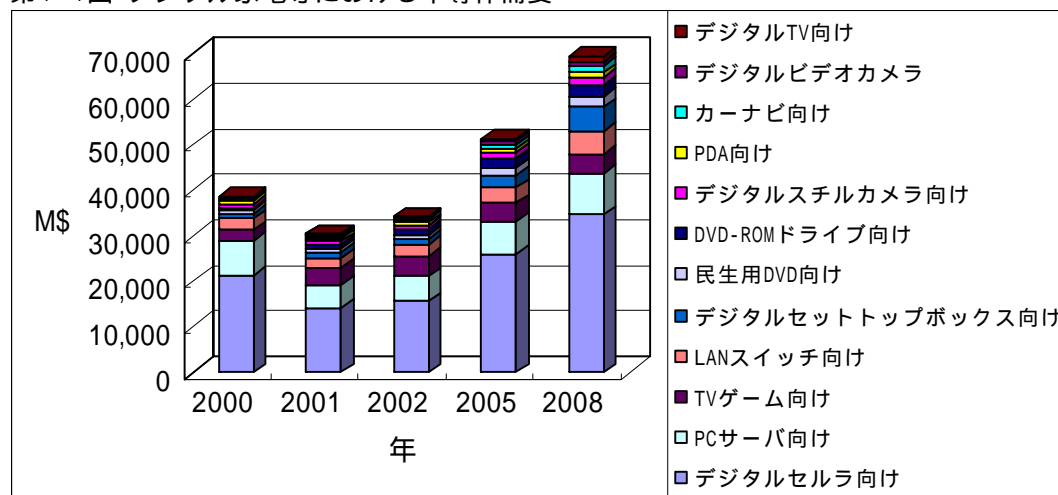
半導体製品の主要なアプリケーション製品として、第1-3図にPC、第1-4図にデジタル家電等の半導体需要予測を示した。各アプリケーションの多様な機能は、実質的には、高機能を実現する半導体デバイス上に集約されるため、半導体デバイスに対する高機能化は今後とも推し進められる。特に、高機能化を実現するためには、要素技術として半導体デバイスの高速化技術および低消費電力化技術は必須である。一方で、PC以外にも、新しいアプリケーション製品が次々に半導体デバイスに対する需要を巻き起こすため、この需要に応えるために低コスト化への圧力も強くなる。

第1-3図 PCにおける半導体需要



注) 2001 まで実績値、2002、2005、2008 は予測値
 参考：世界の電子機器と半導体市場の中長期展望 2002

第1-4図 デジタル家電等における半導体需要



注) 2001 まで実績値、2002、2005、2008 は予測値
 参考：世界の電子機器と半導体市場の中長期展望 2002

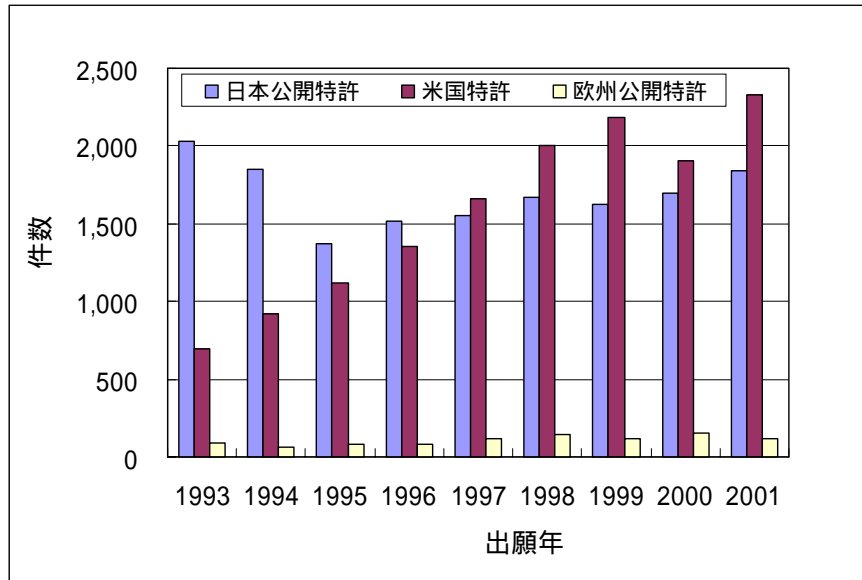
第2章 特許動向
 第1節 全体動向

多層配線分野における特許出願動向の全体動向を第2-1図、主要地域の特許出願分布と相互関係を第2-2図に示した。特許出願の絶対数においては、日米の出願数が、欧州に比較して桁違いに多い。地域別に見ると、日本は、1993年から1995年にかけて、出願数が減少したが、その後、緩やかな出願増加の傾向を示している。米国は、2000年を除き、ここ10年間安定して出願が増加している。欧州の特許出願数は、年間100件以下に留まり、大きな変化は見られない。

また、三極の出願人の自国内及び他地域に対する出願動向の意識は、大きく異なる。各地域の自国内出願の割合は、日本では約83%、米国では約54%、欧州では20%である。この結果、日本は自国に対する国内出願が非常に多い地域といえる。

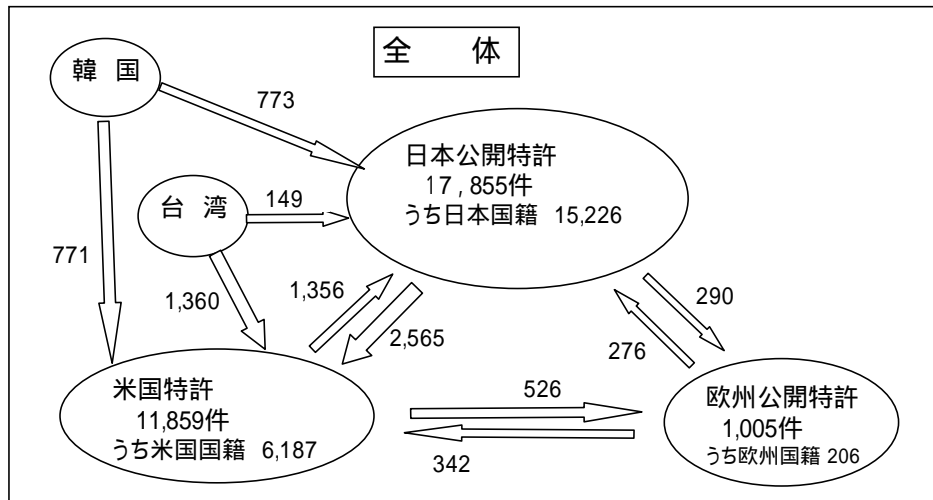
さらに、併載した韓国及び台湾の特許出願動向から、台湾については、地理的に近い日本よりも、米国に対する出願を重視していることが明らかとなった。

第2-1図 全体出願動向相互出願状況



注) 日本公開特許は日本国で出願公開された特許、米国特許は米国で登録された特許(2001年以降は公開含む)、欧州公開特許は欧州特許庁で出願公開された特許

第2-2図 主要地域の特許出願分布と相互関係



注) 1. 出願人の国籍 日本公開特許: PATOLISのAPA(出願人国県) 米国特許: IFIPATのPA(出願人) 欧州公開特許: EPPATENTのPA(出願人)を参照、欧州各国は欧州特許条約加盟国とした。
 2. データベースは、PATOLIS(日本)、IFIPAT(米国)、EPPATENT(欧州)
 3. データ取得日 PATOLIS:2003/7/4 IFIPAT:2003/8/22 EPPATENT:2003/8/22

第2-1表に、各地域別の主要出願人ランキングを示した。同表から、日本のデバイスメーカーのうち、日本電気が世界の主要地域に満遍なく特許出願していることがわかる。逆にソニー、日立製作所、富士通等のデバイスメーカーは、日本における出願のみに注力している。米国では、International Business Machines(IBM)がやや日本での順位が低いものの、国際的

に特許出願をしている。逆に、Micron Technology、Advanced Micro Device からの出願は、米国内のみに注力している。

ほとんどの上位出願人がデバイスメーカーの中で、Applied Materials(AMAT)が各地域において、上位にランキング入りしているのは注目に値する。特に、欧州特許はトップであり、製造装置メーカーとしての同社の国際特許戦略は、日本の製造装置メーカーにも特許戦略を構築する上で参考となる戦略の一つである。

第2-1表 多層配線分野全体の三極別主要出願人(1993年から2003年までの累計)

	日本公開特許	件数	米国特許	件数	欧州公開特許	件数
1	ソニー(株)	2,006	MICRON TECHNOLOGY INC	869	APPLIED MATERIALS, INC.	133
2	日本電気(株)	1,938	ADVANCED MICRO DEVICES INC	733	INTERNATIONAL BUSINESS MACHINES CORPORATION	83
3	東芝(株)	1,232	INTERNATIONAL BUSINESS MACHINES CORP	552	TEXAS INSTRUMENTS INCORPORATED	73
4	日立製作所(株)	1,074	TAIWAN SEMICONDUCTOR MANUFACTURING CO TW	545	SIEMENS AKTIENGESELLSCHAFT	68
5	富士通(株)	1,048	NEC CORP JP	532	NEC CORPORATION	38
6	三菱電機(株)	882	UNITED MICROELECTRONICS CORP TW	371	SGS-THOMSON MICROELECTRONICS, INC.	38
7	松下電器産業(株)	803	TOSHIBA CORP JP	326	STMICROELECTRONICS, INC.	34
8	セイコ-エプソン(株)	505	APPLIED MATERIALS INC	313	SEMICONDUCTOR PROCESS LABORATORY CO., LTD.	33
9	沖電気工業(株)	442	SAMSUNG ELECTRONICS CO LTD KR	307	INFINEON TECHNOLOGIES AG	32
10	東京エレクトロン(株)	422	mitsubishi denki k k JP	293	DOW CORNING CORPORATION	31
11	アブライド マテリアルズINC	363	TEXAS INSTRUMENTS INC	276	MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.	31
12	三洋電機(株)	349	MOTOROLA INC	211	CANON SALES CO., INC.	30
13	シャープ(株)	341	FUJITSU LTD JP	188	TOKYO ELECTRON LIMITED	28
14	三星電子(株)	329	HYUNDAI ELECTRONICS INDUSTRIES CO LTD KR	181	LUCENT TECHNOLOGIES INC.	26
15	川崎製鉄(株)	289	INTEL CORP	176	STMICROELECTRONICS S.R.L.	26
16	インタ-ナショナルビジネス マシ-ンズCORP	228	CHARTERED SEMICONDUCTOR MANUFACTURING PTE LTD SG	143	MOTOROLA, INC.	25
17	新日本製鉄(株)	203	LSI LOGIC CORP	143	KABUSHIKI KAISHA TOSHIBA	22
18	NECエレクトロニクス(株)	190	HITACHI LTD JP	134	JSR CORPORATION	19
19	キヤノン(株)	170	SONY CORP JP	126	SHARP KABUSHIKI KAISHA	18
20	テキサス インストルメンツINC	153	MATSUSHITA ELECTRIC INDUSTRIAL CO LTD JP	119	NEC ELECTRONICS CORPORATION	17

注) 1. 使用したデータベースは日本公開特許：PATOLIS、米国特許：IFIPAT、欧州公開特許：EPPATENT

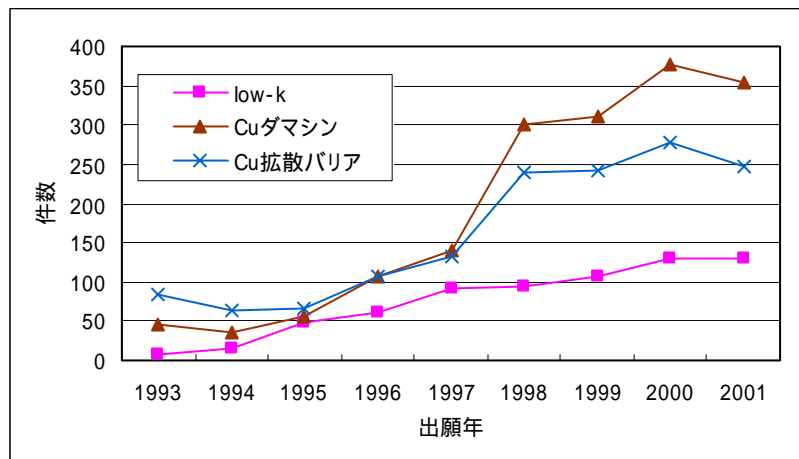
2. SGS-THOMSON MICROELECTRONICS, INC.、STMICROELECTRONICS, INC は同名企業の米国法人、SGS-THOMSON MICROELECTRONICS は 1998 年に社名を STMICROELECTRONICS に変更している。Infineon Technologies は Siemens の半導体部門が独立して 1994 年に設立。

3. 三菱電機と日立製作所は H15 年 4 月に半導体部門を事業統合し、ルネサス テクノロジを設立している。

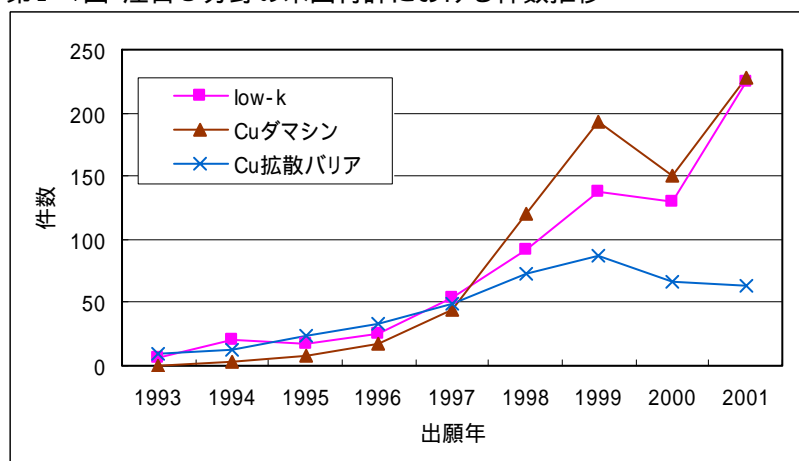
第2節 注目3分野の特許出願動向

特許出願数の多い、日米の特許を対象として、注目3分野の特許出願動向推移を第2-3図、第2-4図に各々示した。注目3分野については、両国とも、特許出願数が増加傾向にある。

第2-3図 注目3分野の日本公開特許における件数推移



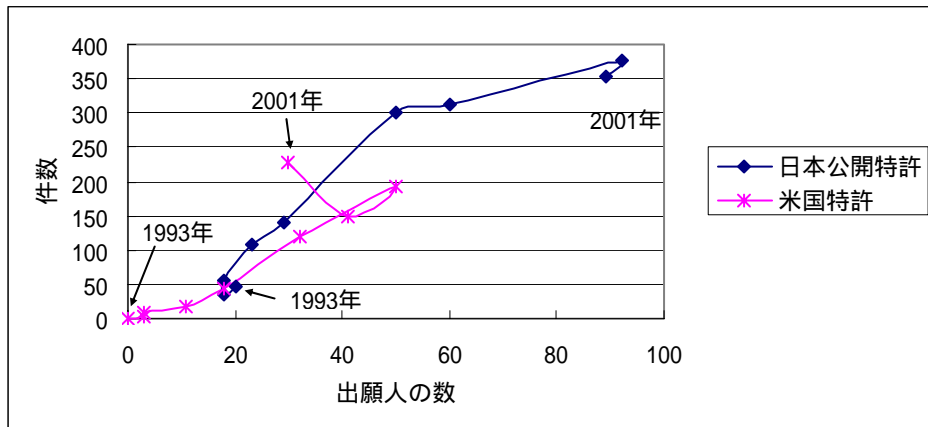
第2-4図 注目3分野の米国特許における件数推移



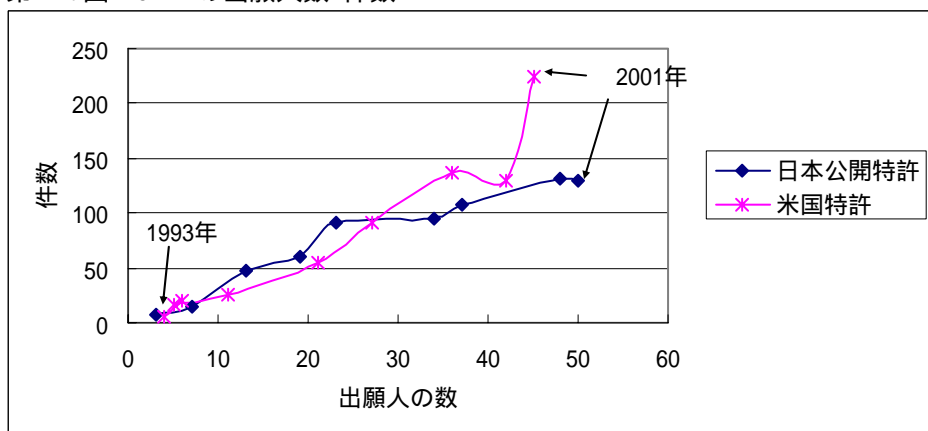
全体動向でみたように出願先の中心は日本と米国であるため、以下では日本公開特許と米国特許を中心に紹介する。

第2-5図、第2-6図、第2-7図に、注目3分野別に出願人数と出願件数の推移の相関をとり、注目3分野における研究開発の進捗度を参加企業数と共に示した。全般的には、3分野とも、出願人数、件数ともに増加傾向にある。特に、Cuダマシン技術、Cuバリア技術に比較してlow-k材料は活発な傾向にあり、特に米国特許において増加傾向は顕著である。

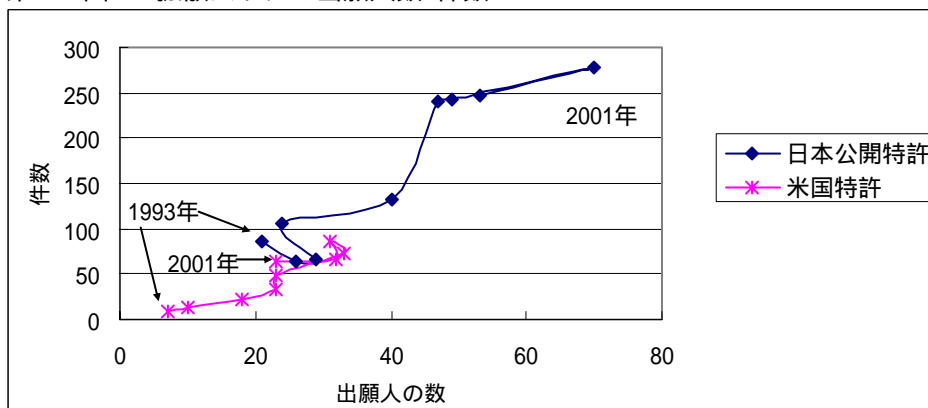
第2-5図 Cu ダマシンの出願人数-件数



第2-6図 low-kの出願人数-件数



第2-7図 Cu 拡散バリアの出願人数-件数



また、Low-k 材料について地域毎の特徴を技術的な視点で解析したものを示した。第2-2表には、米国特許の米国籍特許の動向、第2-3表には、日本特許の日本国籍特許の様子を示した。何れも、SiOF系から、次の材料系に軸足を移しつつある傾向を読み取ることができる。

さらに、注目3分野について、特許の品質面での指標となる特許の引用情報の調査を行った。その結果、Cu ダマシンと low-k については、米国出願人による特許の被引用回数が多く、先行技術としての価値が高いことがわかった。また、韓国、日本はいずれの分野においても被引用回数が少なく、特許として影響力のあまり大きくない、いわゆる改良特許に甘んじている可能性があることを示唆している。

第2-2表 low-kの米国特許（米国籍）における技術分野別件数推移

技術区分		出願年									
		1993	1994	1995	1996	1997	1998	1999	2000	2001	2002
中区分	小区分										
SiOC	CVD						9	11	14	12	6
	CVD：ポーラス						3	1	3		1
	SOD						2	2	3	1	1
	SOD：ポーラス						1	5	4	4	1
無機系 low-k材料	a-C系				1	1	1	2	1		
	a-SiC系							1		1	
	SiO2系						1	2	3		2
	SiOF系				1	7	2	2		2	
	無機：その他	1			1		1	1	1		1
有機系 low-k材料	フッ素系ポリマー					1					
	有機：その他				1	1	2		1	2	
	有機珪素重合体					1					1

➡ 米国は SiOF 系から SiOC-CVD 系へ

第2-3表 low-kの日本公開特許（日本国籍）における技術分野別件数推移

技術区分		出願年									
		1993	1994	1995	1996	1997	1998	1999	2000	2001	2002
中区分	小区分										
SiOC	CVD			1	2	1			10	6	
	CVD：ポーラス					1		3	1	1	3
	SOD			2		4	4	13	11	10	1
	SOD：ポーラス						3	3	1	8	
無機系 low-k材料	a-C系		1	1	1	2	3		1		
	a-SiC系									1	
	SiO2系			1	3	1					
	SiOF系	2	2	9	11	5	1	2			
	無機：その他		1						3		
有機系 low-k材料	フッ素系ポリマー				2					1	
	有機：その他			3	7	10	13	10	18	5	1
	有機珪素重合体		1		1	4	3	4	4		

➡ 日本は SiOF 系から有機系、塗布系ポーラス

第2-4表 米国特許における国籍別の被引用回数

国籍	Cu ダマシン技術			low-k			Cu 拡散バリア		
	件数	被引用回数合計	平均被引用回数	件数	被引用回数合計	平均被引用回数	件数	被引用回数合計	平均被引用回数
米国	438	2593	5.9	512	3200	6.3	235	1523	6.5
台湾	240	868	3.6	130	406	3.1	82	358	4.4
シンガポール	39	175	4.5	22	76	3.5	9	113	12.6
日本	106	133	1.3	100	248	2.5	85	452	5.3
韓国	33	19	0.6	20	15	0.8	34	102	3.0

➡ Cu ダマシン、low-k では日本からの出願の被引用回数は少ない

第3節 装置レシピ特許

多層配線技術のように高精度な半導体製造装置を制御するプロセス技術においては、実務的に、半導体製造装置を如何に制御するのかという観点から、プロセス制御情報として以下で定義する「装置レシピ」が重要になってきている。

半導体デバイスメーカー、ファンドリ、半導体製造装置メーカーのいずれにとってもビジネス上の重要性を増してきている「装置レシピ」に関して、特許情報にどのように反映されているのかを調査・解析を行った。

今回の調査では、調査の都合上、「装置レシピ特許」を以下のように定義した。

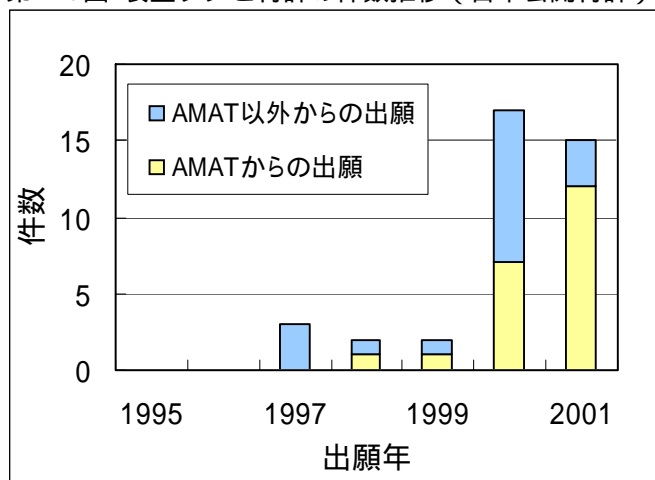
装置レシピ特許

実質的には製造装置の制御方法に関する特許であるが、制御方法の内容をプログラム又は記憶媒体、記録媒体という末尾として、制御装置の制御方法をソフトウェア化した特許。

この定義を基に、LSIの多層配線技術分野から抽出された特許件数は40件で、うち登録されたものは3件であった³。

第2-8図に、「装置レシピ特許」の出願動向を示した。装置レシピ特許は1997年から出願がみられるが、これは半導体製造装置が個別ユニット型からプロセス全体のトータルソリューションを提供するモジュール型に移行し始めた時期にほぼ符号している。

第2-8図 装置レシピ特許の件数推移（日本公開特許）



なお、少なくともクレーム内に“プログラム”、“記憶媒体”、“記録媒体”、の何れかの文言を含むものは、137件であった。

半導体製造装置の制御技術を従来のような「製造方法」ではなく、装置レシピ特許という

³検索条件

検索対象の母集団は、LSIの多層配線全体の日本公開特許。

上記母集団から、FI=G06F17/50（CAD関係技術）を除く。

公開公報のクレームの末尾に、“プログラム”、“記憶媒体”、“記録媒体”、の何れかを含むもの。

ここで、の限定は、製法特許ではないEDA関連のプログラム特許を除く趣旨である。

「物」の特許⁴として取得することによって、権利行使の形態が質的に変わってくる点には、半導体デバイスメーカー、ファンドリ、半導体製造装置メーカーとも、十分に留意しなければならない。

なぜなら、「製造方法」の特許では、特許権者は、権利侵害に対して、当該製造方法を実施した半導体デバイスメーカーやファンドリを直接侵害で訴えることはできるものの、当該製造方法の実施に用いられた半導体製造装置を供給した半導体製造装置メーカーに対しては、間接侵害⁵で訴える以外の方途がないのに対して、装置レシピ特許という「物」の特許として権利を取得できれば、当該装置レシピ特許に相当する装置レシピを付して半導体製造装置を販売した半導体製造装置メーカーの行為を直接侵害で訴えることができるようになるからである。

従来は半導体デバイスメーカーの特許が同業他社とのクロスライセンスに止まっていたため、特許のカテゴリーに対する問題意識が低かった。しかし、今後の特許活用の方向性を他業種に向けるならば、装置レシピというビジネス対象物自体の特許化することは、いずれの立場からみても特許活用という意味で重要である。

装置レシピ特許の例

装置レシピ特許の例を以下に示す。日本では公開済み未審査、対応特許は米国で登録済み。

<p>日本公開特許 特開 2002-124488 出願日 2001.7.31 優先権主張日 2000.7.31 出願人 アプライド マテリアルズ インコーポレイテッド 発明の名称 W(CO)6 からのタングステン膜の堆積方法</p>	<p>米国登録特許 6,218,301 出願日 2000.7.31 権利者 Applied Materials, Inc. (Santa Clara, CA) 発明の名称 Deposition of tungsten films from W(CO)6</p>
<p>日本公開特許における請求項 【請求項 1】～【請求項 49】略 【請求項 50】 実行されるとき、汎用コンピュータが(a)シリコン化合物を有するガス混合体を用いて基板を処理するステップと、(b)前記基板上に1またはそれ以上のタングステン(W)の膜を形成するステップとを有する層の堆積方法を用いる堆積チャンバを制御するソフトウェアを含むコンピュータ記憶媒体。 【請求項 51】～【請求項 53】略 【請求項 54】 前記ステップ(a)は、約 250 から約 550 までの範囲の温度で行なわれることを特徴とする請求項 50 に記載のコンピュータ記憶媒体。 【請求項 55】 前記ステップ(a)は、約 5 秒から約 30 秒までの範囲の時間で行なわれることを特徴とする請求項 50 に記載のコンピュータ記憶媒体。 【請求項 56】 前記シリコン化合物は、約 5 sccm から約 50sccm までの範囲の流速を有することを特徴とする請求項 50 に記載のコンピュータ記憶媒体。 【請求項 57】 前記ステップ(a)は、約 0.5 トルから約 2 トルまでの範囲の圧力で行なわれることを特徴とする請求項 50 に記載のコンピュータ記憶媒体。 【請求項 58】 前記キャリアガスは、約 100sccm から約 1000sccm までの範囲の流速を有することを特徴とする請求項 53 に記載のコンピュータ記憶媒体。 【請求項 59】～【請求項 72】略</p>	<p>米国登録特許における請求項 1-50 略 51. <u>The computer storage medium of claim 50 wherein the silicon compound is selected from the group of silane (SiH.sub.4), disilane (Si.sub.2 H.sub.6), dichlorosilane (SiCl.sub.2 H.sub.2), and combinations thereof.</u> 51-53 略 54. <u>The computer storage medium of claim 50 wherein step (a) is performed at a temperature in a range of about 250.degree. C. to about 550.degree. C.</u> 55. <u>The computer storage medium of claim 50 wherein step (a) is performed for a time in a range of about 5 seconds to about 30 seconds.</u> 56. <u>The computer storage medium of claim 50 wherein the silicon compound has a flow rate in a range of about 5 sccm to about 50 sccm.</u> 57. <u>The computer storage medium of claim 50 wherein step (a) is performed at a pressure in a range of about 0.5 torr to about 2 torr.</u> 58. <u>The computer storage medium of claim 52 wherein the carrier gas has a flow rate in a range of about 100 sccm to about 1000 sccm.</u> 59-72 略</p>

⁴ 特許法第 2 条第 3 項には、発明のカテゴリーとして、物（プログラム等を含む）、方法、物を生産する方法の 3 つが明記されている。

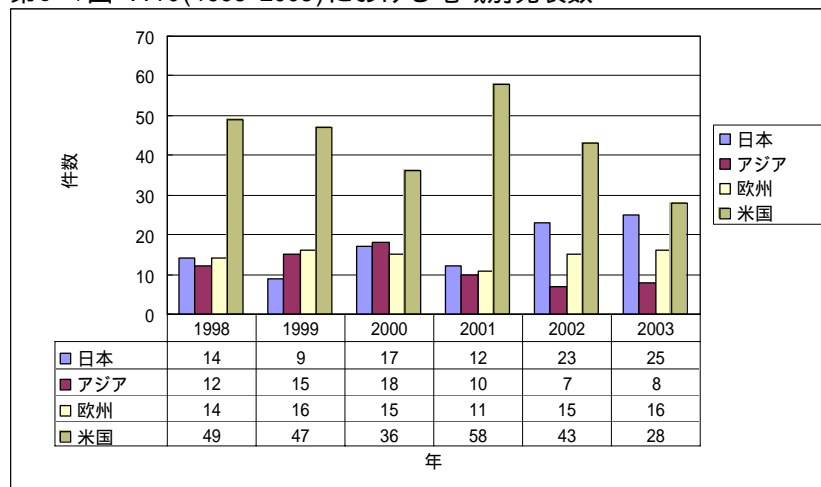
⁵ 間接侵害の規定（特許法第 101 条）：（第 3 号）特許が方法の発明についてされている場合において、業として、その方法の使用にのみ用いる物の生産、譲渡等若しくは輸入又は譲渡等の申出をする行為、（第 4 号）特許が方法の発明についてされている場合において、その方法の使用に用いる物（日本国内において広く一般に流通しているものを除く。）であってその発明による課題の解決に不可欠なものにつき、その発明が特許発明であること及びその物がその発明の実施に用いられることを知りながら、業として、その生産、譲渡等若しくは輸入又は譲渡等の申出をする行為

第3章 研究開発動向

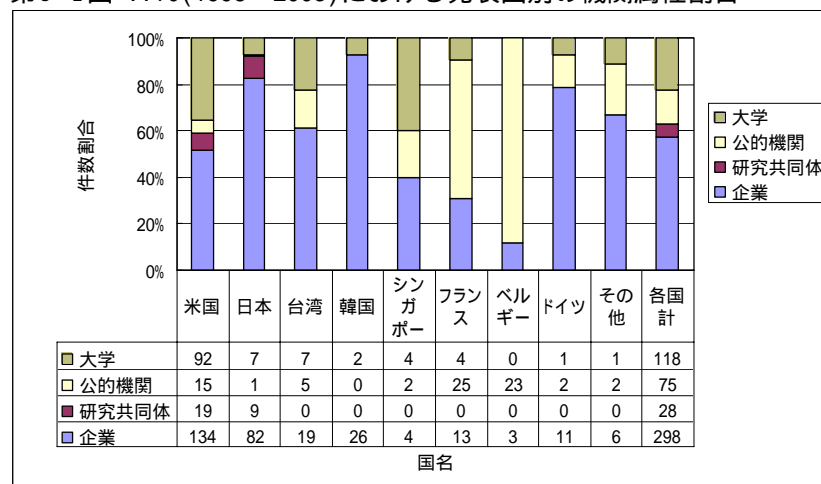
第1節 学会における動向

研究開発動向については、近年の主要学会の IEEE International Interconnect Technology Conference (IITC) (1998-2003) 及び VLSI Multilevel Interconnection Conference (VMIC) を中心に調査した。IITC における結果から、米国からの発表が多いものの、日本からの発表が増加傾向にあることがわかる。また、活動主体の分析結果からは、米国では、大学、欧州では公的機関のアクティビティが高い。さらに、技術分野別に見ると、信頼性に関する発表が増えてきている。これは、研究開発がある程度、信頼性が評価できるレベルに達していることを意味している。

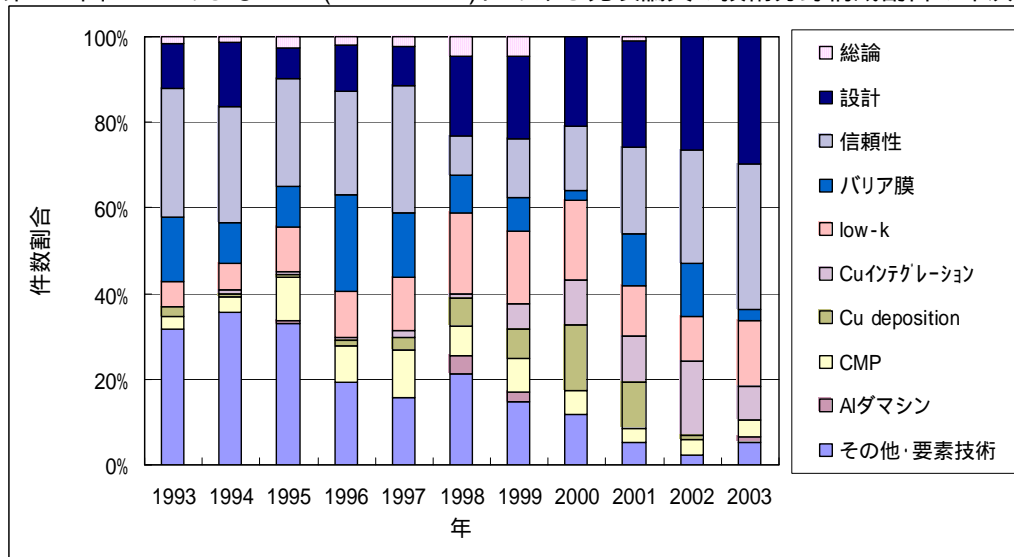
第3-1図 IITC(1998-2003)における地域別発表数



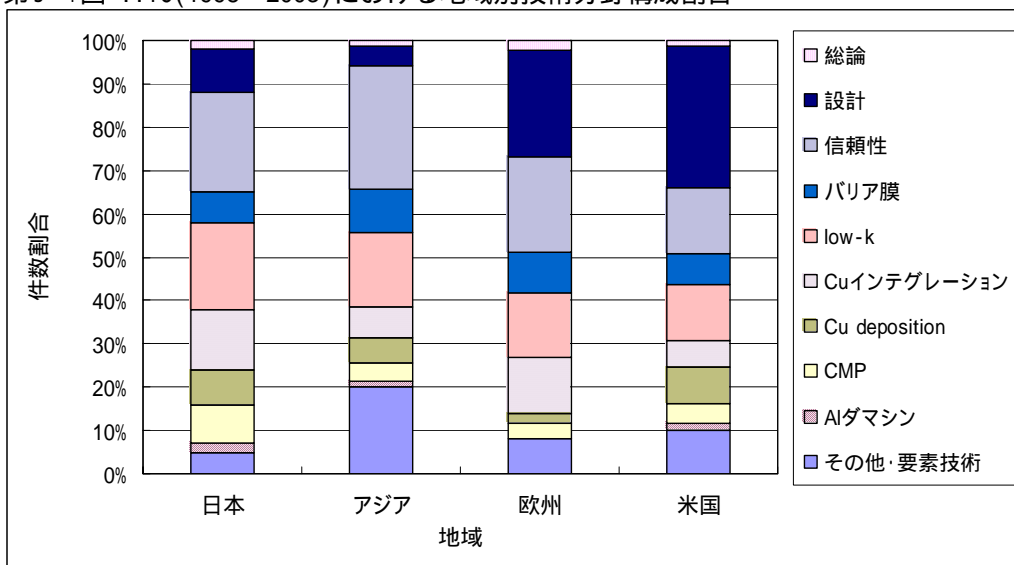
第3-2図 IITC(1998 - 2003)における発表国別の機関属性割合



第3-3図 VMIC および IITC(1993 - 2003)における発表論文の技術分野構成割合の年次推移



第3-4図 IITC(1998 - 2003)における地域別技術分野構成割合



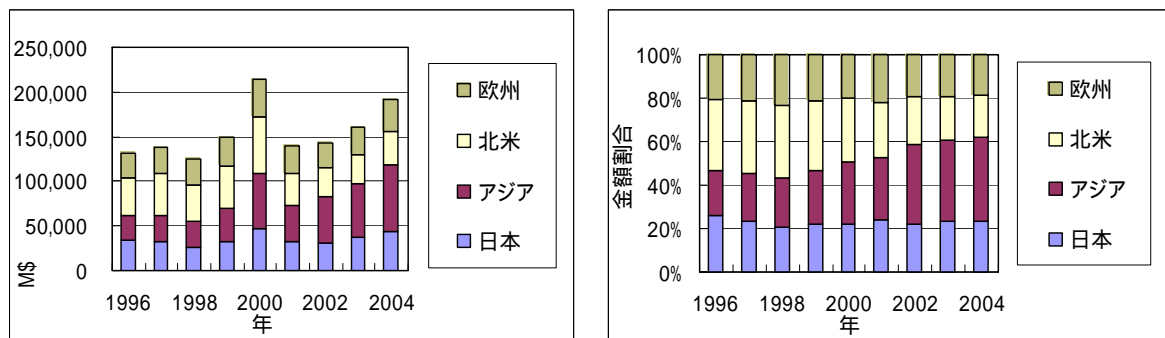
また、地域別に分析すると、欧米が設計技術の割合が高いのに対して、日本・アジア諸国は、信頼性に対する割合が高い。このことから、多層配線技術は、純粋なプロセス技術という意識は危険であり、欧米のように設計技術を中心に多面的に多層配線技術を捉える研究手法について検討の余地がある。

第4章 市場動向

多層配線技術に関係した半導体製品は多岐にわたるため、半導体製品一般に関する市場データおよび製造装置に関するデータを提示する。

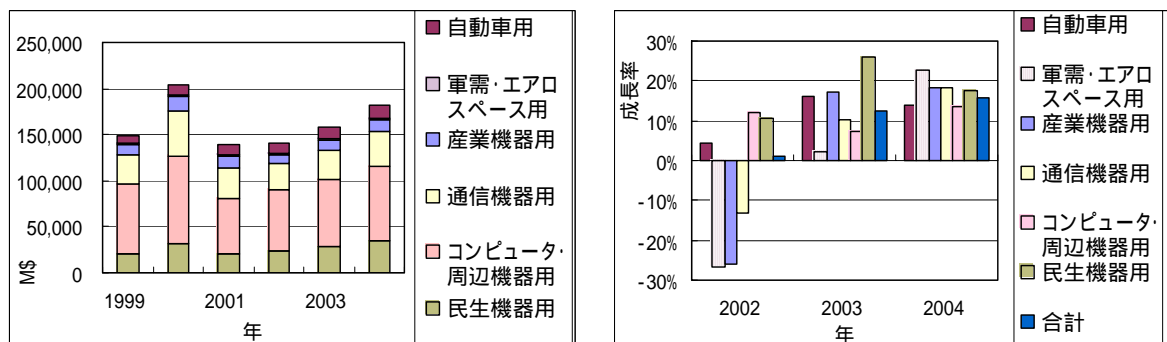
市場規模においてはアジア地域の占める割合が着実に増加している。また、用途的には、民生機器の成長が見こまれ、デジタル家電を中心に日本企業が、半導体ビジネスを進めていく方向性を裏付けるデータとなっている。さらに、装置メーカーにおいては、寡占化が進行している状況と、日本企業の競争力が弱まる傾向とが合間っており、日本の半導体装置メーカーが競争力を回復するための対策が重要な時期を向えている。

第4-1図 地域別半導体市場規模の金額推移と割合推移



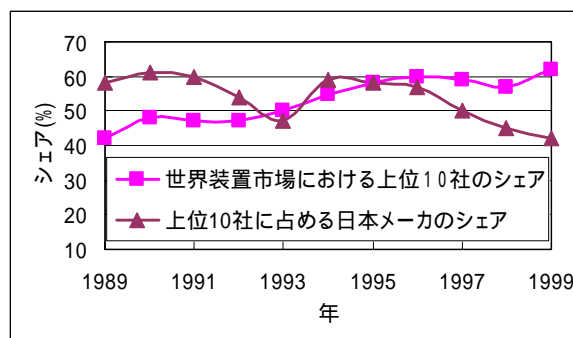
参考：WSTS、2003,4 は予測値(2003 半導体データブック)

第4-2図 半導体世界市場の用途別の市場規模推移と成長率の推移



参考：WSTS、2003,4 は予測値(2003 半導体データブック)

第4-3図 半導体製造装置市場におけるシェアの推移



参考：日本政策投資銀行資料(2001)

第5章 政策動向

第5-1図、第5-2図には、日本の半導体デバイス関連における研究組織と今後の活動予定を示した。特に、MIRAI、あすか、の両プロジェクトにおいて多層配線技術の開発が積極的に進められている。

第5-1図 第1期科学技術基本計画時期における半導体デバイス関連研究組織

年度	1994	1995	1996	1997	1998	1999	2000	2001	2002		
内閣府・科学技術基本計画			第1期				第2期				
組織・施設の充実	大学・国立研究所		VDEC : VSLI Design and Education Center							AIST	
			SIRIJ : Semiconductor Industry Research Institute Japan								
	民間組織		半導体理工学研究センター STARC : Semiconductor Technology Academic Research Center								
			技術研究組合 超先端電子技術開発機構 : ASET								
			半導体先端テクノロジーズ SELETE : Semiconductor Leading Edge Technology								
	システム LSI 開発支援センター VSAC										
開発プロジェクト	民間事業		STARC・大学共同研究プログラム								
	NEDO委託事業			NEDO 超先端電子技術開発促進事業 358.2 億円							
				超先端電子技術開発プロジェクト ASET							
					極低電力情報端末用 LSI 20 億円						
					極低電力情報端末用 LSI 開発プロジェクト JEITA 10 社						
					超低損失電力素子技術開発 65.3 億円						
					超低損失電力素子技術開発 AIST						
					超高密度 SI 技術 43.4 億円						
				超高密度 SI 技術 ASET・AIST							
			エッチングガスの代替ガス・プロセス 60.4 億円								
			エッチングガスの代替ガス・プロセス ASET								

第5-2図 第2期科学技術基本計画時期における半導体デバイス関連研究組織

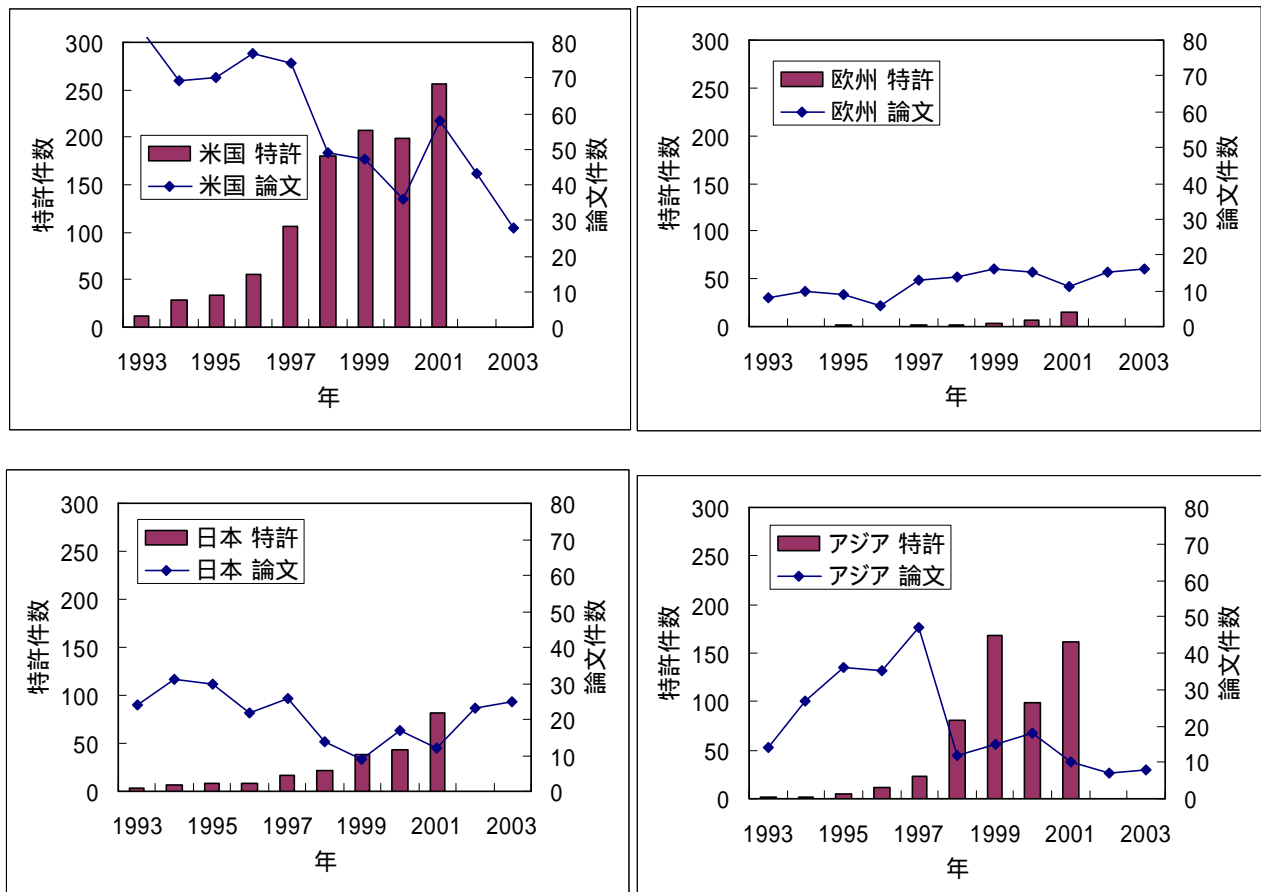
年度	2001	2002	2003	2004	2005	2006	2007	2008	
内閣府・科学技術基本計画	第2期					第3期			
組織・施設の充実	国立・大学研究所	VDEC							
			AIST SCR : Super Clean Room						
	民間組織	SIRIJ							
		STARC							
		ASET							
	SELETE								
	VSAC								
	(株)先端 SoC 基盤技術開発 ASPLA : Advanced SoC Platform Corporation								
	技術研究組合 極端紫外線露光システム技術開発機構 EUVA : Ext. Ultra Litho. Sys. Develop. Assoc.								
民間の開発プロジェクト	STARC・大学共同研究プログラム								
	あすか STARC SELETE 840 億円(5年間)/350 名を予定								
	ASPLA 国の出資 351 億円 民間の出資 100 億円(2002 年度)								
NEDO次世代半導体デバイスプロセス等基盤技術プログラム	委託事業	次世代半導体材料・プロセス基盤技術開発 122.1 億円							
		MIRAI プロジェクト AIST・ASET MIRAI : Millennium Research for Advanced Information Technology							
		EUV 露光システム開発 35.9 億円							
		EUV プロジェクト AIST・EUVA							
		SoC 先端設計技術の研究開発 25.7 億円				STARC			
	助成事業	SoC 先端設計技術の研究開発							
		高効率次世代製造システム 16.6 億円							
		HALCA ASET 16.6 億円							
		先端的デバイスプロセス装置 17.6 億円							
		先端的デバイスプロセス装置 民間 6 社 17.6 億円							
	アプリチップ 21.7 億円								
	アプリチップ 民間 2 社 21.7 億円								
	最先端システム LSI 設計 6.2 億円								
	最先端システム LSI 設計 ASPLA・STARC				6.2 億円				

第6章 相関分析

第1節 主要地域の特許と論文の相関分析

第6-1図に主要地域からの米国特許件数と論文件数の相関分析を示した。この結果、米国においては、論文件数が減少し、米国特許件数が増加している。これに対して、日本からの米国特許件数は増えているが、論文は全体的にあまり多くない。ただし、バランスはとれている。一方、欧州からは、論文は微増だが、米国特許はほとんど見られない。アジアは、米国特許件数の伸びが目立ち、既に日本を追いぬいている状況にある。

第6-1図 米国特許件数と論文数の地域別件数推移（米国特許：注目3分野、論文：VMIC&IITC）



第7章 提言

第1節 背景

半導体産業は1990年代に入り、製造プロセス技術が成熟したことにより、製造プロセス技術が半導体製造装置に化体され、これによりファブレス - ファンドリ型のビジネスモデルが登場した。そして、精度が高く画一的・効率的な処理を可能にする半導体製造装置メーカーの寡占化が進んだ。一方、当時、プロセス技術の自社開発に固執した日本の半導体企業は、この新しいビジネスモデルへの構造変革に確かに乗り遅れた。日本の半導体企業がその後、競争力を失ったため、このビジネスモデルの選択ミスを指摘する風潮は強い。しかし、前回のシリコンサイクルのボトム期には、活況を呈した米国ファブレスベンチャや台湾ファンドリの勢いも色あせ、ファブレス - ファンドリ型のビジネスモデルも完全解ではないことが明らかとなった。また、その不況期においても着実に設備投資を行い、一貫して Integrated Device Manufacturer (IDM) ビジネスモデルを維持した Samsung Electronics はその後の景気回復時に大きな飛躍を見せ、IDM ビジネスモデルであっても半導体産業で成功者となり得ることを実証した。

これらの事実から、ビジネスモデルの選択よりも、いかにして選択したビジネスモデルにおいてその優位性を発揮できるかが重要なポイントとなることがわかる。

そこで、日本の半導体大手企業は、現在でも IDM ビジネスモデルを維持していることを前提に、多層配線技術という IDM ビジネスモデルに大きな影響を与える分野の調査結果に基づいて、IDM ビジネスモデル型企業にとっての今後の方向性について特許戦略の視点から、検討してみたい。

また、半導体産業を下支えしてきた半導体装置ビジネスや材料メーカーについても、ハードウェアとしての装置に加えて、その使い方である装置レシピの重要性が増している。加えて、従来の単体装置型ビジネスに対して、トータルソリューション型ビジネスが隆盛し、国内企業間のデバイスメーカーとの共同研究開発に加えて、海外企業等の共同開発を推し進めなければならぬ状況が呈してきている。こうした状況で求められる特許戦略については、従来どおりの延長線とは異なった視点が必要となる。

さらに、ベンチャー企業や大学といった新しい研究開発のリーディングエッジを切り開く部隊の活性化についても、特許制度の活用を通じて、大きな期待が課せられている。

以上、半導体産業の各立場に対して、今回調査した多層配線技術の分析結果を考慮し、知的財産戦略の視点から提言を試みる。

第2節 IDM型ビジネスにおけるコアコンピタンス（半導体デバイスメーカーへの提言）

IDM型ビジネスが、ファンドリと大きく異なる点は、設計分野及び実装技術分野とのコラボレーションが一企業内で実現できる、という点にある。この相違点を利点に変える仕組みが機能すれば、IDMの強みが発揮できるはずである。

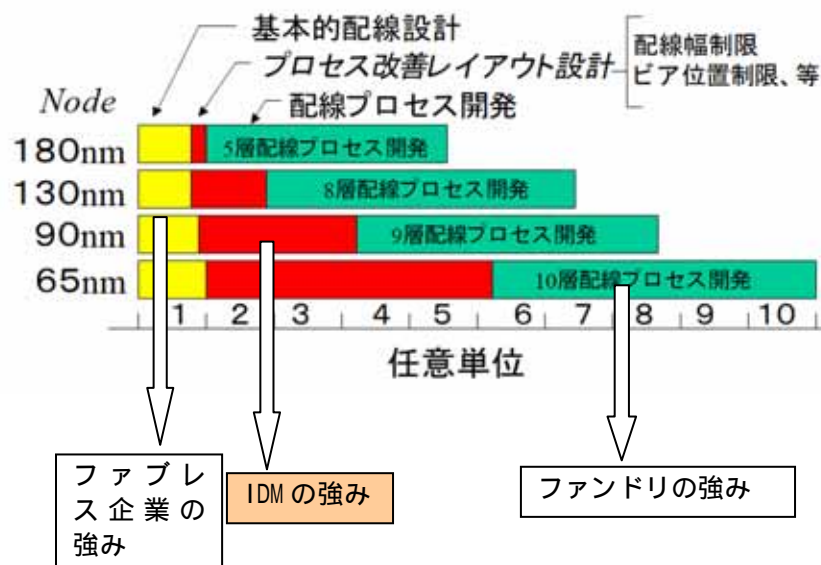
そこで、まず、企業内におけるコラボレーションの活発化を図ることが重要である。今回の調査対象である多層配線技術は、一見純粋なプロセス技術に思われるが、設計技術及び実装技術との依存性を高めることで、より高度な要求に応えられるプロセス技術へ進化することができる。第7-1図は配線技術開発工数の開発要素別にテクノロジーノードによる推移を概念的に示したものであるが、プロセス信頼性を向上させるため配線幅や、ビア個数などの設計ルールが制約を受けるプロセス改善レイアウト設計の工数の割合が130nmノード以降で

急増する。これは世代が進むにつれ設計とプロセスのコラボレーションの重要性が増し、それが IDM の強みとなりうることを端的に示している。第 3-3 図において、設計に関する発表論文が 2000 年以降増加傾向にあることも技術面から同様の背景があることを示唆している。また、low-k 材料は機械的強度が弱い等の理由で新たな実装材料・技術との組合せ、low-k 材料を意識した実装材料・技術の開発も重要になってくる。さらに多層配線のレイアウト情報から電気的特性を抽出して設計技術にフィードバックをかけたり、実装技術におけるボンディング圧力と多孔質化した際の物理的強度の評価などもコラボレーション技術の例である。

この企業内コラボレーションにおいて、知的財産戦略の視点から重要なのは、研究成果物である知的財産の法的保護の意識的な選択である。企業内開発であるため、トレードシークレットとしての選択も当然取り得る。例えば、装置レシピ等をトレードシークレットとして保護し、この知的財産を企業内における強固な設計環境に結びつければ、それを差別化要因として、ファンドリビジネスへと展開することも可能である。こうしたアプローチの成功例として IBM や富士通の先進型のファンドリビジネスがあげられる。

また、特許取得するのであれば、目的を持った特許取得をしなければ意味がない。少なくとも、防衛出願として、特許数を誇るような特許戦略が、半導体分野において非効率であることには、気がついているはずである。特許戦略として次のステップは、特許活用のための特許取得という意識改革と、特許活用の具体例、成功例の創出である。

第 7-1 図 配線技術開発工数のテクノロジーノード別推移



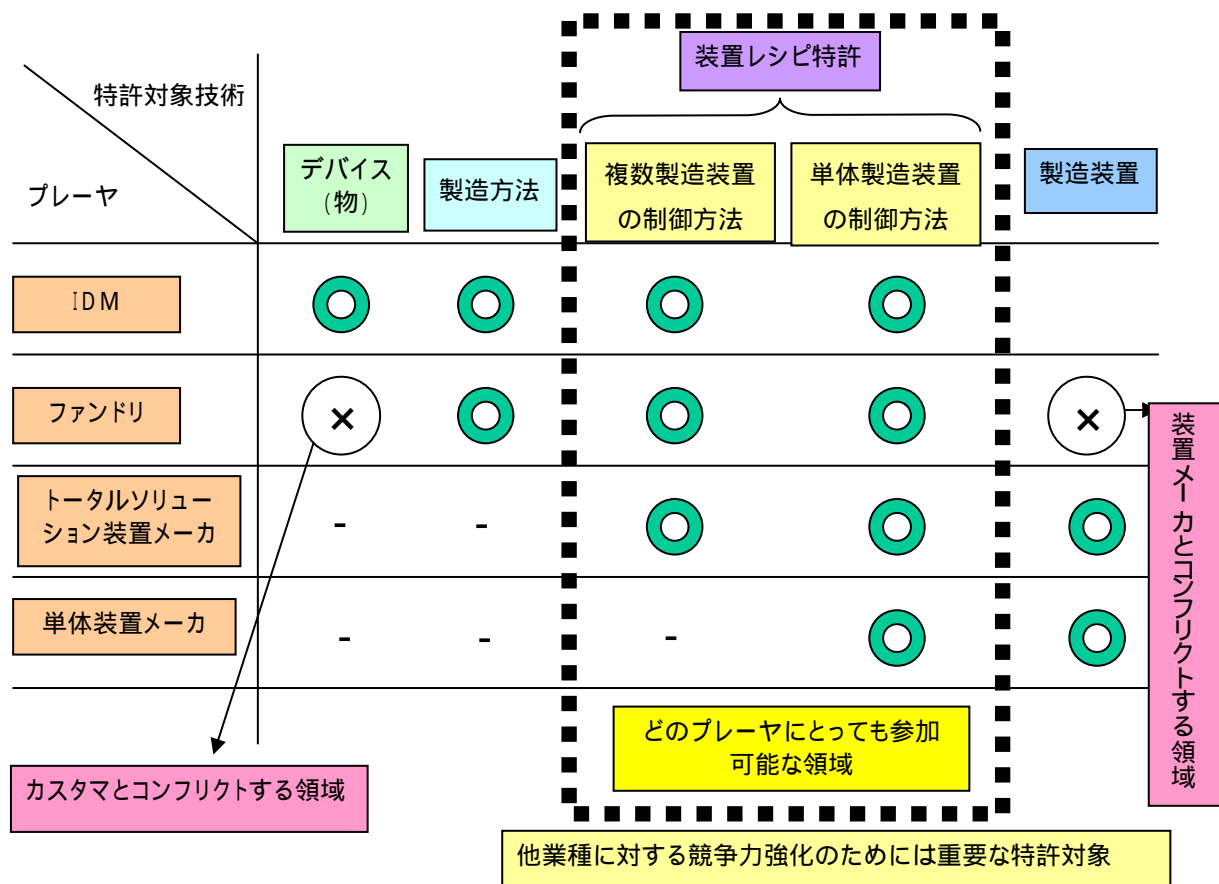
参考：SELETE 資料

具体的な特許活用の機会としては、企業外とのコラボレーションの場面である。技術開発の多様性確保のために、研究開発のパートナーとしては、企業だけでなく、広く大学や研究機関にも目を向ける必要がある。特に、多層配線技術においては、材料メーカ、製造装置メーカ、評価装置メーカ等との広範な技術専門家とのコラボレーションが重要となる。この際、自社の特許を活用して優位に交渉を進めたり、またスムーズな技術ライセンス契約を実施できることは、特許活用によって自社の競争力を高める好例である。そのためには、特許を含めた知的財産権に関する専門家の確保が必須である。

さらに、日本の IDM 企業は、今後は、防衛的な国内出願を減らし、国際特許出願等を活用して生産拠点、マーケットとして有効かつ権利行使が可能な外国への出願を、積極的に進めるべきである。日本の半導体企業の規模は、すでにグローバル企業を標榜し得るレベルにあるが、第 2 - 2 図に示すように日本公開特許の約 83% が日本企業によって占められており、外国への出願が相対的に少なく、特許に関するグローバル化は後手に回っている。台湾を中心としたファンドリの特許出願が日本へは少なく米国へ集中していることからわかるように、特許における主戦場は米国である。また、第 4 - 1 図に示すように全世界半導体市場においてアジア市場のシェアが急増していることからアジア諸国における特許取得も重要性を増している。これらの点を踏まえ、特許戦略の国際化について、再度、明確な目標を持って取り組むことが必要である。

このように、IDM 型ビジネスモデルを選択したとしても、共同の研究開発等や外部機関の研究成果を導入する必要性は高く、そのために特許制度の活用は不可欠である。特許取得の目的は、従来のように自社技術の防衛のためではなく、共同開発、アウトソーシングの場面で優位性を確保するための武器である、といった発想の転換が必要であろう。

第 7 - 2 図 プレーヤ毎の特許対象と装置レシピ特許



第3節 装置レシピ特許への対応（半導体デバイスメーカー、半導体製造装置メーカーへの提言）

日本の半導体企業が、IDM型ビジネスモデルを維持していくとしても、ファブレス-ファンドリ型のビジネスモデルの動向には注意を払わなければならない。特に、ファンドリとトータルソリューション装置メーカーとの関係で起きている装置レシピ特許については、十分に注意を払う必要がある（第7-2図）。

第2章第3節で定義したように、装置レシピ特許とは「実質的には製造装置の制御方法に関する特許であるが、制御方法の内容をプログラム又は記憶媒体という末尾として、制御装置の制御方法をソフトウェア化した特許」をいう。今回の調査結果から、装置レシピ特許はトータルソリューション型装置メーカーからの出願が支配的であることがわかった（第2-8図）。そこで、トータルソリューション装置メーカーが装置レシピ特許に対してなぜ積極的になるのかについて分析する。

まず、製造装置全般についてソフトウェアの開発負担が増大している。その結果、製造装置に対する付加価値として装置を如何に用いるか、すなわち、装置レシピに研究開発の技術的成果が集約している。特に、複数装置を制御するレシピを作成することが可能なトータルソリューション装置メーカーにとっては、装置レシピは、他社と差別化するための重要な知的財産となり得る。製造装置メーカーにとって、装置レシピを特許化した装置レシピ特許は、自社のビジネスに大きな影響を与える要因となる。今回の結果からは、トータルソリューション装置メーカーが、いち早くこの問題の重要性に気づき、対応に取り組んでいるように思われる。

また、ファンドリも同様に装置レシピ特許に対して魅力を感じているに違いない。ファンドリの場合、「物」に対する特許はカスタマと競合する。そのため製造した「物」に対する特許取得は著しく制限される状況にある。この制限された状況下において、自社の研究開発に対する知的財産権を確保しようとなると、必然的に製造方法に関する特許に向くことになる。しかし、製造方法に関する特許といっても、ファンドリが重点的に研究開発しているのは、製造装置の使い方、すなわち装置レシピの作成に他ならない。とすれば、ファンドリが製造装置の制御方法をソフトウェア化した装置レシピ特許として取得することにも理にかなう。

では、IDM型企業及び単体製造装置メーカーは、いかなる対策を講じるべきなのか（第7-3図参照）。

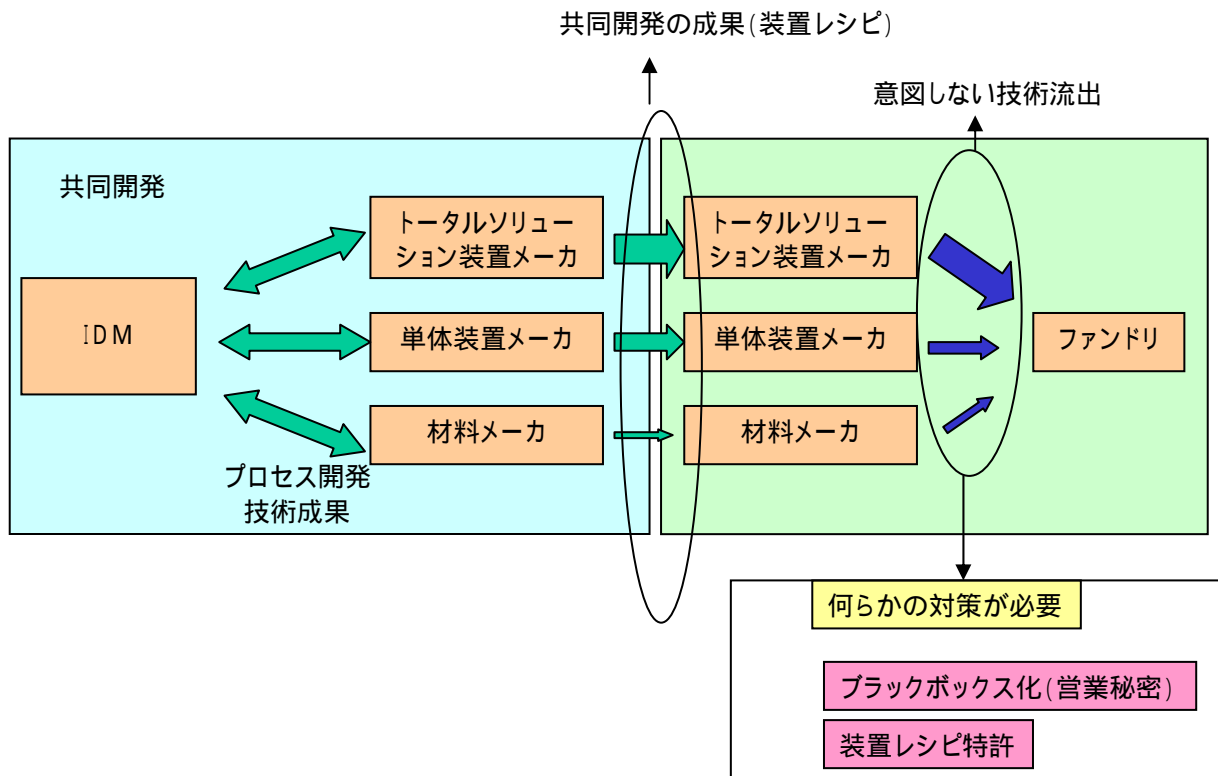
この点について、IDM型企業の問題は、装置レシピという知的財産権の重要性を再認識する必要がある。IDM型企業は、装置レシピの開発という意味では、最先端に位置する企業である。しかし、自社の開発した装置レシピの法的保護については、無防備に製造装置メーカーに渡しているという事実はなかったが、再確認する必要がある。装置レシピに対する重要性を認識した上で、それを特許によって保護するか、あるいは、非公開情報の企業秘密とするのかスタンスを明確にする必要がある。この判断は企業毎に異なることが予想されるが、特許取得するのであれば、特許取得した上でどのような目的で特許活用するのかという視点が必要である。他方、企業秘密とするのであれば、企業内に情報公開の判断基準となるべき指標を作成する必要がある。

装置メーカーについては、これまで以上に、ソフトウェア資産に対する財産的価値を意識する必要がある。特に、デバイスメーカーとの共同開発などにおいて、これまで一方的に譲ってきたものと思われる装置レシピに対して、必要に応じて権利主張しなければならないであろう。そのためには、製造装置メーカーにおいても、ソフトウェア特許に関するマインドを高め

る必要がある。特に、海外デバイスメーカーとの共同開発などの場面では、自社が研究開発に有効に関わった事項について、主張すべき点については、しっかりとした主張を行わなければ、意図せぬ技術流出を手助けする危険性があることに留意しなければならない。

各企業群が各々の視点で、装置レシピ特許の重要性を意識し始めると、影響力の大きな特許が産み出される可能性がある。今後とも、注意深くその動向をウォッチングすべき特許の形態といえよう。

第7-3図 プロセス開発技術成果の意図的コントロールへの取り組み



第4節 次世代コンセプト技術へのチャレンジ(大学等の研究機関、材料メーカー、ベンチャー企業に対する提言)

多層配線技術の分野において、次世代をブレイクするコンセプトの創出は、大学等の研究機関に期待したい。そのためには、多層配線技術を様々な角度から、設計・試作・実験・評価できる環境の整備が重要である。たとえば、多層配線設計技術が進歩すれば、配線済みチップを作成し、そこにトランジスタを実装するという、現在のプロセスの常識を覆すような発想が生まれるかもしれない。

また、半導体プロセス技術の開発は、長期的な展望が必要な分野である。このため、大学等が、研究継続性の必要なテーマにおいて果たすべき役割は大きい。例えば、材料開発は開発期間の要する技術分野であるが、第2-2表、第2-3表に示す通り、有機系材料、塗布系ポーラス材料などは、日本の優位性がみえる分野だけに、次世代材料として研究を継続するのが望ましい。

さらに、プロセス技術の選択枝の多様化を確保するためにも大学等の研究機関の存在は欠かせない。例えば、企業がCu電解めっきに傾倒せざる得ない中で、次々世代の高アスペクト

ビアの埋め込み対策を見越して Cu 無電解めっき⁶、Cu-CVD、PVD、Al-CVD、Ag 膜形成技術や超臨界流体を利用したメタライゼーションプロセス技術などの継続的な研究を続けることは、この目的にかなった実務的な研究として評価される。また、100nm 以下の薄膜化による Cu バルク抵抗率増加といった本質的な課題に対しても新しいアプローチでの解決を期待したい。多層配線技術が複合的な技術分野であるという特性が、一つの要素技術を軽視することにはつながらない。むしろ、複合的な技術において、不可避となる要素技術の開発は、大きな存在性を示す可能性がある。そして、大学であれば、企業に対して技術移転することを目的として特許取得すると考えるのが一番自然であろう。技術移転をスムーズにするために特許制度を活用することが大学にとっての特許制度の基本的な活用例である。

材料メーカーに対しては、優れた要素技術の開発という視点から、多いに期待したい。

材料メーカーにとって、多層配線技術は技術開発の宝庫である。例えば、Al から Cu、SiO₂ から low-k へ、TiN から TaN へといった技術革新は全て材料技術の革新がリードした実例である。特に、low-k 材料は未だ従来の SiO₂ 系に代わりうる決定的な材料は現れていない。さらに、low-k 等の新たな配線材料は新たな実装材料との組合せが要求され、当該技術開発は、まさに材料メーカーがリーディングポジションを取りうるチャンスである。材料メーカーは、デバイスメーカー、装置メーカー、あるいは大学、その他の研究機関と他機関との連携が必須となることから、自らの研究成果を特許により法的に保護する戦略は不可欠である。また、材料自身は、国内に留まらず海外にも大きな市場を有し、かつ、物の特許として権利行使ができる有力特許となり得る可能性が高いから、国際特許出願等を活用して製造拠点、マーケットとして見込まれる外国への積極的な特許出願を行なうべきである。

ベンチャー企業にとっては、多層配線技術は十分に活躍するチャンスがある技術分野である。例えば、将来性が高い割には未成熟な設計技術分野などにおける CAD 関係の技術は、大きな設備投資も必要としないため、十分にベンチャー企業にもチャンスがある分野といえる。さらに、ベンチャー企業であれば、新しい着想こそがコアコンピタンスである。この自社の知的財産について、法的保護を得る必要性から特許取得することがベンチャー企業の目的である。

以上、大学等の研究機関、材料メーカー、ベンチャー企業の成果は将来の芽となる技術が生まれる可能性が高い基礎発明となり得るから、基礎的な研究開発については、国際特許出願等を効果的に活用して製造拠点、マーケットとなる外国への積極的な出願を行なうべきである。国際出願を含めて、特許に対する経済的・手続的な障壁が高いことを理由に、あきらめるといったことがあってはならない。日本の将来にわたる国際レベルでの優位性を確保するために特許制度の活用は必須である。また、特許取得については、大学やベンチャー企業に対して様々な便宜を図る制度⁷が用意されている。これらの制度を積極的に活用して、自らの研究成果を特許化して欲しい。

大手半導体企業、装置メーカー、大学、材料メーカー、ベンチャー企業が各々の立場で活躍し、スムーズな技術移転を可能にするために、特許制度が有効活用される社会を目指すことが、日本の多層配線技術、ひいては半導体産業の発展の大きな原動力となる。

⁶日本の大学からも、近時、著名な国際会議 (International Electron Device Meeting : IEDM) で評価の高い研究発表がされており、今後の有望技術の一つである。(参考: "Bottom-up Fill of Copper in High Aspect Ratio Via Holes by Electroless Plating", S. Shingubara, Z. Wang, O. Yaegashi, R. Obata, H. Sakaue and T. Takahagi, Hiroshima University, IEDM 2003)

⁷ 特許庁ホームページ (<http://www.jpo.go.jp/indexj.htm>) の「特許行政サービスメニュー」を参照。