

【技術分類】 1 - 8 - 2 MRAM / マルチビット / 多値セル

【 F I 】 H01L27/10,447; G11C11/15,110; H01L43/08@Z; G11C11/15,150

【技術名称】 1 - 8 - 2 - 1 GMR 素子を直列につないで4値のメモリ素子として使用するための読み出し方法

【技術内容】

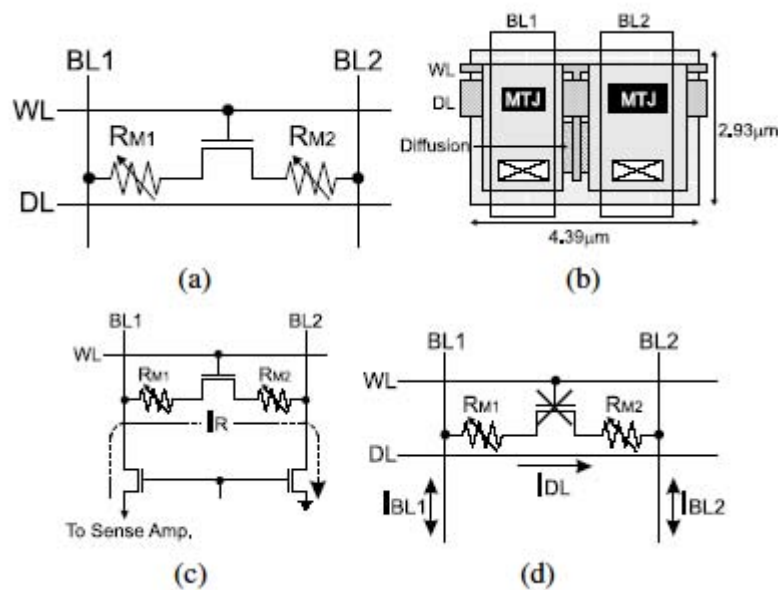
2つのMTJを使用して4値のMRAM用のセルを作る方法を考案した。各セルは1つのアクセストランジスタと2つのMTJで構成する1T-2MTJメモリセルである。

図1(a)は2つのMTJを直列につなぐメモリセル(直列セル)の回路図で、一方のMTJ(MTJ2)の面積は他方のMTJ1の倍とし、したがって抵抗が半分である。2つのMTJの磁化の組合せで4値のメモリを構成する。アクセストランジスタは、レイアウト面積を最小にするため2つのMTJの中央に配置してある(図1(b))。

書き込みはアクセストランジスタをオフにして、ディジット線(DL)に一定電流を流し、2つのビット線に流れる電流の方向の組合せで4つの状態を書き込む(図1(d))。読み出し時には、アクセストランジスタをオンにし、2つのビット線の一方をバイアスし、他方を接地して直列につながれたセルを流れる電流をセンスアンプで電圧に変換して読み出し、参照セルを元に発生させた3水準の基準電圧と比較して4値のメモリ内容を入力する。

【図】

図1 2つのMTJを直列にした4値のMRAMメモリセル。(a)回路図、(b)レイアウト図、(c)読み出し時の電流パス、(d)書き込み時の電流パス。セル面積は12.86 μm^2 である。



出典：「A Study of Multiple-Valued Magnetoresistive RAM (MRAM) Using Binary MTJ Devices」
「34th International Symposium on Multiple-Valued Logic Proceedings」
2004年5月19日、Hiroimitsu Kimura, Kostas Pagiamtzis, Ali Sheikholeslami, Takahiro Hanyu 著、IEEE 発行、341頁 Fig.3. Four-valued MRAM series cell (a) schematic, (b) layout, (c) read operation, and (d) write operation.

The core cell area is 12.86 μm^2 .

【出典 / 参考資料】

「A Study of Multiple-Valued Magnetoresistive RAM (MRAM) Using Binary MTJ Devices」
「34th

International Symposium on Multiple-Valued Logic Proceedings. 1, 2004年5月19日、Hiromitsu Kimura、Kostas Pagiamtzis、Ali Sheikholeslami、Takahiro Hanyu 著、IEEE 発行、340-345頁

【技術分類】 1 - 8 - 2 MRAM / マルチビット / 多値セル

【 F I 】 H01L27/10,447; G11C11/15,110; H01L43/08@Z; G11C11/15,150

【技術名称】 1 - 8 - 2 - 2 GMR 素子を並列につないで4値のメモリ素子として使用するための読み出し方法

【技術内容】

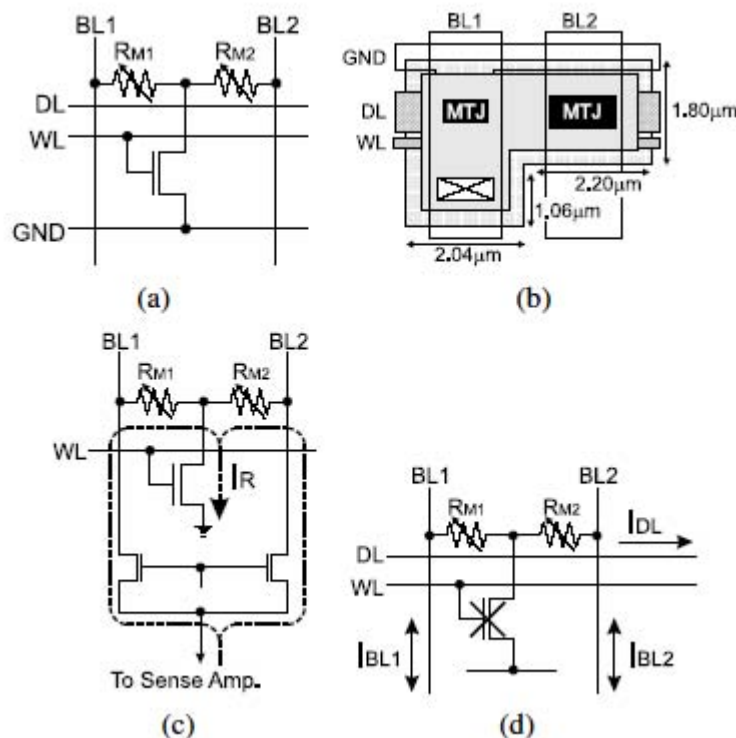
2つのMTJを使用して4値のMRAM用のセルを作る方法を考案した。各セルは1つのアクセストランジスタと2つのMTJで構成する1T-2MTJメモリセルである。

図1(a)は2つのMTJを並列につなぐメモリセル(並列セル)の回路図で、一方のMTJ(MTJ2)の面積は他方のMTJ1の倍とし、したがって抵抗が半分である。2つのMTJの磁化の組合せで4値のメモリを構成する。アクセストランジスタのドレインとMTJのコンタクトは一つでよく、従来型の1T-1MTJセルよりこの分だけセル面積が小さくなる(図1(b))。

書き込みはアクセストランジスタをオフにして、ディジット線(DL)に一定電流を流し、2つのビット線に流れる電流の方向の組合せで4つの状態を書き込む(図1(d))。読み出し時には、アクセストランジスタをオンにし、2つのビット線をショートして、センスアンプから2つのMTJに並列に電流を流し、アクセストランジスタを通じて接地される。並列につながれたセルを流れる電流をセンスアンプで電圧に変換して読み出し、参照セルを元に発生させた3水準の基準電圧と比較して4値のメモリ内容を出力する。

【図】

図1 2つのMTJを並列にした4値のMRAMメモリセル。(a)回路図、(b)レイアウト図、(c)読み出し時の電流パス、(d)書き込み時の電流パス。セル面積は $9.79 \mu\text{m}^2$ である。



出典: 「A Study of Multiple-Valued Magnetoresistive RAM (MRAM) Using Binary MTJ Devices」, 「34th International Symposium on Multiple-Valued Logic」, 2004年5月19日, Hiromitsu Kimura, Kostas Pagiamtzis, Ali Sheikholeslami, Takahiro Hanyu 著, IEEE 発行, 341頁 Fig. 4. Four-valued MRAM parallel cell (a) schematic, (b) layout, (c) read operation, and (d) write operation. The core cell area is $9.79 \mu\text{m}^2$.

【出典 / 参考資料】

「A Study of Multiple-Valued Magnetoresistive RAM (MRAM) Using Binary MTJ Devices」, 「34th International Symposium on Multiple-Valued Logic」, 2004年5月19日、Hiromitsu Kimura、Kostas Pagiamtzis、Ali Sheikholeslami、Takahiro Hanyu 著、IEEE 発行、340-345 頁