

1. MRAM 技術の概要

1.1. 磁気メモリ研究の経緯

1955年に報告された磁界中蒸着パーマロイ薄膜の角型ヒステリシスループは当時電子機器の開発に携わっている人々を躍動させ、超小型、超高速で安価な計算機用薄膜素子の実現に向けて夢が膨らんだ。これがMagnetic Random Access Memory研究の最初である。しかしながら、現実には多くの問題があり、コンピュータ・メモリ素子としては実用化に成功しなかった。当時問題とされ解決できなかったのは、バラツキの制御と大量生産であった。また、クリーピング(creeping)と称して磁化反転が自然と進行し、情報が変わってしまう致命的問題も抱えていた。平板型のメモリ素子としては成功しなかったが電着磁性線メモリとして一部実用化した。

磁気メモリとしてはその後1967年ベル研究所のBobeckによりオルソフェライトの磁気バブルが報告され、トランジスタ以来の発明とまで言われ、驚異的スピードで材料の開発と大容量バブルメモリの開発が行われた。磁気バブルメモリはその特徴である(1)情報の不揮発性、(2)高速アクセス、(3)書き換え可能、(4)耐放射線障害、(5)高信頼性等を生かして電子交換機、コンピュータ端末機、人工衛星搭載用メモリ等に用いられた。しかしながら、競合メモリであった半導体メモリおよび同じ磁気メモリであるフロッピーディスク、ハードディスク等に置き換えられ市場から姿を消すのも早かった。

このようにパーマロイ薄膜を使った磁気メモリ、バブル磁気メモリのいずれも大きく実用化するには至らなかったが、薄膜作製技術、その集積化微細パターン作製技術、特性評価技術等の点で着実に向上し、1970年の末から1980年の初めに始まった多層膜(金属人工格子)の研究に生かされていった。この研究では個々の物質には新しいものはないが、物質の組み合わせや、界面制御により、新しい現象や、新しい機能が期待された。特に後になって誤りであることが分かったNi/Cu人工格子でNiの磁気モーメントが大幅に増加するという報告は多くの磁性薄膜研究者を人工格子の研究に駆りたてた。

金属人工格子についての研究の結果、高飽和磁化ソフト磁性薄膜の生成に多層化が有効であるとか、垂直磁気異方性が生ずるあるいはカー回転角が増大する等の報告がなされた。しかしながら、研究者を決定的にこの分野に目を向けさせたのは1988年のFe/Cr人工格子の**巨大磁気抵抗効果**(Giant magnetoresistance effect、略してGMR効果)の報告[1]である。GMR効果の発見はこれがはじめてでなく既に1936年発表の論文にGMRと言う現象および言葉は報告されている。しかしながら、そのことによりこの金属人工格子のGMR効果の発見の価値が下がるというものではなく、以下のような発見の意義がある。

- (1) それまでの磁性研究の歴史を見るとその後の社会に影響を与えた新しい物質の発見は合金化あるいは化合物の生成と言った手段により行われてきたが、この効果の発現は異種物質を積み重ねると言う新しい手法によっていること。
- (2) 従来、磁化し易い或はエネルギー積の大きい磁性体の生成といった磁気プロパーな現象ではなく、磁化の向きを変えることにより伝導を制御する磁気と伝導(磁気抵抗効果)についての発見であること。
- (3) 物理現象そのものの興味もさることながら、磁気ヘッドをはじめとするセンサに容易に結びつく現象であること。

特に(3)の理由により、多くの研究者がGMR効果の研究を始め、GMR素子を用いた再生磁気ヘッドは10年もしないうちに実用化され、高密度磁気記録の発展に重要な役割を果たしている。

MRAM(Magnetoresistive Random Access Memory)としてはハネウエルが1kbitのメモリをいち早く報告したが、それ以外の研究はない。更に、1994年には室温で大きな変化率を示

「MRAM・スピンメモリ技術」

すトンネル磁気抵抗効果(Tunnel magnetoresistance effect、略してTMR 効果)が報告¹され、磁性と伝導に関する研究は益々活発化した。特筆すべき点はTMR 効果の研究は従来からの強磁性金属/絶縁体/強磁性金属の接合に止まらず、強磁性半導体と非磁性の半導体からなるトンネル接合および酸化物のCMR(Colossal magnetoresistance) 効果²へとひろがりをみせたことである。また、TMR 効果はGMR効果以上に応用的にも興味を持たれ、MRAM の開発研究が進行しつつある。

1.2. 動作原理と方式

磁気ランダムアクセスメモリ(MRAM)は強磁性体/絶縁体/強磁性体を基本構成とする強磁性トンネル接合(MTJ)を用いるメモリである。MTJは両磁性体の磁化の方向が平行と反平行の場合で、素子に流れるトンネル電流の値(トンネル抵抗値)が異なる。この特性を利用して、磁化の方向に対応した二つの状態すなわちデータ"1"と"0"を作り出し、かつ、エネルギーを消費することなく二つの状態を保持する(不揮発性)ことができる。通常は片方の磁性体の磁化方向を固定し(ピン層)、自由層(フリー層)の磁化方向を変化させて平行と反平行の磁化状態を作り出す。

MRAMは図1-2-1に示すようにマトリクス状に配線したビット線と書き込みワード線の交点にMTJを配置する。それぞれの単位メモリセルにはセル選択用のスイッチが必要であるため、通常は各セルに1個のMOSトランジスタを配置(1T1MTJ)³してビットを構成する。これは基本的にはDRAMのキャパシタをMTJに置き換えたものである。

図1-2-2にMTJを用いたMRAMの書き込みと読み出しの原理を模式的に示す。ビット線と書き込みワード線に電流を流すと、その交点にはそれぞれの導線から誘起された磁界の合成磁界が印加される。すなわち、ビット線あるいは書き込みワード線単独で発生する磁界ではフリー層を反転させるのに必要な磁界(スイッチング磁界)を超えずに、合成磁界がスイッチング磁界を超えるように設計すれば、両導線の交点にあるセルのみを書き込み制御できる。磁化反転が一齐回転で起こるとすると、反転に要する磁界はアステロイド曲線で与えられる。

読み出しは任意のビット線と読み出しワード線を選択して、その交点にあるセルに流れる電流(抵抗値)を検知する。一般にはMTJ素子の高抵抗時と低抵抗時のそれぞれに対応した電圧の中間に基準電圧を設定して、データ"1"と"0"を判別する。

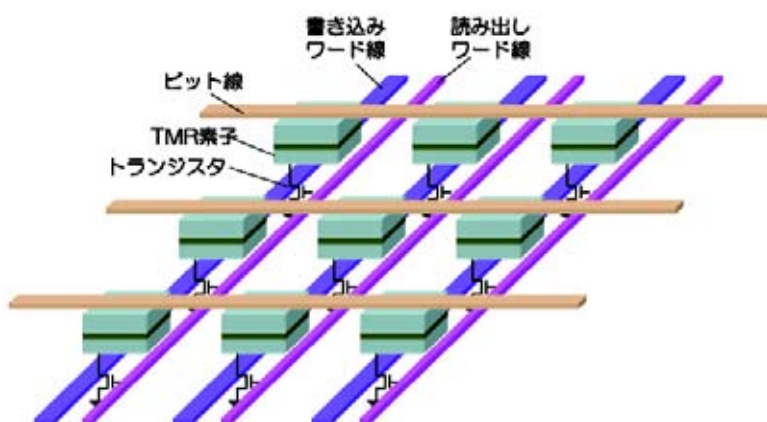


図1-2-1 MRAMの概念図

出典：「不揮発性メモリに関する調査研究」報告書、2004年3月、財団法人 機械システム振興協会、財団法人 新機能素子開発研究協会発行、13頁 図1

「MRAM・スピンメモリ技術」

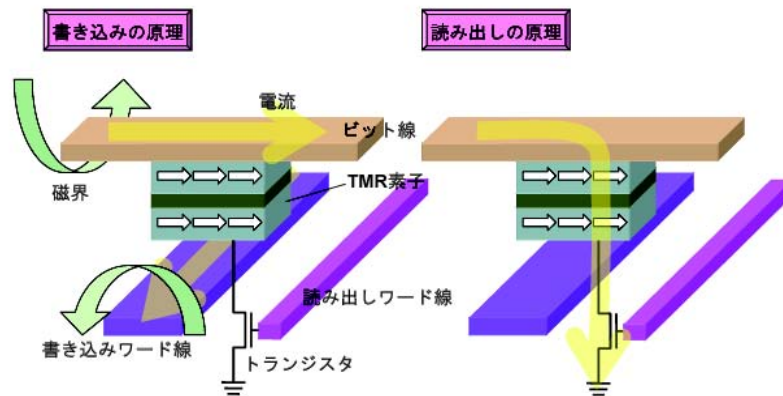


図 1-2-2 MRAM の書き込みと読み出しの概念図

出典：「不揮発性メモリに関する調査研究」報告書、2004年3月、財団法人 機械システム振興協会、財団法人 新機能素子開発研究協会発行、13頁 図2

このメモリの特徴、アドバンテージをまとめると以下ようになる。

1. 不揮発性：フリー層の磁化方向で情報を蓄積しているため、データの保持のために DRAM のようなリフレッシュ動作が不要である、すなわち不揮発である。
2. 書き換え耐性：磁性体の磁化反転の回数には原理的に制限はない、すなわち、書き換え耐性は無限大と見なすことができる。
3. 高速：磁化の反転に要する時間は数ナノ秒程度であり、原理的に高速動作が可能である。
4. 大容量：強磁性体はある程度までは小さくしてもその磁化情報は失われないため、セルサイズの縮小による信号の減少がない、すなわち、原理的に大容量化が可能である。
5. その他：半導体メモリとして実績のある、集積回路との混載が可能である。また、放射線に対して耐性があるので、極限環境下での動作が可能である。

上記の方式は、高速アクセスで DRAM の代替を目指すもので、これまでに国内外のいくつかの企業で開発が進められている。デバイスの集積度を表す指標として、最小加工寸法 F に対する一つのセルの専有面積が用いられるが、 $1T1MTJ$ 方式では $18 F^2$ 程度である。最近、サムスン（韓国）によりセルフアライメントの加工プロセスを用いて $8 F^2$ が報告されたが、スケラビリティなどの観点からまだ検討の余地がある。これに対して、二つのトランジスタと二つの MTJ で 1 ビットを構成する $2T2MTJ$ 方式⁴ が報告されている。この場合、二つのセルは互いに磁化が逆向きになるように書き込み、差動検出で読み込みを行う。この方式では読み出し時間は早くなるが、1 ビットを構成するセル面積が大きくなるため大容量化には適さない。実際、IBM により報告されたこの方式では $43 F^2$ となっている。

一方、高速性を求めずに集積度を上げた方式としてクロスポイント構造⁵が提案されている。これは MTJ とダイオードを面直方向に集積した構造をもつ。ダイオードにより MTJ の電流方向が規定されるため、セル選択のための MOS トランジスタが不要である。極限的には MTJ のアスペクト比が 2 として専有面積が $6 F^2$ まで、更にセルアレイを積層することにより、それ以下の面積を実現する可能性を秘めている。しかしながら、アクセス時間の遅さに加えて、読み出し時のセル選択性が低いため、回路的な工夫が必要である。

「MRAM・スピンメモリ技術」

1.3. MRAM 研究開発の経緯と課題

他のメモリデバイスと比較してMRAM は多くの利点を有している。具体的には高速、高密度、低電圧駆動、高書き換え回数、CMOS デバイスとの高い親和性である。MRAM の研究開発はアメリカが先行し、既に、1995 年から国家プロジェクトがスタートした。1999 年にはIBM が1kbit、Motorola が512kbit のMRAM を発表した。その後、Motorola⁶ は256kbit、1Mbit、2MbitMRAM を発表し、2003 年末には4Mbit のサンプル出荷を行うまでに至っている。また、IBMはInfineon (Siemens の半導体部門)と提携して2004 年までに256Mbit のMRAM を開発すると発表している。わが国でも2001 年から2-3 の企業でMRAM 開発の気運が高まり、2002 年に経済産業省のプロジェクトとしてメモリデバイスの開発が、文部科学省のプロジェクトとして高機能・超低消費電力メモリの開発がスタートした。前者は2003 年からFocus 21 として3 年以内にMRAM の実用化をめざして開発を行うことになり、研究開発が加速している。しかしながら、これらはいずれもMbit クラスの容量であり、1Gbit あるいはそれ以上の容量の開発となると種々の要素技術およびデバイス化技術の開発が要求される。

図1-3-1にはGMR 発見以降の関連するプロジェクトと企業のMRAM 開発の経緯を示す。

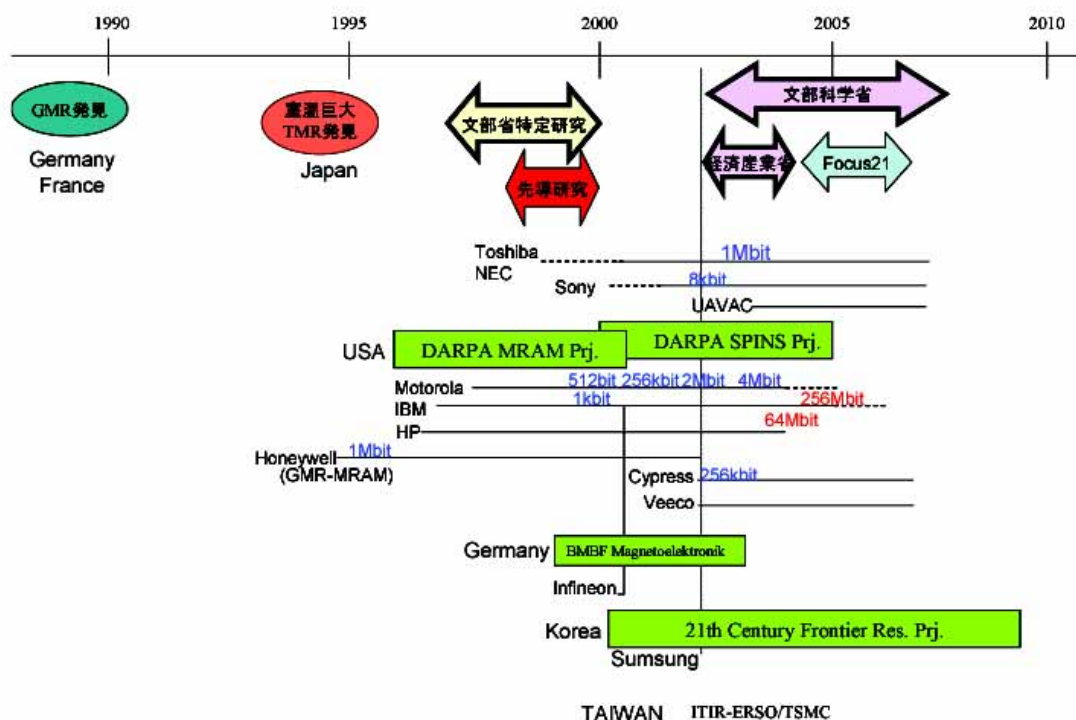


図 1-3-1 関連するプロジェクトと企業の MRAM 開発の経緯

出典：「不揮発性メモリに関する調査研究」報告書、2004 年 3 月、財団法人 機械システム振興協会、財団法人 新機能素子開発研究協会発行、14 頁 図 3

次にこれらのテクノロジーの現状あるいは達成目標について簡単に記述する。

(1) 信号強度、バイアス耐性

原理的に高速動作が可能な MRAM であるが、読み出しの信頼性向上のためのマージンが必要であるため、現在開発中の素子は必ずしも高速でない。特に、大容量化に伴う素子のバラツキの増大によるノイズの上昇等を考慮し、信号出力電圧としては 100 mV 以上が必要であると

「MRAM・スピンメモリ技術」

考えられる。参照電圧との差が 100 mV 必要であるということは、素子にバイアスを印加したときに必要な電圧変化 V は 200 mV 必要ということになる。

現在開発中のMTJ 素子の強磁性体は主にCoFe 合金⁷あるいはNiFe 合金⁸であり、これらを用いたMTJ 素子のゼロバイアスでのTMR 比は高く 50%程度である。最近では強磁性体にCoFeB を用いて 70%のTMR 比が報告されている。しかし、MTJ 素子はバイアス電圧の増加に伴い、TMR 比が低下する。ゼロバイアスにおけるTMR 比が 50%であってもTMR 比が半減するバイアス電圧 V_h が 450 mV 程度であると V は 100 mV 程度にとどまる。最近になって素子の工夫により V_h が 700mV を越える素子がいくつか報告されてきているが、電圧変化 V 200 mVを達成するためには更なる改善が必要である。

ゼロバイアスでの TMR 比を増大させるためには、強磁性電極/絶縁層界面の構造制御、絶縁層の均質化によるリーク電流の減少など、多くの課題があるが、本質的に TMR 比の増大を図るためには、強磁性体の新材料開発が必要である。

一方、バイアスの増加に伴う TMR 比の低下に関しては、(1)絶縁層の不均一性によるリークパスあるいは two-step-tunneling によるコンダクタンスによる、(2)絶縁層内部あるいは接合界面での不純物、フォノン、マグノンの励起による非弾性スピン依存散乱による、(3)強磁性体の DOS の形状による本質的なもの、などが議論されているが、これらのメカニズムの理解は現在のところ十分でない。

(2) TMR 比の向上の動向

既に述べたように、大容量かつ高速動作が可能な MRAM の実現には、出力の増大が必要不可欠である。このためには、ゼロバイアスでの磁気抵抗比の向上とバイアス依存性の改善が求められる。後者に関しては、改善の試みに関して後述しているので、本節では最近の TMR 比の向上に関する動向について述べる。

これまで開発されてきた MTJ 素子の強磁性体は主に CoFe 合金あるいは NiFe 合金であり、これらを用いた MTJ 素子のゼロバイアスでの TMR 比は高く 50%程度であった。最近、CoFeB を強磁性体として用いた MTJ 素子において高い TMR 比を得た報告が相次いでいる。

CoFeB を用いたMTJ は 2002 年にソニーにより初めて報告⁹された。このときの素子構成は、(Co75Fe25)80B20/AlO_x/CoFe/Ru/CoFe/PtMn であり、素子サイズ 0.6 $\mu\text{m} \times 1.2 \mu\text{m}$ で TMR 比は約 55% (バイアス電圧 100mV) であった。

2003 年末にアネルバによりCoFeB 電極を用いたMTJ の報告があった。その詳細は翌 2004 年の InterMag-3M 合同会議で発表され、3 $\mu\text{m} \times 10 \mu\text{m}$ のサイズの素子に対して室温で TMR 比 70.8%、RA=33 k μm^2 、20 K で TMR 比 108%、RA=36 k μm^2 を得たことが報告された。TMR 比が半分になるバイアス電圧 V_h も 650 mV と比較的高いため、MRAM の実際の動作電圧においても充分大きな出力が期待できる。

同会議では米国のNVE¹⁰ からCoFeB を電極とした接合の結果が報告されている。50 $\mu\text{m} \times 50 \mu\text{m}$ のサイズの素子に対して室温で TMR 比は 70.4%、RA=24 M μm^2 、 V_h は 620 mV であった。

一方、絶縁層にAl-O_x を用いないものとして、Fe/MgO/Fe 接合があげられる。同接合はフルエピタキシャル成長が可能で、理論的にも 1000%を超える TMR 比が予想されている。実際に 2003 年にフランスのグループによりMBE を用いてエピタキシャル成長させた同接合の結果が報告¹¹された。接合面積は 65 $\mu\text{m} \times 95 \mu\text{m}$ の素子に対して、室温で TMR 比は 67%であった。

これらのように比較的高い TMR 比が報告されてきているものの、超ギガビットの集積度かつ超低消費電力、高速性を実現するのは容易ではない。これらの根本的な解決のためには出力電圧のさらなる増大は不可欠であり、新材料の開発が必須である。このような背景で強磁性体の分極率の大きな材料、ハーフメタル合金を用いた MTJ の開発が進められている。その中で

「MRAM・スピンメモリ技術」

も特に期待されているものとして、ホイスラー系合金が挙げられる。

東北大学の宮崎グループではホイスラー系合金である Co_2MnAl に着目している。2004 年の InterMag-3M 合同会議で $\text{Co}_2\text{MnAl}/\text{Al-O}_x/\text{CoFe}$ 接合¹²において、室温で 27 %のTMR 比が報告された。熱処理後には 40 %程度まで増加している。ホイスラー系合金を使ったMTJ の磁気抵抗比としては世界で最大であり、今後注目される。

Co_2MnAl は部分的に不規則構造であるB2 構造であると考えられているが、TMR 比と構造との関連については今後の課題である。

東北大学の猪俣グループでは、同じくホイスラー合金系である $\text{Co}_2(\text{Cr}_{1-x}\text{Fe}_x)\text{Al}$ (CCFA) を用いた、CCFA/ $\text{Al-O}_x/\text{Co-Fe}$ 接合¹³で構造およびTMR 比のx 依存性を詳細に調べている。基板に SiO_2 を用いた場合、CCFA 層はB2 構造であるが、GaAs 基板を用いた場合L2₁ 構造が得られる。TMR 比は室温で 16 %を示した。他に、ドイツのビーレフェルト大学で Co_2MnSi を用いて、室温で 25%、4.2 K で 90%の磁気抵抗比を報告[2]している。

2004 年にはTMR比が従来に比べて格段に大きい値の発表が相次いだ。2004 年 3 月、独立行政法人産業技術総合研究所スピントロニクスグループ¹⁴より、 $\text{Fe}/\text{MgO}/\text{Fe}$ 接合でトンネル障壁に単結晶の酸化マグネシウムを用いることにより、室温での磁気抵抗比 88%を達成した。また、2004 年 9 月には同じグループから量産用スパッタ装置により室温での磁気抵抗比 230%が報告¹⁵されている。2004 年 11 月のMINT 2004 Workshop-「Magnetic Tunneling Junctions and Applications to Read Sensors and MRAM」では、IBM社¹⁶より $\text{CoFe}/\text{MgO}/\text{CoFe}$ 接合で室温での磁気抵抗比 220%が、アネルバ社より $\text{CoFeB}/\text{MgO}/\text{CoFeB}$ 接合で室温での磁気抵抗比 230%が報告されるなど、従来に比べて格段に大きい値¹⁷が達成されている。図 1-4-5 にMR比向上の開発推移を示す。

(3) 高速書き込み / 読み出し

情報の書き込みはトンネルセルにクロスして配線した導体線に流した電流の二つの合成磁界で磁化反転することにより、読み出しは読み出し線に電流を流し、出力電圧の大、小により、高(低)抗状態のいずれの状態であるかを検出する。磁化の反転に要する時間は印加磁界の波形(大きさ、印加時間)等により若干異なるが、1 ns 以下である。しかし現実に書き込み、読み出し時間を制限するのは全体の回路、即ち、MTJ、電流をオン、オフするトランジスタおよび配線の抵抗、容量からなるローパスフィルターの遮断周波数により決まり、書き込み、読み出し共に 10 ns 以下で行えることが見積もられている。実際 Motorola は 512 bit の低い集積度ではあるが、書き込み、読み出し共に 10 ns 以下のアクセスタイムを実現している。DRAM では書き込み、読み出しとも 10~50 ns、フラッシュメモリでは書き込みに 10 μs 、読み出しに 50 ns かかることと比較すると、MRAM は高速といえる。

2004 年 12 月の「IEDM2004(国際電子デバイス会議)」ではNECと東芝の共同開発成果が発表され、新形状のTMR素子により書き込み電流を 1/2 以下に低減しながら誤書き込みを防止する磁気抵抗素子と、セル面積を縮小できかつ 250nsのデータ読み出しを実現する高速クロスポイントセル構造¹⁸が発表された。

(4) スイッチング磁界の増大

セルサイズを微細化していくと、セルの側面に発生する反磁界のために、磁化反転に必要なスイッチング磁界が増大することがわかっている。スイッチング磁界は前述のようにアステロイド曲線と与えられ、その大きさは記録層の異方性磁界 H_k に比例する。 H_k は膜面内の素子幅の方向の反磁界と関係している。一般的に、スイッチング磁界は $H_{sw} = aMt/W$ と表すことができる。ここで M は磁性薄膜の磁化、 t は厚さ、 W は素子幅である。 a はビットの形状で定まる定数である。すなわち素子の微細化とともに、スイッチング磁界が上昇する。前述のように、

「MRAM・スピンメモリ技術」

現在開発中の MRAM において磁界は 2 本の直交した導線に流す電流により発生させるので、スイッチング磁界の増大は、書き込み電流の増大の問題になる。更に、配線幅も高集積化によって減少しているために、電流密度の大幅な増加も懸念される点である。現在開発されている MRAM の書き込み電流は数 mA であり、従来のメモリと比較してもかなり大きい。流せる電流の大きさは周辺回路の性能および、導体線の特性によって決まり G bit MRAM では 0.5 mA 程度に抑えなければならない。従って、書き込み電流を如何に低減するかは、消費電力低減の観点のみならず技術的にも非常に重要である。

(5) 熱揺らぎ、ビット間相互作用

ビットサイズの減少に伴い 1 ビットを担う強磁性体の体積が減少する。非常に小さい強磁性体は熱揺らぎによって容易に反転し、情報を保持することができない。また、書き込み方法の原理から、選択ビットと同一ライン上に有るビットは全て半選択状態になる、すなわち片方の配線からの磁界の印加により、小さい熱エネルギーで反転しやすくなっている。特に、高密度化によりセル間の距離が小さくなってくると、その間の相互作用によって記録が不安定になることが懸念されている。

一般に熱安定性の条件は $Kv / k_B T > 100$ と言われている。ここで K は異方性エネルギー、 v は磁性体の体積、 k_B はボルツマン定数、 T は温度である。セルの体積が減少するほど熱揺らぎ耐性は減少するため、書き込み効率の向上が必須となってくる。熱安定性を保証するためには磁性体の異方性エネルギーを大きくすればよいが、これは、書き込み電流の増加につながるため、これらは相反する要求となっている。両要求を満たしながらセルの微細化を図ることが課題である。

(6) 素子特性のバラツキ

現在までに kbit から Mbit の MRAM が試作されているが、1 bit のサイズはいずれも短辺が $0.5 \mu\text{m}$ 前後でアスペクト比が 1:2 または 1:3 である。Gbit にまで集積化した場合、ビットサイズは $0.1 \mu\text{m}$ 前後になると予想される。実際に 2001 年末には $0.1 \mu\text{m}$ ルールでデザインされた MRAM が NEC から発表されている。このように、ビットサイズが小さくなると、加工寸法および加工形状のバラツキが問題となってくる。書き込み時に問題になるのは、スイッチング磁界のバラツキによる書き込みマージンの減少である。反転に要する磁界は $H_{\text{HA}}^{2/3} + H_{\text{EA}}^{2/3} = H_k^{2/3}$ で表されるアステロイド曲線で与えられる。ここで、 H_{HA} 、 H_{EA} はそれぞれ、困難軸、容易軸方向の磁界、 H_k は異方性磁界である。アステロイド曲線にバラツキが生じた場合、動作マージンの下限はバラツキの最大値で制限され、上限はバラツキの最小値で制限される。アステロイド曲線のバラツキは、微細加工における形状のバラツキ、磁性膜のエッジ部分での磁気特性の劣化、などによると考えられている。

読み出しに関しては、素子の抵抗値のバラツキが動作マージンを狭める。MTJ 素子の絶縁層は僅か 1nm 程度であり、抵抗値はその厚さに対して指数関数的に変化するために、トンネル障壁のわずかなバラツキが抵抗値の大きなバラツキにつながる。従って、広いウェハー上にいかに均一な絶縁層を形成するかが重要である。更に、出力信号は TMR 比で決まるため、抵抗値の均一性に加えて TMR 比の均一性も同時に求められる。

(7) 微細化、LSI 技術

MRAM 素子は半導体メモリの周辺回路と基本的に工程は同一であるが、一番問題になるのが磁性膜の加工方法である。磁性膜の微細加工に一般的に用いられる方法は Ar イオンエッチングである。しかし、これはエッチングされた原子の再付着によるマスクの形状の変化、および MTJ 素子側壁のショートが大きな問題であることがわかっている。磁性膜へのダメージを極

「MRAM・スピンメモリ技術」

力少なくし、かつ、微細形状をバラツキなく形成するためには、反応性イオンエッチング(RIE)プロセスによる加工を確立する必要がある。また、半導体プロセスのMTJ素子への影響も解決すべき課題の一つである。

CMOSのプロセスでは配線形成後に約400℃で水素中熱処理を行っている。通常MTJは熱処理温度とともに約300℃まではTMR比は上昇するが、これを超えると大きく低下することが知られている。この原因としては、反強磁性層に用いているMnの拡散、絶縁障壁と電極界面の構造の劣化、などが考えられている。この原因の解明と対策が必要である。

(8) エピタキシャルタイプ接合における高いバイアス電圧耐性

現在主流のMRAMの動作方式では1ビットからの出力電圧を基準電圧と比較して"0"または"1"を判別する。基準電圧はビットが高抵抗時の出力電圧(V_H)と低抵抗時の出力電圧(V_L)のちょうど中間に設定する。従って1ビットの出力は半分($V/2$ 、 $V = V_H - V_L$)になる。ギガビット程度のMRAMでは $V/2=100$ mV程度の出力電圧が要求される。しかし、MTJはバイアス電圧の増加に伴いTMR比が低下するため、この値を満たすことは容易ではない。最近、東北大学宮崎グループでは接合の下部電極をエピタキシャル成長することによりバイアス依存性を大幅に改善することに成功している。

接合の積層構造はSi(111)Ag/Cu/Ni-Fe/Al- O_x /Co-Fe/Ir-Mn/Ni-Fe/Ta(Sample1)である。以上エピタキシャルタイプの高いバイアス耐性について述べたが、最近は他の研究グループからも多結晶タイプの接合において高いバイアス依存性($V_{half} \sim 600-700$ mV)を示す接合が報告されている。Motorolaグループは作製法を工夫して下部電極を微結晶にし界面ラフネスを抑制している。この場合もAl- O_x 絶縁層の欠陥の低減およびラフネスの低減によるAl-O絶縁層の均質化の双方がバイアス耐性の向上に寄与している可能性があると考えられる。東北大学グループおよびその他のグループにおいても、fcc(111)の高配向多結晶接合¹⁹において $V_{half} \sim 600$ mVに向上している。多結晶接合の質が向上しエピタイプに近付いていると考えている。エピタキシャルタイプ接合は最大 $V \sim 200$ mVとCo-Fe多結晶タイプにくらべ約2倍の大きな出力電圧を示し、前述の高集積MRAMに求められる $V/2 > 100$ mVに近付いている。今後は低いバイアス電圧で更に大きい信号電圧が得られるようにMR比およびバイアス耐性をともに向上させることが重要である。

トンネル接合では絶縁障壁と電極界面の状態が重要であるとの認識が進み、単結晶高品質のトンネル接合が開発されている。2004年、独立行政法人産業技術総合研究所のグループから画期的な成果が報告されている。接合構造Fe(001)/MgO(001)/Fe(001)の単結晶MTJにより室温(273K)でMR比190%、バイアス依存性($V_{half} \sim 1200$ mV)、信号出力 $V_{out}=550$ mVを達成している。

1.4. MRAMのアーキテクチャ

これまでに検討されてきたMRAMの基本アーキテクチャを図1-4-1に示す。基本的には、情報担体となるGMR膜やTMR膜等のスピン依存型磁気抵抗素子、素子の磁化方向を変化させるための導体パターン、素子間の配線パターン、MOS-FET等のセル選択素子、機能動作周辺回路等から構成される。情報書き込みの際は、行方向及び列方向に平行に配した導体パターン群から各1本ずつをデコーダ回路で選択して電流パルスを印加することにより、その交差部の1素子の磁化方向を反転させる。

以下では、行方向、列方向の導体パターンを各々ビット線、ディジット線と呼ぶ。読出しは、素子を構成する磁性層の磁化状態に依存した抵抗値変化をセンスアンプ回路により電氣的に検出することにより行なわれる。

「MRAM・スピンメモリ技術」

図 1-4-1(a)は、GMR 膜やスピンバルブ膜から成る磁気抵抗素子を直列に接続した構成である。全金属の磁気抵抗素子であるため、素子自体への通電電流が作る磁界やジュール熱によって磁化反転を補助することが可能である。素子抵抗が小さいため、一般に読出し電圧が微弱であり、サンプルホールド回路を用いた自己参照読出し等のSN 改善技術を要する。このことは、高速動作の制約要因となり、MRAM 開発当初に 1Mbit チップの試作報告があるものの、製品化の実績としては航空宇宙用等の特殊用途用に限られている。膜面垂直方向に通電するリング形状のCPP(Current Perpendicular to Plane)-GMR 素子を直列に接続した構造²⁰も提案されている。記録ビットが閉磁路構造となり、隣接ビット間の磁気双極子相互作用が低減されるため超高密度集積が可能とされている。

TMR 素子による MRAM は、素子抵抗が数 10K 程度であり、汎用のセンスアンプ回路による高速アクセスが可能である。図 1-4-1(b), (c), (d)に TMR 素子を用いた MRAM の構造を示す。2 層の磁性層間のトンネル接合部の抵抗変化を読み出すため、電流は上層配線パターンから素子部を通り基板側へ流れる。図 1-4-1(b)は、現時点で最も実用化に近いアーキテクチャであり、TMR 素子とセル選択用の MOS-FET によりメモリセルが構成される。本構成による素子の試作例として、IBM から 1kbit チップ、モトローラから 1Mbit、4Mbit チップが報告されている。2FET + 2TMR の構成で読出し特性の向上を図った例もあるが、最近の試作報告では集積度を重視した 1FET+1TMR 構成が主流になっている。

図 1-4-1(c)は TMR 素子と配線パターンだけから構成されるクロスポイント構造の MRAM を示す。

セル選択用の MOS-FET を用いないためメモリセルの構成が単純であり、導体パターンの配列周期を 2F とすると、平面セル構造における上限記憶密度である $4F^2$ の集積度を実現できる可能性がある。クロスポイント構造の MRAM では、周辺回路をメモリセルアレイの下に配置可能であることも、高密度化に際しての利点である。各素子は電氣的に接続された状態であるため、読み出しの際に、ビット線からワード線へ流れる電流は、選択素子以外の素子にも分岐して流れる。

従って、並列接続された多数の素子群の中での 1 素子の抵抗変化を検出する必要があり、SN 比の向上が実用化の課題とされている。NEC では、自己参照読み出し方式²¹やダミービット線を用いた分岐電流補償回路²²の採用により、512k ビット品の試作と基本動作の検証に成功している。また 4MTJ 毎に 1 トランジスタを配置した階層ビット線構造のクロスポイント型アーキテクチャ²³が東芝・NEC から提案されている。この構造では MTJ を介して電氣的に接続される素子数が少ないため比較的高速にアクセスが可能であり、かつセル面積を $6F^2$ に保つことができるという利点を持つ。

図 1-4-1(d)は、図 1-4-1 (c)と同じくクロスポイント構造であるが、TMR 素子と直列にダイオードが接続された構造²⁴をとっている。ダイオードにより、ビット線からワード線への電流方向が 1 方向となるため、電流は選択素子だけに流れる。PECVD 法(Plasma Enhanced Chemical Vapor Deposition) で作製したアモルファス Si ダイオードを TMR 素子上に立て積みした MRAM セルの報告²⁵がある。この試作素子では、ダイオードの閾値電圧が 500mV 程度と高いため、動作バイアスが TMR 自体の最適バイアス電圧より大きくなっており実効的な MR 比が低下している。また、ダイオードの順方向抵抗が大きく、TMR 部との抵抗値整合のため、ダイオード部の面積が TMR 部に比べ大きくなっている。実用化に際しては、読み出し特性及び高集積性の点から、ダイオードの動作閾値電圧と順方向抵抗の低減が大きな課題である。

FET と TMR 素子からなるメモリセル構造の具体的な層構成例を図 1-4-2(a)に示す。行選択回路と列選択回路により、ビット線とワード線の 1 対が選択され、交差部の TMR 素子の抵抗値がビット情報として読み出される。モトローラから報告されているセル設計例では、MOS-FET のソース側電極が隣接セル間で共有されており、これにより $9F^2$ ($2F$ =配線パターン周期)の集積

「MRAM・スピンメモリ技術」

度が実現されている。同社は、このセル設計により 2003 年 12 月に 180 nm プロセスによる 4M ビット品の試作に成功している。IBM 社からも 180 nm プロセスでの試作報告がある。サムスンからは、図 1-4-2(b)のようにディジット線を 2 平行線構造とし、その間を通して TMR 素子の底部電極と FET を結線する Bottom Electrode Contact 方式²⁶が提案されている。この方式では FET+TMR における最小セル面積 $8F^2$ が実現可能である。

図 1-4-3 に 1M ビット MRAM(モトローラ社)のチップレイアウトを示す。1 チップは 512k ビットのメモリバンク($\times 2$)から構成され、各バンクは 32k ビットのメモリブロックを単位として 16 ビット並列アクセスされる。各メモリブロックは、参照セル部の両側に 1024 行 \times 16 列のメモリセルから成るハーフブロックを対称に配置した構成になっている。

素子の微細化により記憶密度の向上を図る際の課題として、ビット間干渉の低減がある。書き込みの際、ディジット線とビット線からの電流磁界は選択セル以外のセルにも作用する。このため、選択セルの磁化反転に必要な電流の下限値と最隣接セルが反転する上限値の間が正常動作領域となる。この動作領域が、各セルにおける磁化反転特性のばらつき許容範囲を決める。

TMR 素子を構成する磁性薄膜パターン間には磁気双極子相互作用がはたらくため、周囲のセルのビット状態によっても選択セルの磁化反転磁界が影響を受ける。電流磁界の発生効率を高めると共に、その局所性を改善する方法として、導体パターン周囲の 3 面を軟磁性薄膜で覆ったクラッド配線技術²⁷が提案されている。電流磁界の空間分布に起因するビット間干渉の問題は MRAM の重大な課題のひとつであるが、これに対するブレークスルーとして、スピン偏極電子の注入によって磁化反転を行う方法の検討も始められており、MRAM の極限的な集積度を実現する新しい局所スピン制御技術として研究の推進が期待される。また、Gbit 超級の MRAM を実現する上で微細化時の書き込み電流の増大は致命的問題であり、スピン注入による磁化反転技術の開発は必要不可欠とされている。スピン注入磁化反転²⁸では、電流注入により磁化方向が決まり、セルサイズの減少と共に電流量も減少する。書き込み用のワード線が不要となり、セル構造が簡素化するためセルサイズが縮小する。セルサイズは 1T1MTJ の理論的最小面積である $6F^2$ にできる。

現在 MRAM の情報担体として検討されている TMR 素子では、対面磁性層間におけるスピン方位の制御性を良くするため、片層の磁化方向が反強磁性層等によって 1 方向に固定されている(スピンバルブ膜)²⁹。これに対し、各層(自由層、半固定層)の保磁力差により磁化方向の相対変化を可能とした膜を擬スピンバルブ膜³⁰と称している。擬スピンバルブ膜では、磁界強度の調節により、両磁性層の磁化方向を選択的に反転させることが可能であり、図 1-4-4 に示す 4 状態の設定が可能である。1 素子によるマルチ状態の実現は、磁化の相対角度に依存するスピン依存型磁気抵抗素子のユニークな特長であり、これを利用した非破壊読み出し方式 MRAM や、プログラマブル論理デバイス等³¹の検討が行われている。

「MRAM・スピンメモリ技術」

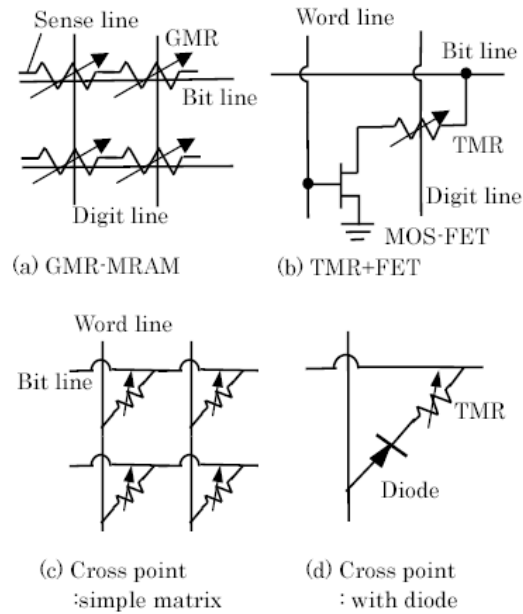


図 1-4-1 MRAM のアーキテクチャ

出典：「不揮発性メモリに関する調査研究」報告書、2004年3月、財団法人 機械システム振興協会、財団法人 新機能素子開発研究協会発行、37頁 図1

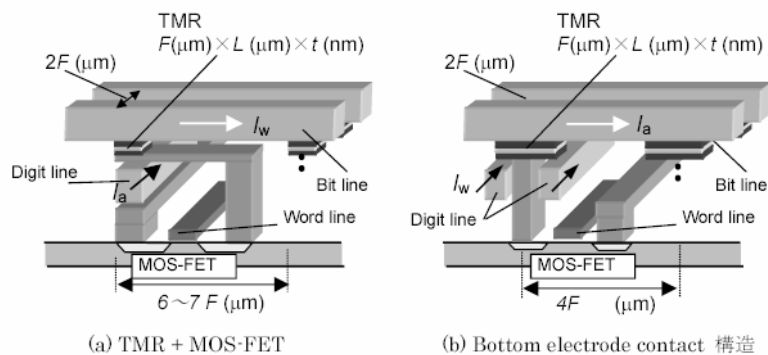


図 1-4-2 MRAM の層構成

出典：「不揮発性メモリに関する調査研究」報告書、2004年3月、財団法人 機械システム振興協会、財団法人 新機能素子開発研究協会発行、38頁 図2

「MRAM・スピンメモリ技術」

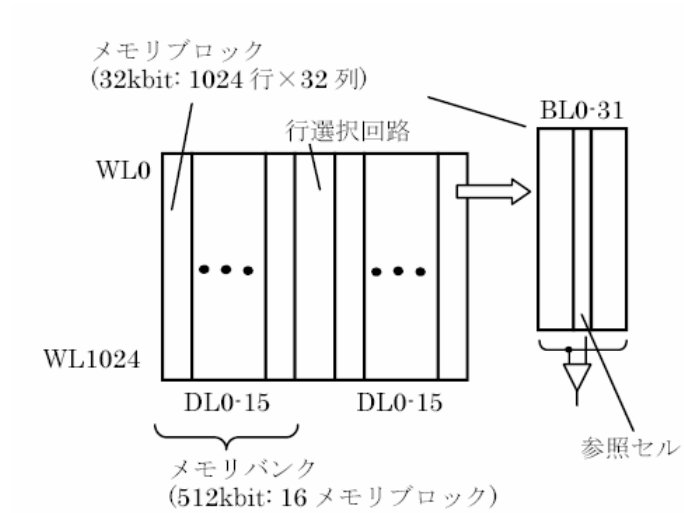


図 1-4-3 MRAM チップレイアウト

出典：「不揮発性メモリに関する調査研究」報告書、2004 年 3 月、財団法人 機械システム振興協会、財団法人 新機能素子開発研究協会発行、38 頁 図 3

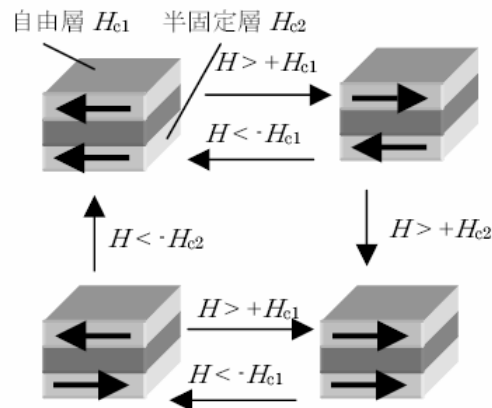


図 1-4-4 擬スピンバブル膜における 4 状態間遷移

出典：「不揮発性メモリに関する調査研究」報告書、2004 年 3 月、財団法人 機械システム振興協会、財団法人 新機能素子開発研究協会発行、38 頁 図 5

「MRAM・スピンメモリ技術」

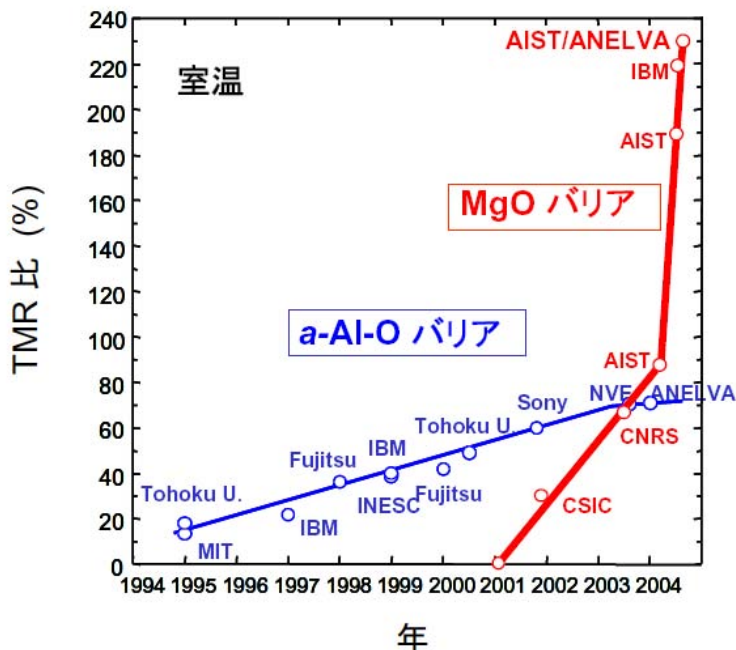


図 1-4-5 MR 比向上の開発推移

出典：独立行政法人産業技術総合研究所 エレクトロニクス研究部門 安藤功児氏提供
AIST (National Institute of Advanced Industrial Science and Technology) 産総研

1.5. 微細加工技術

(1) はじめに

MRAM に関する微細加工技術の現状と将来予測をするにあたり、微細加工技術開発の目標を少しでも明確にする目的で、これまで公表された MRAM 開発のロードマップを図 1-5-1 に示す。これらによれば現状の改良技術で実現が期待されている $0.13\mu\text{m}$ デザインルールデバイスは 2005 年頃に商品化され、将来の磁化反転技術として期待されているスピン注入方式 (65nm デバイス以降) の製品の実用化は 2009~2012 年頃と予想されている。

MRAM デバイスでは、CMOS 上に MTJ 素子を作成する多層構造をとるため、その製造には主に

- 1) CMOS を作るための微細加工技術
- 2) MTJ 素子のための微細加工技術
- 3) それらの間をつなぐ多層配線技術

が必要になり、半導体デバイス製造技術および磁性体デバイス製造技術を必要とする。

微細加工に必要な技術は、主に素子・回路パターンを露光するためのリソグラフィ技術と、堆積した多層膜をそのパターンに加工するためのエッチング技術より構成されている。またこれらに大きな影響を与えるのが、成膜技術および平坦化術である。

また Si デバイスのエッチング技術を加工対象となる材料から分類すると、絶縁物 (誘電体) エッチングとメタルエッチングに大別できる。デバイス高集積化に伴い、線幅が縮小する一方、積層する層の厚さはあまり変わらないため、誘電体を加工する溝のアスペクト比が増加している。誘電体エッチングではこのような微細で高アスペクト比の穴を掘る場合、緻密で薄い側壁保護膜の形成が必要になると考えられる。

MRAM デバイス製造に必要な技術のうち、リソグラフィ技術は、先に述べた Si デバイスで

「MRAM・スピンメモリ技術」

先行開発した技術を利用することになると考えてよい。また配線技術は、CMOS 上に MTJ 素子を作成する多層構造というデバイス構造のため必要とされる技術も若干異なってくると思われるが、基本的には Si デバイスにおける誘電体のエッチング技術や平坦化技術を含めた多層配線技術がほとんど利用できると考えられる。

他方 MTJ 素子そのものの加工は、メタルエッチング技術の一環であるが、対象になる材料は遷移金属磁性体が主体であり、また多層薄膜をダメージや層間の短絡なく加工することが必須であるため、Si 半導体用のメタルエッチング技術をそのまま流用できず、独自のエッチング技術の開発が必要となる。これについては次項以下で詳述する。

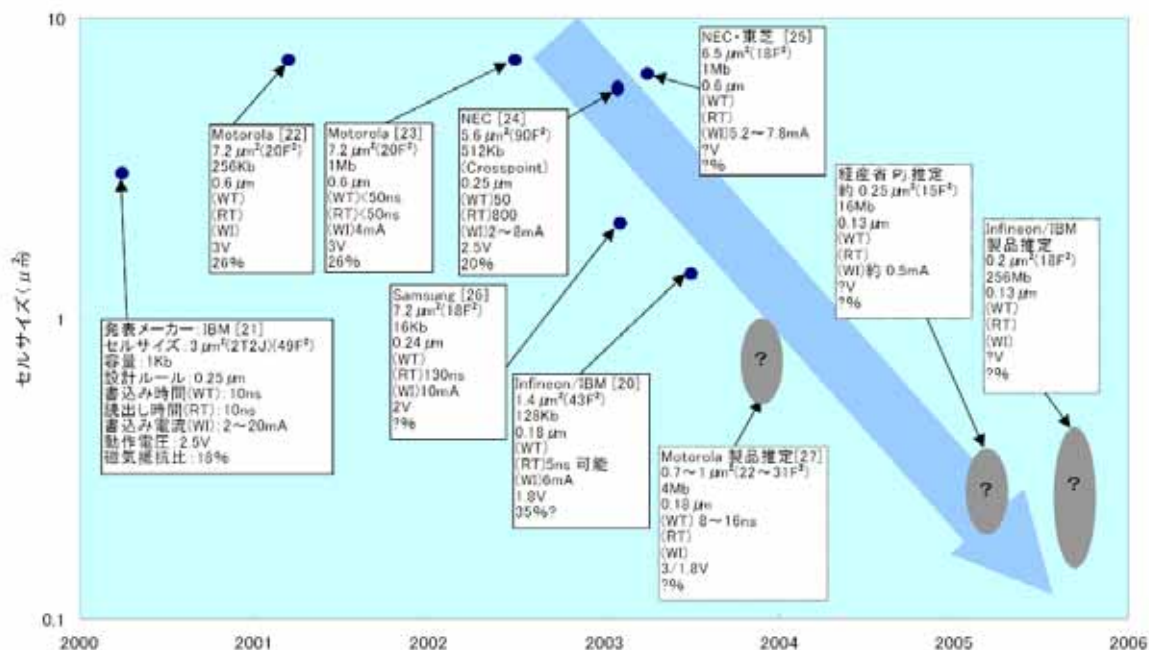


図 1-5-1 MRAM の開発経緯と動向

出典：「不揮発性メモリに関する調査研究」報告書、2004年3月、財団法人 機械システム振興協会、財団法人 新機能素子開発研究協会発行、41頁 図1

(2) 磁性膜エッチング技術

2-1) TMR 磁性膜エッチングの困難性

通常反応性ドライエッチング RIE (Reactive Ion Etching) では、ハロゲン系のプラズマにより被エッチング材料をハロゲン化物のガスにして、それをエッチングチャンバー外へ排気することによりエッチングが進行する。しかし磁性材料のハロゲン化物は蒸気圧が非常に低く、難エッチング材料として知られている。例えば FeCl_3 を SiCl_4 と較べると室温では 6~7 桁も低い。磁性体膜エッチングの最大の課題は RIE 用の反応生成物で高い蒸気圧を示す適当な反応ガスが見つからない点にある。

このこともあり、磁気ヘッド製造の分野ではこれまで Ar + イオンを用いたイオンミリング (物理的エッチング) を用いてきたが、膜側壁や装置内壁へのエッチング生成物の膜付着の問題や、大口径化の困難性、均一性がよくないなど多くの課題を抱えている。このため MRAM デバイス実現のためには、デバイスにダメージを与えない大口径で均一性がよい RIE 技術の開発が最大の課題となっている。

「MRAM・スピンメモリ技術」

2-2) 磁性膜反応性ドライエッチング技術

1) ハロゲンガス系プロセス

これまで報告されてきた磁性膜反応性ドライエッチング技術としては、主に塩素系ガスを用いるハロゲンガス系プロセスと、 $\text{CO} + \text{NH}_3$ や CH_3OH を用いる非ハロゲン系プロセスがある。この内、ハロゲンガス系プロセスはSi デバイス製造プロセスに用いられてきた量産技術として実績のあるプロセスである。しかしMRAMなど磁性膜デバイスの適用には

- (1) エッチング生成物の蒸気圧が極めて低いこと
- (2) エッチング後の加工物表面上の残留 Cl によるアフターコロージョンの課題を克服する必要がある。

2) 非ハロゲンガス系プロセス

非ハロゲンガス系としてはこれまで $\text{CO} + \text{NH}_3$ や CH_3OH が報告されている。この内 $\text{CO} + \text{NH}_3$ ガス系についてまず述べる。一般に遷移金属化合物の蒸気圧が低いといわれている中で、このCO ガス系の特徴は、カルボニル化合物の蒸気圧が高いことにある。カルボニル鉄などの精錬はこの性質を利用している。CO ガス単味でのエッチングはこれまで何度か試みられてきたが、C が析出して上手くいかない。これに NH_3 を添加し $\text{CO} + \text{NH}_3$ にすることによりCO の分解が抑制され磁性材料の高速エッチングが可能になったとの報告がある。この方法はその後いくつかのグループで調べられ、これまで次のような特徴をもっていることがわかってきている。

- (1) 高速エッチングと言われているが、物理的エッチングの要素も強いようである。
- (2) Ti, Ta のエッチングレートがNiFe などの1/10 倍程度で、この選択性を利用してメタルハードマスクとして利用できる。
- (3) Cl ガス系のようなアフターコロージョンがない。
- (4) CO が危険物ガスなため、配管・除害などの初期投資がかかる。

3) モニタリング技術

MTJ の加工は(a)絶縁層を挟んだ上下の磁性層を一括でエッチングする方法と、(b)絶縁層で一旦エッチングを止める二段階エッチングの方法に大別できる。MTJ 加工技術が困難な理由の一つに、加工時のセル側壁への導電性物質の付着やトンネルバリア層の絶縁破壊によりリーク電流が発生しやすいということが挙げられる。側壁付着によるリーク電流を抑制するためには、側壁に導電性物質を付着させないか、またはやむを得ず付着したものについては絶縁性物質とするなどの加工技術を確立することが必要である。側壁付着物の問題を軽減ないし回避することおよび強磁性層間の静磁結合抑制の観点より、現在のところ絶縁層でエッチングをいったん止める(b)の手法が多く採用されている。この場合、上部磁性層と絶縁層である AlOx 層とのエッチングレートの選択比を十分に高くできるようなエッチングガス系およびプロセス条件を用いると共に、プロセス進行状態を in-situ で観察し AlOx 層で止めるジャストエッチするためのモニタリング技術が必要である。このためプラズマの発光をモニタする発光分光分析法(OES)が通常用いられている。プラズマ発光による終点制御は、Si デバイスのエッチングプロセスでも多く採用されている。用いる波長や終点検出の方法は幾つか考えられるが、波長396nm の AlCl からの発光を用いて、 AlOx の出現を検出している例がある。検出感度を高めるために、複数の波長を利用したり、チャンパー内構成材料に配慮するなどの工夫も必要である。今後大容量化に伴い低抵抗化のため絶縁層が薄くなると AlOx 層で止めるのが困難になるであろう。また高密度化のためセル面積を縮小する必要から、将来は上下の磁性層を一括でエッチングする(b)の方法が多く採用されると思われる。

1.6. 今後の微細加工技術の課題

- (1) 現在及び近い将来の技術課題

「MRAM・スピンメモリ技術」

まず当面～近い将来の技術課題であるが、次のことが考えられる。

- (1) 大面積化、高均一化、高安定性（再現性）
- (2) 低抵抗化
- (3) 磁気シールド（ヨーク、クラッド）配線
- (4) 反強磁性結合フリー層、新磁性材料など

この内、(1)の大面積化、高均一化、高安定性（再現性）は、当面の微細加工における最大課題であることはよく知られている。MRAMがメモリとして使用されるデバイスである限り、常に高集積化・高性能化・低コスト化の努力は避けられない。

磁気ヘッドでは4～6インチの基板で事足りたものが、MRAMでは8インチ、更には最近ではDRAMやFlashメモリなど他のSiデバイスと同様、12インチ（300mm）基板が要求されてきている。MTJデバイスのスイッチング磁界はセルの面積、アスペクト比、形状、セル外周形状の乱れなどにより大きく変化することが報告されている。デバイスの加工形状のばらつきは製品歩留まりに直結するため、加工均一性の向上が極めて大切である。反応性ドライエッチングにおける均一性や再現性には、エッチング室のプラズマの分布、ガス流れ、アンテナコイル/基板間距離などのチャンバー内空間配置、壁温度、チャンバー構成材料、排気速度、基板の冷却・加熱における温度分布などの装置側の条件や、プロセス圧力・投入電力などのプロセス側の条件などが大きな影響を与えることが、これまでのSiデバイス量産プロセスや装置技術開発を通じて分かってきている。従ってMTJ加工では、磁性膜加工固有の技術を、Siデバイス製造で培ってきた量産技術に組み込んでプロセス・装置を構築することが必要となる。他方、素子抵抗のばらつき低減は、MTJ膜とりわけアルミナバリア層を均一に作成することを前提としており、これには基板面内で膜厚分布が $\pm 0.2\%$ 程度と極めて均一性の優れたアルミニウム膜を堆積し、それをプラズマ・ラジカルなどにより均一に酸化させるMTJ成膜技術に大きく依存していることは言うまでもない。

(2)の低抵抗化は素子の高集積化や高速化のため必然の方向である。1T1MTJデバイスの場合、当初 $100\text{ k}\ \mu\text{m}^2$ 程度でよいとされてきた素子抵抗は、現在数 $\text{ k}\sim$ 数 $100\ \mu\text{m}^2$ 程度まで目標が引き上げられつつある。このためには3～4原子層の極めて均一性のよいアルミニウム膜を均一性よく酸化させることが必要である。磁気ヘッドでは更に低抵抗の数 $10\ \mu\text{m}^2$ 以下のバリア膜が要求されており、その酸化法としては自然酸化法が通常用いられている。しかしこの酸化法では10minオーダーの処理時間を必要としており、スループットの観点よりMRAMデバイスへの適用は困難である。このため従来用いられてきたプラズマ酸化・ラジカル酸化に加えUVやオゾンによる酸化なども検討されてきている。その他の低抵抗化技術としてはトンネルバリア膜をアルミナ以外の低抵抗材料、例えばAINなどに置き換えることが検討されている。なおこのような低抵抗のバリア膜をつくるためには、下地を原子レベルで平坦にすることが大切であることは言うまでもない。他方、低抵抗MTJの微細加工では、チャージアップによる絶縁破壊ダメージの可能性が大きくなると予想されるので、基板バイアス電力の低減化は言うまでもなく、プラズマ中の電荷の偏りなどへの注意が肝要となる。このため反応性（化学的）エッチングの重要性はより高くなると思われる。

(3)の磁気シールド（ヨーク、クラッド）配線は、MRAMデバイス最大の課題の一つである書き込み電流の低減および高集積デバイスでの隣接セルへのクロストーク低減対策として重要な技術である。この配線ではAlやCuなど配線材料の周囲にNiFeなどの高透磁率の磁性層を貼り付ける構造となっている。この製造プロセスでは、まず垂直な溝側面に良質な磁性膜を堆積させる工夫がいる。側壁はターゲットに垂直な方向であり、スパッタ粒子は堆積する面にほぼ平行な浅い角度で入射することになる。このような場合、既に表面上に堆積している粒子のシャドウイング効果のため、柱状晶ライクな疎な膜が出来やすくなる。またその微細加工ではMTJ素子上部のビット線の加工が問題となると予想される。Al配線ではAlの高速エッチン

「MRAM・スピンメモリ技術」

グが可能のため、先ず AI 配線を切り、その周囲に磁性膜の外皮を堆積することが考えられる。しかし難エッチング材料の Cu 配線では、誘電体(絶縁体)膜に溝を掘り、磁性膜外周層、Cu めっきシード層、Cu めっき、CMP 平坦化というダマシプロセスとなる可能性が強い。この場合、MTJ に対向する面となる溝底部の磁性層を除くためのエッチングか、それを回避する工夫が必要になると予想される。

(4)の反強磁性結合フリー層は、高集積で微小サイズMTJセルの書き込み電流の上昇を抑制する重要な技術として期待されている。この他、MR比のバイアス依存性を低減させるダブルジャンクション構造³²や、MR比や平坦化の向上が図れるCoFeBのようなアモルファス磁性材料の使用も報告されている。これからもこのような新しい積層構造や材料などが次々と提案されるものと予想される。これらを使用するMTJデバイスの微細加工では、それらが導電性のメタルなどの材料で構成されており結晶構造や化学量論組成にそれほど敏感でない限り、あまり大きな問題にならないと思われる。その理由はMTJが通常Ta, TiNなどでキャップされ下部の層が保護されているためである。ただしエッチングガスによる酸化や腐食などには注意が必要である。

1.7. 将来技術

超 GbitMRAM デバイスが直面する壁をブレイクスルーするための最重要技術として以下のものがある。

- (1) ハーフメタルを用いたトンネル接合技術
- (2) 単結晶接合技術
- (3) スピン注入磁化反転技術

微細加工技術の観点からは、これらの個々の技術への対応の他に、共通基盤技術として 65 nm デバイス以降用の微細加工技術も必要である。

(1)～(3)のブレイクスルー技術はいずれも現在は基礎研究の段階で、その製造技術を云々するのは時期尚早である。

(1)の金属系ハーフメタルについては現在東北大・猪俣教授らのグループが精力的に進めている。これまでハーフメタルを使用しても高い MR が得られなかったのは、この系が構造敏感であること、表面や界面の電子状態がバルクと異なっていること、ラフネスが大きいことなどに起因しているらしいと猪俣グループは推定している。このことは良好なハーフメタル層を得るには、先ずダメージの少ない平坦性に優れた膜堆積法の開発が必要であることを示唆している。

(2)の単結晶接合技術は、高 MR 比が得られ、MR のバイアス依存性が改善されるなど種々の良好な TMR 特性が得られるので、究極の成膜技術と言えるかもしれない。単結晶接合技術の鍵は単結晶を得るための膜構成と膜堆積法の開発であろう。

(1)のスピン注入磁化反転技術は、線幅 65 nm 以下デバイスで現行の電流磁界方式に代わる磁化反転技術として、また書き込みワード線が不要となるため構造が簡単になりデバイスの高密度化も図れるため、極めて魅力的な技術として世界各所で開発が精力的に行われている。セル面積は理論的には現行電流磁界方式の $12F^2$ から DRAM 並みの $6F^2$ まで縮小できると言われている。

その他にも電子スピンを利用する将来技術が研究されている。FET のソース・ドレイン電極部に強磁性体を用いることにより、磁界と電界により高次論理機能動作の実現を図るスピン MOS-FET の提案や、磁性量子ドットアレイによりセルオートマトンを構成する試みなど、次世代スピントロニクスデバイスに向けた新たな展開がみられる。

「MRAM・スピンメモリ技術」

参考文献

- [1] 「Giant Magnetoresistance of (001)Fe/(001)Cr Magnetic Superlattices」,
「Phys.Rev.Lett. Vol.61 p2472」, M.N.Baibich et al、1988/11/21
- [2] 「Co₂MnSi Heusler alloy as magnetic electrodes in magnetic tunnel junctions」,
「Appl. Phys. Lett Vol.85, No.1 p79」, KAEMMERER S et al、2004/07/05

参照箇所

-
- ¹ 1 - 2 - 2 - 7 バリア材料 (Al₂O₃)
- ² 1 - 3 - 1 ペロブスカイト型酸化物La_{2/3}Ba_{1/3}MnO_xの磁気抵抗効果
- ³ 1 - 6 - 1 - 6 磁気トンネル素子 + 1トランジスタ構成のメモリセルの読み出し
- ⁴ 1 - 6 - 1 - 7 2T2MTJ方式
- ⁵ 1 - 6 - 2 - 2 クロスポイント構造 - GMR-MRAMとの比較
- ⁶ 1 - 7 - 1 - 1 1T 1MTJ型のMRAMのメモリアレイ回路
- ⁷ 1 - 2 - 1 - 4 CoFe合金スピントンネル接合
- ⁸ 1 - 2 - 1 - 8 NiFe合金-トンネル接合のI-V特性
- ⁹ 1 - 2 - 1 - 1 3 CoFeBのフリー層適用によるMR比増加
- ¹⁰ 1 - 2 - 1 - 1 4 CoFeBをフリー層に用いたTMR素子
- ¹¹ 1 - 2 - 4 - 1 エピタキシャル成長させたFe/MgO/Fe/Coトンネル接合
- ¹² 1 - 2 - 1 - 1 8 ホイスラー系合金 (Co₂MnAl) のTMR比の基板温度依存性
- ¹³ 1 - 2 - 1 - 1 7 ホイスラー系合金 (CCFA) の磁気抵抗
- ¹⁴ 1 - 2 - 2 - 3 MgO (酸化マグネシウム)
- ¹⁵ 1 - 2 - 2 - 6 TMR比 230%達成のバリア材料MgO-CoFeB/MgO/CoFeB
- ¹⁶ 1 - 2 - 2 - 5 TMR比 220%達成のバリア材料MgO-CoFe/MgO/CoFe
- ¹⁷ 1 - 2 - 2 - 4 MR比 247%達成のバリア材料MgO-Fe/MgO/Fe
- ¹⁸ 1 - 5 - 5 - 4 高密度・高速クロスポイントMRAMセル形状
- ¹⁹ 1 - 2 - 4 - 3 エピタキシャルタイプ接合 - fcc(111)高配向性多結晶
- ²⁰ 1 - 4 - 2 - 1 1 リング型メモリ素子
- ²¹ 1 - 7 - 2 - 3 自己参照読み出し回路

「MRAM・スピンメモリ技術」

- ²² 1 - 7 - 4 - 1 分岐電流補償回路（ダミービット線）
- ²³ 1 - 4 - 2 - 2 2 高密度・高速クロスポイントMRAMセル
- ²⁴ 1 - 6 - 2 - 4 TMR素子とダイオードによるクロスポイント方式MRAM
- ²⁵ 1 - 4 - 2 - 7 高密度アーキテクチャ
- ²⁶ 1 - 4 - 2 - 2 1 下部電極接点（BEC）によるMRAMセルの縮小
- ²⁷ 1 - 5 - 3 - 1 磁場を集中させるクラッドを施した配線を持つ1-MTJ/1-トランジスタメモリセル構成
- ²⁸ 1 - 5 - 2 - 1 スピン注入磁化反転-Cu/Co/Cu/Co/Cu/Pt/Au
- ²⁹ 1 - 2 - 1 - 5 CoFe合金（スピバルブタイプ）
- ³⁰ 1 - 2 - 4 - 5 擬スピバルブ構造
- ³¹ 4 - 1 - 1 0 FPGA用プログラム可能論理関数
- ³² 1 - 2 - 4 - 7 二重トンネル接合構造のTMR特性