

平成 18 年度弁理士試験論文式筆記試験問題

[電子デバイス工学]

1. 図 1 に示すように、長さ b (m)、幅 w (m)、厚さ t (m)、ホール(正孔)の密度 p (m^{-3}) の P 型シリコン半導体の両端に電極を取り付け、電圧 V を加える。この場合、P 型シリコン半導体に電流 I (A) が流れる。なお、キャリアが均一に分布しているため拡散電流は無視し、ドリフト電流のみ考える。また、問題を単純化するため、電気伝導は正孔によってのみ起こるものとし、電子による電気伝導は無視する。この時、以下の問いに答えよ。

【30点】

- (1) ホールのドリフト速度を v (m/s)、ホール 1 個あたりの電荷量を q (C) とする。 I (A) は電流の流れに垂直な面を 1 秒に通過する総電荷量と定義される。 I を v を用いて表せ。
- (2) 半導体中の電界を E (V/m)、ホールの移動度を μ (m^2/Vs) とした場合、 $v = \mu E$ で表されるとする。また、P 型シリコン半導体の両電極間の抵抗を R (Ω) とする。 R を μ を用いて表せ。
- (3) 電界が非常に強い場合は、 v が一定値 v_{sat} に飽和してしまう。 v が飽和した場合の、 R を v_{sat} を用いて表せ。
- (4) v が飽和する物理的起源を説明せよ。

次に、図 1 に示すように、 z 軸方向に強さ B の一定の磁界を加える。この場合、磁界に依存した電位差がシリコン半導体のいずれかの端面間に生じる。この時、以下の問いに答えよ。

- (5) 磁界に依存した電位差は x 軸、 y 軸、 z 軸いずれの方向に生じるか。
- (6) 定常状態になった場合、磁界に依存して現れる端面間の電位差を求めよ。
- (7) 図 1 の P 型シリコン半導体を N 型シリコン半導体で置き換えた場合、定常状態では(6)と比べて何が変わるか述べよ。但し、この場合、電気伝導は電子によってのみ起こるものとし、正孔による電気伝導は無視する。

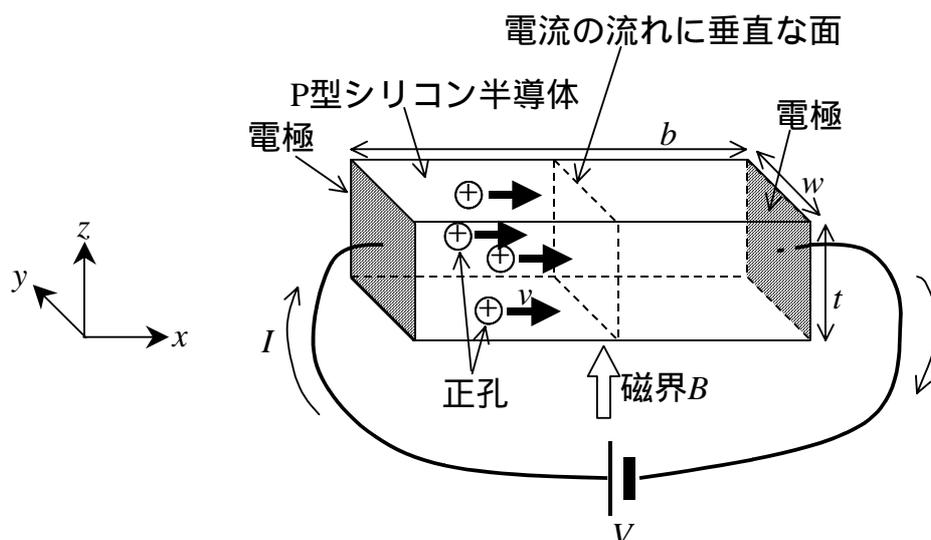
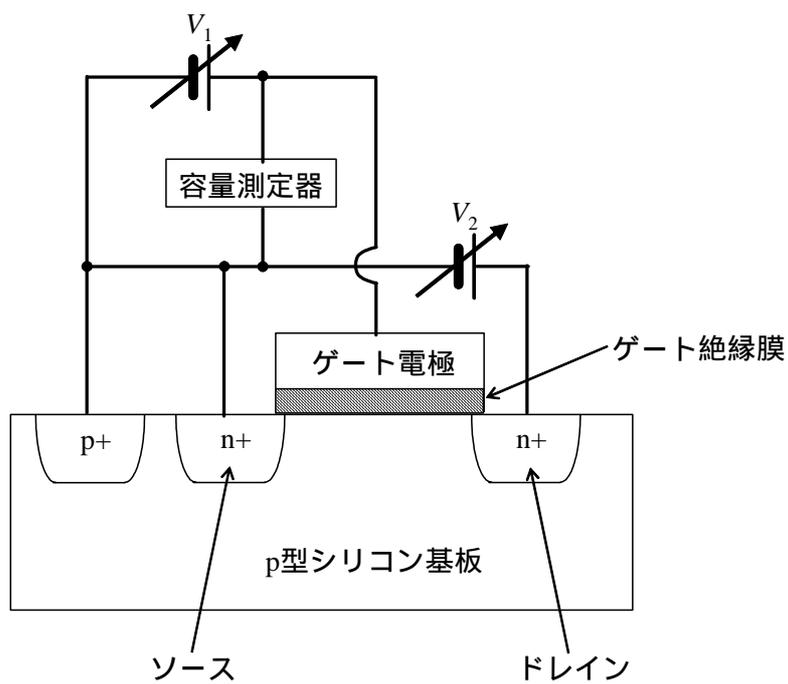


図1 P型シリコン半導体の電気伝導

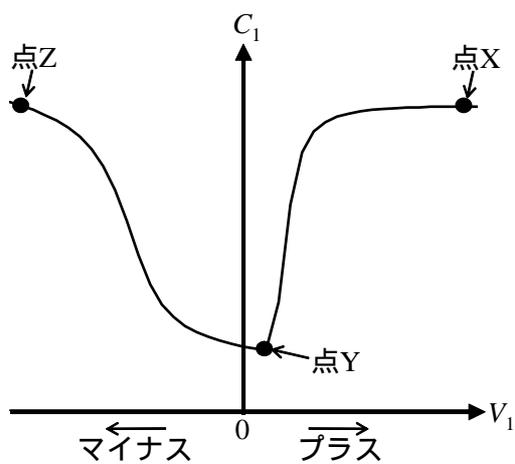
2. 図2(a)に示す断面構造を持ったシリコンの電界効果トランジスタを考える。p型シリコン基板上にn型濃度の高い領域(n+)と、p型濃度の高い領域(p+)が形成されている。右側のn+領域をドレイン、左側のn+領域をソースと呼ぶ。トランジスタの各端子を図2(a)に示すように接続する。電圧 $V_2 = 0\text{V}$ において、ゲート電極に印加する電圧 $V_1\text{ (V)}$ を変化させながら、図2(a)のように容量測定器を用いて容量 $C_1\text{ (F)}$ を測定した結果を図2(b)に示す。この時、以下の問いに答えよ。

【20点】

- (1) ゲート電極の面積を $A\text{ (m}^2\text{)}$ 、ゲート絶縁膜の厚さを $t\text{ (m)}$ 、ゲート絶縁膜の誘電率を $\epsilon\text{ (F/m)}$ とする。図2(b)の点Xにおける C_1 を求めよ。
- (2) 図2(b)の点Yにおける C_1 は、点Xにおける C_1 よりも小さい。この物理的理由を、ゲート絶縁膜直下のシリコン基板表面の状態に着目し、点Yと点Xを対比させながら説明せよ。
- (3) 図2(b)の点Zにおける C_1 は、点Xにおける C_1 とほぼ等しい。しかし、ゲート絶縁膜直下のシリコン基板表面の状態は点Zと点Xで異なる。点Zと点Xでゲート絶縁膜直下のシリコン基板表面の状態がどう異なっているのかを説明せよ。
- (4) V_2 に微小な正の電圧を加えた場合、ドレインからソースへ電流が流れる。図2(b)の点X、点Y、点Zいずれの場合に、この電流が最大になるか。



(a)



(b)

図2 (a) シリコンの電界効果トランジスタ。(b)ゲート電極と接地間の容量 C_1 の V_1 依存

論点 [電子デバイス工学]

1 . 半導体の電気伝導に関する以下の諸点の理解を問う。

- ・ 電流、電界の定義
- ・ 移動度
- ・ 抵抗と移動度の関係
- ・ キャリア速度の飽和
- ・ ホール効果

2 . シリコンの電界効果トランジスタに関する以下の諸点の理解を問う。

- ・ ゲート容量の定義
- ・ 反転、空乏、蓄積にともなうゲート容量の変化
- ・ トランジスタの基本動作