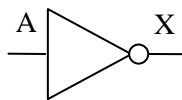


平成23年度弁理士試験論文式筆記試験問題

[計算機工学]

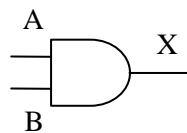
1. 論理回路について以下の問いに答えよ。ただし、NOT 回路、AND 回路、OR 回路の記号と真理値表は下図のとおりである。これらの回路を本問では論理素子と呼ぶ。AND、OR 回路については下図では 2 入力であるが、解答の際には 3 入力以上の回路を用いてもよい。

【32点】



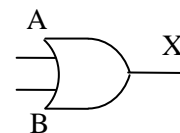
NOT 回路

A	X
0	1
1	0



AND 回路

A	B	X
0	0	0
0	1	0
1	0	0
1	1	1



OR 回路

A	B	X
0	0	0
0	1	1
1	0	1
1	1	1

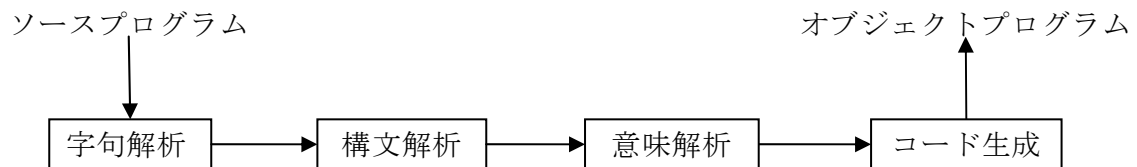
- (1) 論理素子を用いて 1 ビットの 2 入力加算回路 (半加算器) を構成せよ。ただし入力は X, Y 、出力は上位から C_{out} (桁上げ), S (和) とする。
- (2) 論理素子を用いて 1 ビットの 3 入力加算回路 (全加算器) を構成せよ。ただし入力は X, Y, C 、出力は上位から C_{out} (桁上げ), S (和) とする。
- (3) (2) の回路を二つ組み合わせて、桁上がりを考慮した 2 ビットの加算回路を構成せよ。ただし 1 番目の入力を下位から X_1, X_2 、2 番目の入力を下位から Y_1, Y_2 、桁上がり入力を C_{in} とし、出力は下位から S_1, S_2 、桁上げを C_{out} とする。(2) の回路の内部は省略して表現してよい。
- (4) (3) の回路と論理素子を用いて 2 の補数を計算する回路を構成せよ。ただし入力は下位から Y_1, Y_2 の 2 ビット、出力は下位から S_1, S_2, S_3 の 3 ビットとする。(3) の回路の内部は省略して表現してよい。

(次頁へ続く)

- (5) (4)の回路を用いて2ビットの2入力減算回路を構成せよ。ただし入力1番目の入力を下位から X_1, X_2 、2番目の入力を下位から Y_1, Y_2 、出力は下位から S_1, S_2 、桁借りを B_{out} とする。(4)の回路の内部は省略して表現してよい。

2. コンパイラの構成は、一般的に以下の図のとおりである。この構成に関して以下の問いに答えよ。

【32点】



- (1) 構文解析で何が行われるか説明せよ。
- (2) 意味解析で何が行われるか説明せよ。
- (3) コード生成で行われる最適化として、プロセッサのパイプライン処理をより円滑に進めるために行われることについて具体例を挙げて説明せよ。
- (4) コード生成で行われる最適化として、局所的な情報のみを用いて行う最適化（のぞき穴最適化）がある。この最適化について具体例を挙げて説明せよ。
- (5) 最適化は一種のプログラム変換であるが、変換前後でプログラムの動作が変わらないことが前提である。しかし、加算の結合法則

$$(X + Y) + Z = X + (Y + Z)$$
 を使った変換は固定長の表現を用いた演算を用いた場合必ずしも成立するとは限らない。浮動小数点演算の場合について具体例を挙げて理由を説明せよ。

3. 計算機工学に関する以下の事項について3行程度で説明せよ。

【36点】

- (1) GPGPU
- (2) POSIX
- (3) リンケージエディタ (Linkage Editor)

(次頁へ続く)

- (4) ローダ (Loader)
- (5) アムダールの法則 (Amdahl's law)
- (6) 動的リンク (Dynamic Linking)