

## 平成 29 年度弁理士試験論文式筆記試験問題

## [回路理論]

- 1 それぞれ理想的な交流電圧源（角周波数 $\omega$ ）、抵抗（抵抗値 $R$ ）、キャパシタ（キャパシタンス $C$ ）、インダクタ（インダクタンス $L$ ）で構成された図1の回路について以下の問いに答えよ。

【35点】

- (1) 入力電圧 $V_{in}$ と出力電圧 $V_{out}$ の間の伝達関数 $V_{out}/V_{in}$ を抵抗値 $R$ 、キャパシタンス $C$ 、インダクタンス $L$ を用いて角周波数 $\omega$ の関数として表せ。
- (2) 共振周波数 $\omega_0 = 1/\sqrt{LC}$ 、損失係数 $Q = \omega_0 CR$ とするとき、(1)で表した伝達関数を $\omega_0$ 、 $Q$ を用いて表せ。
- (3)  $Q > \sqrt{2}/2$ 及び $Q < \sqrt{2}/2$ のそれぞれについて、(2)の伝達関数の振幅の角周波数 $\omega$ に対する依存性を、両対数グラフ上の概形として図示せよ。
- (4)  $Q = \sqrt{2}/2$ かつ $\omega_0/2\pi = 100$  kHz のとき、 $C$ と $L$ の値を求めよ。ただし $R$ は $1$  k $\Omega$ とする。

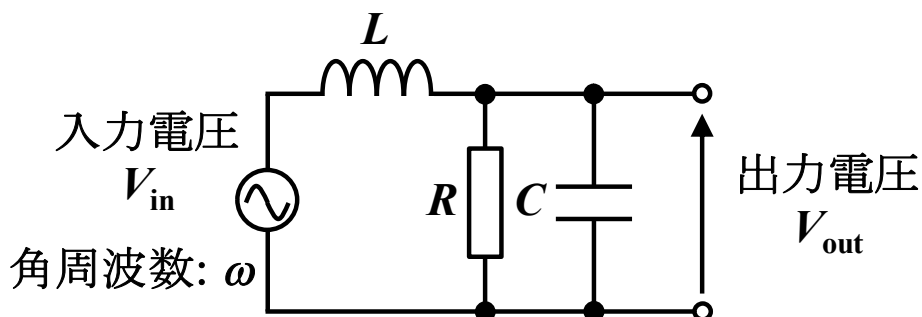


図1

2 あるオペアンプと、それぞれ理想的な交流電圧源（角周波数 $\omega$ ）、抵抗（抵抗値 $R_1$ 、 $R_2$ ）で構成された図2の回路について以下の問いに答えよ。ただしオペアンプの入力インピーダンスは無限大、出力インピーダンスはゼロとする。

【30点】

- (1) オペアンプは電圧利得が無限大であり、周波数依存性をもたないものとする。このとき、入力電圧 $V_{in}$ と出力電圧 $V_{out}$ の間の伝達関数 $V_{out}/V_{in}$ を求めよ。
- (2) オペアンプは有限の電圧利得 $A$ をもち、周波数依存性をもたないものとする。このとき、入力電圧 $V_{in}$ と出力電圧 $V_{out}$ の間の伝達関数 $V_{out}/V_{in}$ を求めよ。
- (3) (2)のオペアンプの有限の電圧利得 $A$ が何らかの理由で20%減少したとする。このとき、入力電圧 $V_{in}$ と出力電圧 $V_{out}$ の間の伝達関数の変化率を求めよ。ただし $A$ は $10^4$ 、 $R_1$ と $R_2$ はそれぞれ $1\text{ k}\Omega$ 、 $9\text{ k}\Omega$ とする。
- (4) オペアンプは有限の電圧利得と周波数依存性をもち、その電圧利得は

$$A = \frac{A_0}{1 + j \frac{\omega}{\omega_0}}$$

と表されるとする。 $j$ は虚数単位である。 $\omega_0$ はオペアンプ自身のカットオフ周波数を表す。図2の回路の入力電圧と出力電圧の間の伝達関数のカットオフ周波数を求めよ。ただし $\omega_0$ は $100\text{ Hz}$ であり、 $A_0$ は $10^4$ 、 $R_1$ と $R_2$ はそれぞれ $1\text{ k}\Omega$ 、 $9\text{ k}\Omega$ とする。

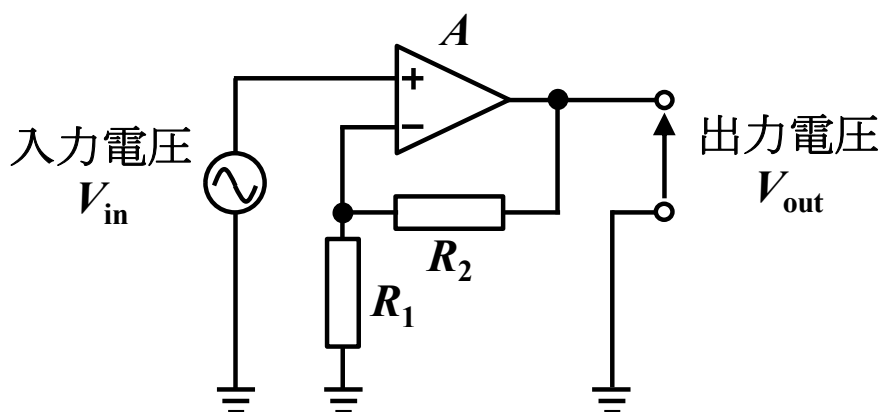


図2

3 理想的な論理ゲートで構成される論理回路について以下の問いに答えよ。ただし信号波形の高い値を論理的に 1、低い値を論理的に 0 と表現する。

【35点】

(1) 図 3-1 (a) に示す SR ラッチ回路は図 3-1 (b) の論理回路で表せる。この SR ラッチ回路に図 3-1 (c) に示すデジタル信号 S 及び R を入力する。このときデジタル出力信号 Q の波形を入力信号 S 及び R の波形とともに図示せよ。ただし Q ははじめゼロに初期化されているとする。また出力が不定の場合はその箇所を明示せよ。

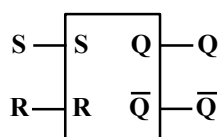


図 3-1 (a)

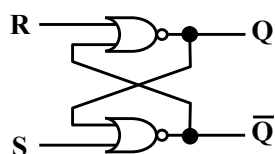


図 3-1 (b)

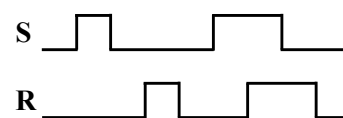


図 3-1 (c)

(2) 図 3-2 (a) に示す D ラッチ回路は、(1) の SR ラッチ回路と組合せ論理回路を用いることで図 3-2 (b) に示す回路のように構成できる。この D ラッチ回路は図 3-2 (c) に示すようにクロック信号 CLK が 1 のときだけ入力信号 D が出力信号 Q として現れる。このとき必要な組合せ論理回路を NOT ゲートと AND ゲートを用いて示せ。

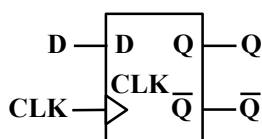


図 3-2 (a)

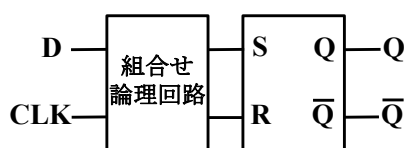


図 3-2 (b)

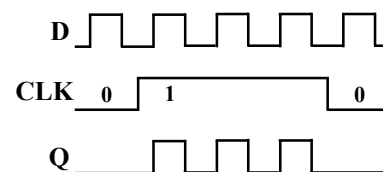


図 3-2 (c)

(3) 図 3-3 (a) に示す D フリップフロップ回路は、(2) の D ラッチ回路を 2 段接続し、それぞれに相補的なクロック信号 CLK を供給することで図 3-3 (b) に示す回路のように構成できる。この D フリップフロップ回路に図 3-3 (c) に示す入力信号 D とクロック信号 CLK を入力したときの出力信号 Q の波形を入力信号 D 及びクロック信号 CLK とともに図示せよ。

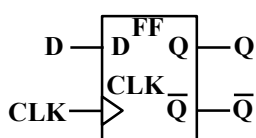


図 3-3 (a)

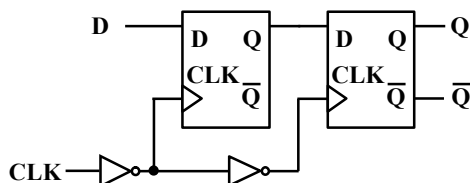


図 3-3 (b)

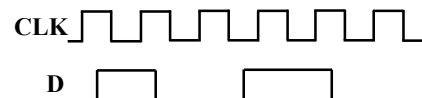


図 3-3 (c)

(次頁へ続く)

- (4) (3)のDフリップフロップ回路と組合せ論理回路を用いると、図3-4(a)に示すように0から4までを数える5進カウンタを構成できる。D<sub>1</sub>、D<sub>2</sub>、D<sub>3</sub>とQ<sub>1</sub>、Q<sub>2</sub>、Q<sub>3</sub>はそれぞれ3つのDフリップフロップの入力信号と出力信号であり、D<sub>1</sub>とQ<sub>1</sub>は最下位ビットであり、D<sub>3</sub>とQ<sub>3</sub>は最上位ビットである。このとき必要な組合せ論理回路をNOTゲート、ANDゲート及びORゲートを用いて示せ。

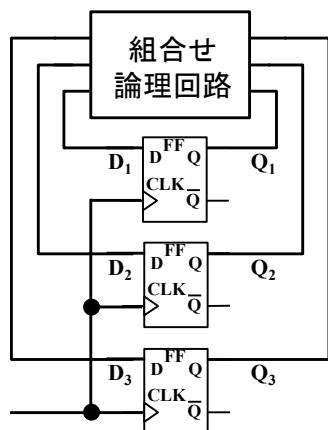


図3-4(a)

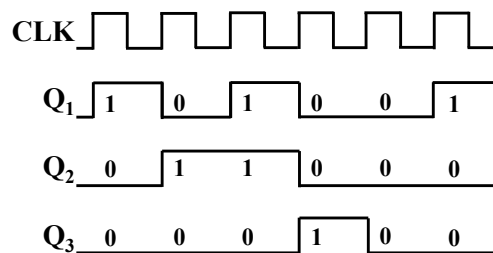


図3-4(b)