

G11C 静的記憶（記録担体と変換器の相対運動に基いた情報記憶 G11B; 記憶用の半導体装置 H01L, 例 .H01L27/108 -H01L27/11597; パルス技術一般 H03K, 例 . 電子的スイッチ H03K17/00）

注

(1) このサブクラスは、デジタルまたはアナログ情報を記憶するための装置または機構であって、以下の条件を満たすものを包含する：
(i) 情報記憶素子と変換器との間に相対運動がなく；
(ii) 情報を記憶装置へ書き込みまたは記憶装置から読み出すために選択装置と共働する。
(2) このサブクラスは、記憶に適合されない素子であって、以下の注 (3) に述べるような手段を備えていない素子を包含せず、その素子は適切なサブクラス、例 .H01 のサブクラス、H03K に分類される。
(3) このサブクラスにおいては、下記の用語は以下に示す意味で用いる：[8]
“記憶素子”とは、少なくとも 1 項目の情報を維持することが可能な、書き込むためのまたは読み出すための手段を備えている素子を意味する。[8]
“メモリ”とは、記憶素子を含めて装置を意味し、これには必要に応じて取り出すことができる情報を維持することが可能である。[8]

サブクラス内の索引

情報の書き込みまたは読み出し..... 7/00
アドレスの選択..... 8/00
素子の形式によって特徴づけられたデジタル記憶
電気的、磁気的なもの；その細部..... 11/00;5/00
機械的なもの..... 23/00
流体的なもの..... 25/00
その他の形式..... 13/00
バックアップ手段によって特徴づけられたデジタル記憶
14/00
消去可能でプログラム可能な読み出し専用メモリ
16/00
情報の転位によって特徴づけられたデジタル記憶
シフト；循環..... 19/00;21/00
機能によって特徴づけられる記憶
連想記憶；アナログ；読み出し専用 15/00;27/00;17/00
記憶のチェック..... 29/00
このサブクラスの他のグル - プに分類されない主題事項
99/00

5/00 G11C11/00 に分類される記憶装置の細部
5/00 100 ・半導体記憶装置の情報の消失に対する保護回路（放射によるポンパ - ドを使用して半導体を製造するもの H01L21/26; 誤り検出、監視 G06F11/00）
5/02 ・記憶素子の配置、例 . マトリックス配列におけるもの
5/02 100 ・半導体記憶装置におけるメモリセルおよび周辺回路の幾何学的レイアウト（集積回路における部品の幾何学的レイアウト H01L27/02）
5/04 ・記憶素子のための支持体；そのような支持体への記録素子の取付けまたは固定
5/04 200 ...メモリモジュール
5/04 210 ...ROM モジュール
5/04 220 ...RAM モジュール
5/05 ...コアをマトリックス状に支持するもの [2]
5/06 ・記憶素子を電氣的に相互結合する機構、例 . ワイヤリング
5/06 100 ・集積半導体メモリアクセス線、例 . ワ - ド線、ビット線における電圧および信号分配、伝搬遅延対策

5/06 200 ・半導体メモリクリップ用外部アクセス線を削減するための手段、例 . 少なくともアドレスおよびデータ信号の多重化によるもの
5/08 ・磁気的素子を相互結合するためのもの、例 . トロイダル磁心に対するもの
5/10 ・コンデンサを相互結合するためのもの
5/12 ・記憶素子を相互結合するために用いる装置または方法、例 . 磁心に線を通すためのもの
5/14 ・電力供給装置（半導体装置を用いる周辺記憶回路 G11C11/4063,G11C11/413 ,G11C11/4193, 一般 G05F,H02J,H02M）[5,7]
5/14 100 ・バッテリーおよびバックアップ電源（バックアップ電源そのもの H02J9/06）
5/14 200 ・無接点電源、例 . 無線、電磁誘導、赤外線（一般 H02J5/00）
5/14 300 ・メモリカセット挿入 / 取出しの検出；電源およびア - ス線の導通チェック；電源変動 / 遮断 / レベルの検出；代替電源間の切替え（G11C5/14,100 が優先）
5/14 320 ...電力供給の予定された遮断または低下の検知
5/14 370 ・節電
5/14 400 ・チャ - ジポンプの応用；昇圧電圧回路；そのためのクランプ回路（G11C5/14,100 が優先）
5/14 420 ...基板バイアス発生器（G11C5/14,100 が優先）
5/14 500 ・電圧基準発生器、電圧および電流調整器；内部で低下させた電源レベル；電圧低下に対する補償（G11C5/14,100 が優先）
5/14 550 ・昇圧または降圧回路、スタンバイ回路または復帰回路の細部
7/00 デジタル記憶装置に情報を書き込みまたはデジタル記憶装置から情報を読み出す機構（G11C5/00 が優先；半導体装置を用いた記憶のための周辺記憶回路 G11C11/4063,G11C11/413,G11C11/4193）[2,5]
7/02 ・寄生信号を回避する手段をもつもの
7/04 ・温度の影響に基づく障害を除去する手段をもつもの
7/06 ・センス増幅器；関連回路（増幅器それ自体 H03F,H03K）[1,7]
7/06 110 ・非保持式差動増幅器、例 . コンパレータ、ロングテ - ル対
7/06 120 ・保持式差動増幅器
7/06 130 ・シングルエンド増幅器
7/08 ・その制御 [7]
7/10 ・入力 / 出力（I/O）デ - タ・インタ - フェイス装置、例 . I/O デ - タ制御回路、I/O デ - タバッファ（レベル変換回路一般 H03K19/0175）[7]
7/10 100 ・デ - ジ - チェ - ンまたはリングバスメモリ機構のためのインタ - フェイス回路
7/10 150 ・デ - タ管理、例 . 書き込みまたは読み出し前のデ - タを操作するもの；デ - タバススイッチまたはそのための制御回路
7/10 152 ...入出力時のデ - タマスキング
7/10 154 ...入出力時のデ - タの並び換え、例 . クロスバ - 、マルチプレクサの縦続接続、シフトまたはロ - テ - ション

7/10 200	..単一ボ - トメモリ向け読取り - 書込みモ - ド, すなわち, ランダムボ - トまたはシリアルボ - トのいずれかを有するもの	7/10 505	...デ - タ入力バッファ, 例 . レベル変換回路, 適応的口 - ド回路を含むもの
7/10 210	...シリアルビット線アクセスモ - ド, 例 . ビット線アドレスシフトレジスタ, ビット線アドレスカウンタ, ビット線バ - ストカウンタを使用するもの	7/10 510	...デ - タ入力ラッチ
7/10 212ベ - ジシリアルビット線アクセスモ - ド, すなわち, 関連ワ - ド線アドレスを伴う使用可能ロウアドレスストロ - クパルス, およびそれぞれが関連ビット線アドレスを伴う使用可能カラムアドレスストロ - クパルス系列を使用するもの	7/10 515	...制御信号の入力回路
7/10 214延長デ - タ出力 (EDO) モ - ド, すなわち, 長期間にわたり出力バッファを使用可能状態に維持するもの	7/10 520	...入力の同期化
7/10 216静的カラムデコ - ドシリアルビット線アクセスモ - ド, すなわち, 関連ワ - ド線アドレスを伴う使用可能ロウアドレスストロ - クパルスおよび使用可能ビット線アドレス系列を使用するもの	7/10 525	...書き込み回路, 例 . IO 線のライトドライバ
7/10 220	...直列にアドレス指定された読取り - 書込みデ - タレジスタを使用するもの (G11C7/10,230 が優先)	7/12	・ビット線制御回路, 例 . ビット線用の, ドライバ, プ - スタ -, プルアップ回路, プルダウン回路, プリチャ - ジング回路, 等化回路 [7]
7/10 226所定数の段階から連続的にデ - タを出力するために 1 つの段階のみをアドレス指定するデ - タレジスタを使用するもの, 例 . ニブル読取り - 書込みモ - ド	7/14	・ダミ - セル管理; センス用リファレンス電圧発生回路 [7]
7/10 230	...デ - タシフトレジスタを使用するもの	7/16	・アナログ / デジタル (A/D) 変換器, デジタルメモリ, およびデジタル / アナログ (D/A) 変換器から成る装置を使った, デジタル記憶装置へのアナログ信号の記憶 [7]
7/10 240	...パイプライン技術を使用するもの, すなわち, 機能部間のラッチを使用するもの, 例 . ロウ / カラムデコ - ダ, I/O バッファ, センス増幅器	7/18	・ビット線構成; ビット線配置 [7]
7/10 250	...インタリ - ブ技術を使用するもの, すなわち, メモリの 1 つの部分の準備する間に実施する別の部分の読取り - 書込み	7/20	・メモリセル初期化回路, 例 . パワ - アップしたとき, またはパワ - ダウンしたときの, メモリ・クリア, 潜在イメージ・メモリ [7]
7/10 260	...読取り - 書込みモ - ド選択回路	7/22	・読出し - 書込み [R - W] のタイミング, またはクロック回路; 読出し - 書込み [R - W] 制御信号発生器または管理 [7]
7/10 300	..デ - タバス制御回路, 例 . プリチャ - ジ, プリセット, 等化	7/22 100	..メモリ装置内のクロック生成回路, クロック同期回路, クロック分配回路
7/10 400	..デ - タ出力回路, 例 . 読出し増幅器, デ - タ出力バッファ, デ - タ出力レジスタ, デ - タ出力レベル変換回路	7/22 200	..クロック入力バッファ
7/10 405	...デ - タ出力バッファ, 例 . レベル変換回路, 適応的口 - ド回路を含むもの	7/22 300	..ダミ - メモリ素子またはレプリカ回路に基づくメモリ操作のタイミング
7/10 415	...デ - タ出力ラッチ	7/24	・メモリ・セルの安全回路または保護回路, 例 . 不注意な読出しまたは書込みを防ぐ装置, ステ - タス・セル; テスト・セル [7]
7/10 420	...制御信号の出力回路, 例 . ステ - タスまたはビジ - フラグ, コマンド信号のフィ - ドバック	8/00	デジタル記憶装置のアドレスを選択する機構 (G11C11/00-G11C17/00 が優先; 半導体装置を用いた記憶装置のための回路 G11C11/4063, G11C11/413, G11C11/4193) [2,5]
7/10 425	...出力の同期化	8/02	・選択マトリックスを用いるもの [2]
7/10 450	...IO 線の読み出し機構	8/04	・順次アドレッシング装置, 例 . シフトレジスタ, カウンタを用いるもの (デジタルデ - タ・フロ - のスピ - ドを変えるために FIFO レジスタを用いるもの G06F5/06; その順序に作用することによりデジタルデ - タを処理するために LIFO レジスタを使うもの G06F7/00) [5]
7/10 455	..クロック信号パルス列に同期させたランダムアクセスボ - トを有するメモリ用のもの, 例 . 同期メモリ, 自己タイミング合わせメモリ	8/06	・アドレス・インタ - フェイス装置, 例 . アドレス・バッファ (レベル変換回路一般 H03K19/0175) [7]
7/10 460	...DDR	8/06 100	..アドレス・バッファ
7/10 480	..それぞれがランダムアクセスボ - トとシリアルボ - トとを有する多ボ - トメモリ用のもの, 例 . ビデオ RAM	8/08	・ワ - ド線制御回路, 例 . ワ - ド線用のドライバ, プ - スタ -, プルアップ回路, プルダウン回路, プリチャ - ジ回路 [7]
7/10 500	..デ - タ入力回路, 例 . 書込み増幅器, デ - タ入力バッファ, デ - タ入力レジスタ, デ - タ入力レベル変換回路	8/10	・デコ - ダ [7]
		8/12	・グル - ブ選択回路, 例 . メモリブロック選択, チップ選択, アレイ選択用の [7]
		8/12 200	..チップ選択回路
		8/14	・ワ - ドライン構成; ワ - ドライン配置 [7]

8/16	・マルチ・アクセス・メモリ・アレイ、 例、少なくとも二つの独立したアドレス・ライン・グループによって、一つの記憶素子をアドレス選択するもの [7]			Z	その他
		11/16	200		・・・周辺回路
		11/16	210		・・・アドレス回路またはアドレスデコダ
8/18	・アドレス・タイミング、またはクロック回路；アドレス制御信号の発生または管理、例、ロウアドレス・ストロブ信号またはカラムアドレス・ストロブ信号のためのもの [7]	11/16	212		・・・ビット線またはカラム回路
		11/16	214		・・・ワード線またはロウ回路
		11/16	220		・・・セル選択
		11/16	230		・・・読み出し、センシングの回路または方法
8/20	・アドレス安全回路または保護回路、すなわち、不正アクセスまたは誤ったアクセスを防止する装置 [7]	11/16	240		・・・書き込み、プログラミングの回路または方法
11/00	特定の電氣的または磁氣的記憶素子の使用によって特徴づけられたデジタル記憶装置；そのための記憶素子（G11C14/00-G11C21/00 が優先） [5]	11/16	250		・・・ベリファイ回路または方法
		11/16	260		・・・タイミング回路または方法
		11/16	280		・・・保護回路または方法
		11/16	290		・・・電力供給回路
11/00 100	・結合されてはいるが独立して動作する RAM - ROM, RAM - PROM, RAM - EPROM セルから成るもの	11/18			・ホ - ル効果素子を用いるもの
		11/19			・共振回路における非線形誘導素子を用いるもの [2]
グル - プ 11/56 はグル - プ 11/02 から 11/54 に優先する。 [2]		11/20			・パラメトロンを用いるもの [2]
11/02	・磁氣的素子を用いるもの	11/21			・電氣的素子を用いるもの [2]
11/04	・・・シリンダ状の記憶素子、例、ロッド、ワイヤを用いるもの（G11C11/12, G11C11/14 が優先） [2]	11/22			・強誘電体素子を用いるもの [2]
		11/22	110		・強誘電体キャパシタを使用するもの
11/06	・・・単一記憶素子を用いるもの、例、トロイダル磁心；多孔板を用い、それぞれの孔が一つの記憶素子を構成するもの	11/22	120		・・・強誘電体ゲ - ト絶縁膜を有する MOS を使用するもの
		11/22	200		・・・周辺回路
11/061	・・・1 素子で 1 ビットを記憶し、破壊読出しを行なうための単一の孔または磁気ル - プを有する素子を用いるもの [2]	11/22	210		・・・アドレス回路またはアドレスデコダ
		11/22	212		・・・ビット線またはカラム回路
		11/22	214		・・・ブリチャ - ジ、ディスチャ - ジ、イコライズ回路
11/063	・・・2L/2D, 3D オ - ガニゼーションのよう にビットが組織化されたもの、すなわち書き込みと読出しにあたり少なくとも 2 つの一致した局部電流により 1 つの記憶素子を選択するために組織化されたもの [2]	11/22	216		・・・ワード線またはロウ回路
		11/22	218		・・・プレ - ト線回路
		11/22	220		・・・セル選択
		11/22	230		・・・読み出し、センシングの回路または方法
11/065	・・・2D オ - ガニゼーションまたはリニヤ選択のようにワ - ドが組織化されたもの、すなわち単独の十分な読出し電流により 1 ワ - ド分の全記憶素子を選択するために組織化されたもの [2]	11/22	232		・・・センスアンプ
		11/22	234		・・・参照電圧発生回路、例、ダミ - セル
		11/22	240		・・・書き込み、プログラミングの回路または方法
11/067	・・・1 素子で 1 ビットを記憶し、非破壊読出しを行なうための単一の孔または磁気ル - プを有する素子を用いるもの [2]	11/22	250		・・・ベリファイ回路または方法
		11/22	260		・・・タイミング回路または方法
		11/22	270		・・・劣化、保持力、消耗の評価
		11/22	280		・・・保護回路または方法
		11/22	290		・・・電力供給回路
11/08	・・・多孔記憶素子を用いるもの、例、トランスフラクサを用いるもの；複数の独立した多孔記憶素子を板状体を用いて構成するもの（G11C11/10 が優先；多孔板を用いるものであってもそれぞれの孔が一つの記憶素子を構成するようになっているもの G11C11/06） [2]	11/23			・・・1 つの共通層上の静電記憶を用いるもの、例、フォレスト - ハエフ管（G11C11/22 が優先） [2]
		11/24			・・・キャパシタを用いるもの（G11C11/22 が優先；半導体装置とキャパシタの組合せを用いるもの G11C11/34, 例、G11C11/40） [2,5]
11/10	・・・多軸記憶素子を用いるもの	11/26			・・・放電管を用いるもの [2]
11/12	・・・テンサ - を用いるもの；トウイスタを用いるもの、すなわち一方の磁化軸がねじられているもの	11/28			・・・ガス入り管を用いるもの [2]
11/14	・・・薄膜素子を用いるもの	11/30			・・・真空管を用いるもの（G11C11/23 が優先） [2]
11/15	・・・多層の磁性層を用いるもの（G11C11/155 が優先） [2]	11/34			・・・半導体装置を用いるもの [2]
11/155	・・・シリンダ - 状の形状を有するもの [2]	11/35			・・・空欠層に蓄積された電荷があるもの、例、電荷結合装置 [7]
11/16	・・・記憶作用が磁氣的スピン効果に基づいている素子を用いるもの	11/36			・・・ダイオ - ドを用いるもの、例、閾値素子として用いるもの [2]
11/16 100	・・・メモリセル構造に関するもの	11/38			・・・トンネルダイオ - ドを用いるもの [2]
A	薄膜構造に関するもの	11/39			・・・サイリスタを用いるもの [5]
C	磁壁移動を伴うもの				

11/40	・・・トランジスタを用いるもの [2]	11/4074 100	・・・・・・電源異常またはシステムダウン対策
11/401	・・・リフレッシュまたは電荷再生, すなわちダイナミック・セル [5]	11/4074 150	・・・・・・バッテリーおよびバックアップ電源
11/402	・・・・各々のメモリセルに個別の電荷再生, すなわち内部リフレッシュをもつもの [5]	11/4074 200	・・・・・・ブレ - ト電圧の制御
11/403	・・・・多数のメモリセルに共通な電荷再生, すなわち外部リフレッシュをもつもの [5]	11/4074 250	・・・・・・基板電圧の制御
11/404	・・・・1 つのセル当り, 1 つの電荷転送ゲート, 例 .MOS トランジスタ, をもつもの [5]	11/4076	・・・・・・タイミング回路 (再生制御用 G11C11/406) [7]
11/404 100	・・・・・・それぞれが蓄積容量を有する, 直列に接続された複数のアクセストランジスタ	11/4078	・・・・・・安全または保護回路, 例 . 不注意な, あるいは不正な読出しや書込みを防ぐためのもの; ステータス・セル; テスト・セル (チェックまたはテストにおけるメモリ内容の保護 G11C29/52) [7]
11/405	・・・・1 つのセル当り, 3 つの電荷転送ゲート, 例 .MOS トランジスタ, をもつもの [5]	11/408	・・・・・・アドレス回路 [5]
11/406	・・・・リフレッシュまたは電荷再生サイクルの管理または制御 [5]	11/408 100	・・・・・・アドレスバッファ; レベル変換回路
11/406 100	・・・・読み書きまたはリフレッシュ動作のためのメモリセルの仲裁, 優先度, 同時選択	11/408 120	・・・・・・ワ - ド線制御回路, 例 . ワ - ド線用のドライバ, ブ - スタ - , プルアップ回路, プルダウン回路, プリチャ - ジ回路
11/406 102	・・・・優先度に基づいてリフレッシュするもの	11/408 125	・・・・・・ワ - ド線クランプ回路
11/406 104	・・・・読み書き動作またはリフレッシュ動作を途中で中断するもの	11/408 140	・・・・・・アドレスデコ - ダ, 例 . ビット線またはワ - ド線デコ - ダ; 多重線デコ - ダ
11/406 110	・・・・非アクセス時にリフレッシュするもの	11/409	・・・・・・読出し - 書込み [R - W] 回路 [5]
11/406 120	・・・・リフレッシュ周期が変化するもの	11/4091	・・・・・・センスまたはセンス / リフレッシュ増幅器, またはセンス関連回路, 例 . ビット線対のプリチャ - ジ, イコライズ, または分離 [7]
11/406 140	・・・・リフレッシュの起動またはリフレッシュタイミングの発生に関するもの	11/4091 120	・・・・・・センス増幅器の回路自体に特徴のあるもの
11/406 200	・・・・内部キャッシュまたはデ - タバッファを有する記憶装置におけるリフレッシュ動作	11/4091 122	・・・・・・トランスファゲートに特徴のあるもの, 例 . トランスファゲートの駆動電圧, タイミング, 電荷転送効果を利用するもの
11/406 300	・・・・内部または部分的な内部リフレッシュ動作の外部契機, タイミング, 例 . オ - トリフレッシュまたは CAS ビフォア RAS 契機リフレッシュ	11/4091 124	・・・・・・メモリセルの情報をリストアするための回路, 例 . アクティブリストア回路
11/406 350	・・・・リフレッシュの内部契機またはタイミング, 例 . ヒドンリフレッシュ, セリフリフレッシュ, 疑似 SRAM	11/4091 140	・・・・・・センス増幅器の制御に特徴のあるもの
11/406 400	・・・・複数のバンクまたはインタ - リ - プにまたがるリフレッシュ動作	11/4091 150	・・・・・・センス方式に特徴のあるもの
11/406 450	・・・・メモリアレイの部分リフレッシュ	11/4091 160	・・・・・・ビット線のプリチャ - ジに特徴のあるもの
11/406 460	・・・・リフレッシュを省略するものまたはリフレッシュアドレスの発生に関するもの	11/4093	・・・・・・入出力 [I/O] デ - タ・インタフェース機構, 例 . デ - タバッファ (レベル変換回路一般 H03 K19/0175) [7]
11/406 500	・・・・リフレッシュ動作の発熱に関するもの	11/4093 100	・・・・・・入力デ - タバッファを有するもの
11/4063	・・・・周辺回路, 例 . アドレス用, デコ - ド用, 駆動用, 書込み用, センス用, またはタイミング用 [7]	11/4093 150	・・・・・・出力デ - タバッファを有するもの
11/4067	・・・・バイボ - ラ型のメモリ・セル用の周辺回路 [7]	11/4094	・・・・・・ビット線管理または制御回路 [7]
11/407	・・・・電界効果型のメモリ・セル用の周辺回路 [5]	11/4096	・・・・・・入出力 [I/O] デ - タ管理または制御回路, 例 . 読出しまたは書込み回路, I/O ドライバ, ビット線スイッチ [7]
11/4072	・・・・初期化, パワ - アップまたはパワ - ダウン, メモリクリア, またはプリセット用の回路 [7]	11/4096 100	・・・・・・入出力バス
11/4074	・・・・電力供給回路または電圧発生回路, 例 . バイアス電圧発生器, 基板電圧発生器, バックアップ電源, 電源制御回路 [7]	11/4096 200	・・・・・・デ - タアンプ
		11/4096 300	・・・・・・アクセスモ - ドまたはアクセス方式に関するもの
		11/4096 310	・・・・・・ベ - ジモ - ドに関するもの
		11/4096 320	・・・・・・ニブルモ - ドに関するもの

11/4096 330 静的カラムモ - ドに関するもの	11/4195 アドレス回路 [7]
11/4096 400 デュアルポ - トメモリに関するもの	11/4197 読出し - 書込み回路 [R - W][7]
11/4096 450 全体が複数の部分またはブロックに分割されたセルアレイに関するもの (G11C11/406,400 が優先)	11/42	.. オプト - エレクトロニクス装置, すなわち電氣的または光学的に結合された光放射および光 - 電気装置を用いるもの
11/4096 500 シンクロナスメモリ	11/44	.. 超電導素子, 例 . クライオトロン, を用いるもの [2]
11/4096 550 DDR	11/46	・熱可塑性素子を用いるもの
11/4097 ビット線編成, 例 . ビット線レイアウト, 折返しビット線 [7]	11/48	・相互または自己インダクタンスを異なる状態の間で変化させるための移動可能な結合素子, 例 . 強磁性コア, を用いるもの
11/4099 ダミ - ・セル処理 ; リファレンス電圧発生器 [7]	11/50	・電気接点を作動して情報を記憶するもの (機械的な記憶装置 G11C23/00; 操作部分の単一の手動操作によってある選択された数の連続的な接点動作を生じるスイッチ H01H41/00)
11/41 正帰還によるセル, すなわちリフレッシュまたは電荷再生を必要としないセルを形成するもの, 例 . 双安定マルチバイブレ - タまたはシュミットトリガ [5]	11/52	・電磁リレ - を用いるもの
11/411 バイボ - ラトランジスタのみを用いるもの [5]	11/54	・生物細胞, 例 . ニュ - ロン, をシミュレーションした素子を用いるもの
11/412 電界効果トランジスタのみを用いるもの [5]	11/56	・ステップによって表わされる 3 以上の安定状態を有する記憶素子を用いるもの, 例 . 電圧によるもの, 電流によるもの, 位相によるもの, 周波数によるもの (この型の多安定素子を含む計数装置 H03K25/00,H03K29/00) [2]
11/412 100 情報の喪失に対する保護のための回路手段を取り入れたセル (一般 G11C5/00,100)	11/56 100	.. 磁気記憶素子を使用するもの
11/412 110 初期化を目的とした不平衡セルに関するもの	11/56 150	.. 伝導性ブリッジ RAM またはプログラム可能な金属化合物セルを使用するもの
11/412 120 セルの片方だけからデ - タの読出または書込を図るもの	11/56 200	.. 浮遊ゲ - トにおいて電荷蓄積を使用するもの
11/413 周辺回路, 例 . アドレッシング, 復号化, 駆動, 書込み, 検知, 同期および低電力化用 [5]	11/56 210	... プログラミングまたは書込み回路 ; デ - タ入力回路
11/414 バイボ - ラ型のメモリセル用 [5]	11/56 215 消去回路
11/415 アドレス回路 [5]	11/56 220	... 検知または読出し回路 ; デ - タ出力回路
11/416 読出し - 書込み回路 [R - W][5]	11/56 250	.. 容量性電荷蓄積素子を使用するもの
11/417 電界効果型のメモリセル用 [5]	11/56 300	.. 強誘電体記憶素子を使用するもの
11/417 100 電源供給回路	11/56 350	.. 有機材料記憶素子を使用するもの
11/417 110 バッテリバックアップに関するもの	11/56 400	.. 絶縁体において電荷トラッピングを使用するもの
11/417 120 基板バイアスに関するもの	11/56 450	.. アモルファス / 結晶の相変化記憶素子を使用するもの
11/418 アドレス回路 [5]	11/56 500	.. 金属酸化物記憶素子, 例 . ペロプスカイトを使用するもの
11/418 100 アドレス選択回路	11/56 600	.. マルチビット読出し専用メモリ
11/418 110 選択または駆動に関するもの	13/00	G11C11/00,G11C23/00, または G11C25/00 に包含されない記憶素子の使用によって特徴づけられたデジタル記憶装置
11/418 120 メモリ分割, アドレス分割に関するもの	13/00 200	・抵抗ランダムアクセスメモリ素子を用いるもの
11/418 130 アドレス・デコ - ダ回路	13/00 210	.. アモルファス / 結晶の相変化記憶素子を含むもの
11/418 140 アドレス・バッファ回路	13/00 215	.. 金属酸化物記憶素子を含むもの
11/419 読出し - 書込み回路 [R - W][5]	13/00 220	.. 金属窒化物記憶素子を含むもの
11/419 100 センス増幅回路	13/00 225	.. 化学変化に依存する記憶素子を含むもの
11/419 110 アドレスの変化を検知して所定の動作, 例 . プリチャ - ジ, を行うもの	13/00 230	... 伝導性ブリッジ記憶素子またはプログラム可能な金属化合物記憶素子を含むもの
11/419 120 プリチャ - ジに関するもの (G11C11/419,110 が優先)	13/00 235	... 有機材料記憶素子を含むもの
11/419 130 入出力 [I/O] デ - タ・インタ - フェイス機構	A	ポリマ - を含むもの
11/419 140 シンクロナスメモリ	B	バイオ分子を含むもの
11/4193	... 特種な半導体記憶装置に特有の周辺装置, 例 . アドレッシング, 駆動, 検出, タイミング, 電力供給, 信号伝達のためのもの (G11C11/4063,G11C11/413 が優先) [7]	Z	その他のもの
		13/00 240	.. ナノチュ - プ記憶素子を含むもの

13/00	245	…ナノギャップ記憶素子を含むもの	A	選択素子のゲ - トに書き込み電位を印加する書き込み
13/00	270	…セルアレイの形態に特徴があるもの	B	両方向にセル電圧を印加する書き込み
	A	3次元アレイ	C	読み出し結果に基づいて実行される書き込み
	B	選択素子がダイオ - ドであるアレイ	D	セルを流れる電流量による書き込み
	C	記憶素子の記憶機能と一体化した選択素子機能, 例. ダイオ - ド機能を持つアレイ	E	記憶材料の周囲に熱を発生させることによる書き込み
	D	2つ以上の選択素子を各記憶セルが持つアレイ	F	フォ - ミング処理のための書き込み
	E	選択トランジスタに並列に接続された記憶素子が直列に接続された列, すなわち NAND 構造を持つアレイ	G	1ペ - ジまたは1セクタ, 例. 1行分, 1ワ - ド線分の同時書き込み
	F	トランジスタでもダイオ - ドでもない選択素子を各セルのために使用するアレイ	H	複数のセルの同時書き込み
	G	選択素子を使用することなく, ビット線とワ - ド線に直接的に接続された記憶素子を持つアレイ	J	セル電極間に電位差を印加することによる書き込み
	H	一群の記憶セルが選択素子を共有するアレイ	K	書き込みパルスの形状, 例. 形, 幅, 高さによって特徴付けられた書き込み
	J	選択素子がトランジスタであるアレイ	L	熱効果による歪み, 例. ピエゾエレクトリックを用いる書き込み
	K	基板, セル, 配線, 選択素子が全て有機材料で形成されたアレイ	Z	その他
	Z	その他の特徴があるアレイ	13/00	500 ……消去, 例. リセットの回路または方法
13/00	300	…周辺回路	13/02	…化学変化に基づく素子を用いるもの (電気化学的变化を利用するもの G11C11/00)
13/00	310	…アドレス回路またはアドレスデコード	13/02	100 …フラ - レンを使用するもの, 例. カ - ボンナノチュー - プまたはシリコンナノチュー - プ
13/00	312	…ビット線またはカラム回路	13/04	…光学的素子を用いるもの
13/00	314	…ワ - ド線またはロウ回路	13/04	100 …ホトクロミック記憶素子を用いるもの
13/00	320	…セル選択	13/04	200 …干渉縞の形で記憶される情報を用いるもの (ホログラム, リップマン; ホログラフィ G03H, G02B5/32)
13/00	340	…ディスタ - プの防止, ディスタ - プの評価; ディスタ - プされた記憶データのリフレッシュ	A	磁気光学記憶素子を用いるもの
13/00	360	…劣化, 保持力, 消耗の評価	B	電気光学記憶素子を用いるもの
13/00	380	…電力供給回路	C	ホトクロミック記憶素子を用いるもの
13/00	400	…読み出し, センシングの回路または方法	Z	その他の記憶素子を用いるもの
	A	差分検知, 例. 相補ビット線による読み出し	13/04	300 …電気光学記憶素子を用いるもの
	B	セル電流による読み出し	13/04	400 …その他の記憶素子を使用するもの
	C	破壊読み出し	13/06	…磁気 - 光学素子を用いるもの (磁気 - 光学装置一般 G02F) [2]
	D	セル電極間の電位差による読み出し	14/00	電源遮断時にバックアップするための, 揮発性メモリセルと不揮発性メモリセルの配置によって特徴づけられたデジタル記憶装置 [5]
	E	ビット線ブリチャ - ジ後の読み出し	14/00	100 …揮発性素子が DRAM セルであるもの
	F	読み出しパルスの形状, 例. 形, 幅, 高さによって特徴付けられた読み出し	14/00	110 …不揮発性素子が EEPROM 素子, 例. 浮遊ゲ - トまたは MNOS トランジスタであるもの
	G	リファレンスセルとの比較によって実行される読み出し	14/00	120 …不揮発性素子が強誘電体素子であるもの
	H	自己リファレンス方式によって実行される読み出し	14/00	130 …不揮発性素子が磁気 RAM 素子 [MRAM] または強磁性体素子であるもの
	Z	その他の読み出し	14/00	140 …不揮発性素子が抵抗変化 RAM 素子であるもの
13/00	420	…セキュリティ, 保護回路または方法	14/00	200 …揮発性素子が SRAM セルであるもの
13/00	440	…タイミング回路または方法	14/00	210 …不揮発性素子が EEPROM 素子, 例. 浮遊ゲ - トまたは MNOS トランジスタであるもの
13/00	460	…ベリファイ回路または方法	14/00	220 …不揮発性素子が強誘電体素子であるもの
13/00	462	…書き込み中に正しく書き込まれたことをベリファイするもの		
13/00	464	…書き込み後に正しく書き込まれたことをベリファイするもの		
13/00	480	…書き込み, プログラムの回路または方法		

14/00	230	・不揮発性素子が磁気 RAM 素子 [MRAM] または強磁性体素子であるもの	16/04	140	……複数のフロ - ティングゲ - トデバイスで構成されるセル, 例 . 複数のフロ - ティングゲ - トに接続された別個の読み出し及び書き込み FAMOS トランジスタを包含するセルで構成されるもの
14/00	240	・不揮発性素子が抵抗変化 RAM 素子であるもの	16/04	143	……P チャネルと N チャネルメモリトランジスタを備えるフロ - ティングゲ - トメモリセル, 通常は共通フロ - ティングゲ - トを共有するもの
15/00		1 つ以上の特徴表示部分を含む情報が書き込まれ, 情報の読み出しはそれらの 1 つ以上の特徴表示部分について探索することによって行なわれるデジタル記憶装置, すなわち連想記憶または内容アドレス記憶装置 (情報が特定の位置に番地付けされるもの G11C11/00) [2]	16/04	146	……独立したデ - タを記憶する複数の独立したフロ - ティングゲ - トで構成されるもの (単一のフロ - ティングゲ - トにおいて 3 つ以上の安定状態を記憶するためのもの G11C11/56)
	A	光学的素子を用いるもの			
	Z	その他のもの (超電導素子を用いるもの等)			
15/02		・磁気的素子を用いるもの [2]			
15/04		・半導体素子を用いるもの [2]	16/04	150	……絶縁層に電荷を蓄積するセルで構成されるもの, 例 . MNOS, SNOS (G11C16/04, 170, G11C16/04, 180 が優先)
	C	高速化・高能率化	16/04	160	……独立したデ - タを保持する複数の独立した記憶サイトで構成されるもの (単一の記憶サイトに 2 以上の安定した状態を蓄積するストレ - ジ G11C11/56)
	D	番地指定メモリを用いるもの	16/04	170	……直列接続された複数の記憶トランジスタを有するセルで構成されるもの
	E	金物の節約	16/04	180	……仮想接地アレイ
	F	誤動作対策	16/06		……周辺回路, 例 . メモリへの書き込み用 (一般 G11C7/00) [5]
	Z	その他	16/08		……アドレス回路; デコ - ダ; ワ - ド線制御回路 [7]
15/04	601	・セル回路	16/08	100	……カラムデコ - ダ
	A	揮発素子	16/08	110	……ワ - ド線の選択; デコ - ダ
	R	不揮発素子	16/08	120	……ワ - ド線駆動回路, 特にワ - ド線への読み出し電圧の供給
	S	特殊素子	16/08	123	……ワ - ド線駆動回路, 特にベリファイ読み出し用
	W	比較機能に特徴のあるもの (大小比較機能、マスク機能をセル内に設けたもの)	16/08	130	……ワ - ド線駆動回路, 特にワ - ド線への書き込み電圧の供給
	Z	その他のもの	16/08	140	……ワ - ド線駆動回路, 特にワ - ド線への消去電圧の供給
15/04	631	・周辺回路	16/10		……プログラミングまたはデ - タ入力回路 [7]
	A	一般	16/10	100	……外部プログラミング回路, 例 . EPROM プログラマ; インサ - キットプログラミングまたは再プログラミング; EPROM エミュレ - タ
	B	複数メモリの組み合わせ	16/10	103	……特に信頼できる置換を保証する '安全性' 機能を有する不揮発性メモリの内容を更新する回路, 例 . 新しいデ - タが確実に書き込まれるまで古いデ - タの喪失を防ぐもの
	C	・CAM と一般のメモリを組み合わせたもの	16/10	110	……アレイ, セクタまたはブロック内の全セルを消去前に同一状態にプログラミングするもの
	D	・CAM と CAM を組み合わせたもの	16/10	120	……書き込み前のデ - タと比較するもの
	E	CAM メモリアレイ内で分割管理するもの	16/10	130	……反転書き込み / 代表書き込みを行うもの
	F	比較回路に特徴のあるもの	16/10	140	……書き込み時間 / 書き込み電圧 / 書き込み電流制御
	G	優先回路に特徴のあるもの	16/10	143	……ソ - ス線の制御に特徴があるもの
	M	マスク回路に特徴のあるもの	16/10	150	……特殊モ - ドによるプログラム
	W	連想方法自体に特徴のあるもの	16/10	160	……バッファメモリを用いた書き込み
	Z	その他のもの	16/10	170	……デ - タ入力回路
15/06		・クライオジニック素子を用いるもの [2]	16/12		……プログラミング電圧スイッチング回路 [7]
16/00		消去可能でプログラム可能なり - ドオンリメモリ (G11C14/00 が優先) [5]			
16/02		・電氣的にプログラム可能なもの [5]			
16/04		・閾値が可変なトランジスタを用いるもの, 例 . FAMOS [5]			
16/04	100	……フロ - ティングゲ - トトランジスタを包含するセルで構成されるもの (G11C16/04, 170, G11C16/04, 180 が優先)			
16/04	110	……単一のフロ - ティングゲ - トトランジスタを包含し, 選択トランジスタを包含しないセルで構成されるもの, 例 . UV EPROM			
16/04	120	……マ - ジされたフロ - ティングゲ - トと選択トランジスタを包含するセルで構成されるもの			
16/04	130	……1 つのフロ - ティングゲ - トトランジスタおよび 1 つ以上の別個の選択トランジスタを包含するセルで構成されるもの			

16/14電氣的に消去するための回路, 例, 消去電圧スイッチング回路 [7]	16/34 120ディスタ - ブされた不揮発性メモリセル, 例, 書き込まれた状態として読出せるが, 閾値が書き込み検証閾値より小さい, または消去された状態として読み出せるが, 閾値が消去検証閾値より大きいメモリセル, を検出し, リフレッシュ書き込みまたは消去によりディスタ - ブを反転させる回路または方法
16/14 100消去時間 / 消去電圧制御	16/34 123適正な書き込みまたは消去を検証するための装置
16/14 110ソ - ス線の制御に特徴があるもの	16/34 126適正な消去を検証するためまたは過消去セルを検出するための装置
16/16ブロック消去用のもの, 例, アレイ, 複数ワード, グル - プ [7]	16/34 130不揮発性メモリセルの適切な消去を検証するための回路または方法
16/18光学的に消去するための回路 [7]	16/34 133過消去された不揮発性メモリセルを検出するための回路または方法, 通常は消去検証最中に検出するもの
16/20初期化; デ - タのプリセット, チップの識別 [7]	16/34 136適正な書き込みを検証するためのまたは過書き込みセルを検出するための装置
16/22メモリ・セルへの不正な, または不慮のアクセスを防ぐための安全または保護回路 [7]	16/34 140不揮発性メモリセルの適切な書き込みを検証する回路または方法
16/22 100電源電圧が所要範囲外のときに消去, プログラミング, または読取りを防止するもの	16/34 143過書き込みされた不揮発性メモリセルを検出する回路または方法, 通常は書き込み検証最中に検出するもの
16/24ビット線制御回路 [7]	16/34 146過消去または過書き込みの防止, 例, 消去または書き込みの最中の検証によるもの
16/24 100ビット線の選択に関するもの	16/34 150消去進行中に不揮発性メモリセルの適切な消去を検証する回路または方法, 例, セル電流の流れの開始または停止を検出し, 検出出力を消去の終了に用いることによるもの
16/24 110プリチャ - ジ / ディスタ - ジ回路	16/34 153不揮発性メモリセルの過消去を防止する回路または方法, 例, セル電流の流れの開始または停止を検出し, 検出出力を消去の終了に用いることによるもの
16/24 120書き込み電圧発生回路	16/34 156書き込み進行中に不揮発性メモリセルの適切な書き込みを検証する回路または方法, 例, セル電流の流れの開始または停止を検出し, 検出出力を書込みの終了に用いることによるもの
16/24 130ラッチ回路	16/34 160不揮発性メモリセルの過書き込みを防止する回路または方法, 例, セル電流の流れの開始または停止を検出し, 検出出力を書込みの終了に用いることによるもの
16/26センス回路または読出し回路; デ - タ出力回路 [7]	16/34 163劣化, リテンション, または磨耗を評価するための装置, 例, 消去サイクルをカウントすることによるもの
16/26 100特殊モ - ドによる読出し	16/34 166不揮発性 EPROM または EEPROM メモリデバイスの磨耗を検出または遅らせる回路または方法, 例, 消去または更新サイクル数をカウントし, 複数のメモリ領域を順次または循環的に使用することによるもの
16/26 110バッファメモリを介した読出し	17/00	一度だけプログラム可能なり - ドオンリメモリ; 半永久的記憶装置, 例, 手でリプレ - スできる情報カード (消去可能でプログラム可能なり - ドオンリメモリ G11C16/00; 符号化, 復号化または符号変換一般 H03M) [2,5]
16/26 120電流比較型センス回路		
16/26 130ソ - ス線の制御に特徴があるもの		
16/26 140出力回路		
16/28差動センシングまたはリファレンス・セルを用いるもの, 例, ダミ - ・セル [7]		
16/30電力供給回路 [7]		
16/30 100高電圧発生回路		
16/30 110負電圧発生回路		
16/30 120電圧調整回路		
16/32タイミング回路 [7]		
16/34プログラミング状態の決定, 例, 閾値電圧, 過書き込みまたは不十分な書き込み, リテンション [7]		
16/34 100メモリセル閾値電圧の収束または補正; 過消去または過書き込みセルのリペアまたはリカバリ		
16/34 103消去ベリファイ中に検知された過消去された不揮発性メモリセルのリカバリ回路または方法, 通常は“ソフト”プログラミングステップによるもの		
16/34 106書き込み検証中に検知された過書き込みされた不揮発性メモリセルのリカバリ回路または方法, 通常は“ソフト”消去ステップによるもの		
16/34 110ディスタ - ブ防止または評価; ディスタ - ブされたメモリデ - タのリフレッシュ		
16/34 113ディスタ - ブを緩和するステップなしに不揮発性メモリセルの読出しまたは書き込みディスタ - ブを評価する回路または方法		
16/34 116隣接セルが読出しまたは書き込みされた時のディスタ - ブを防止または弱める回路または方法		

17/02	・磁氣的または誘導的素子を用いるもの (G11C17/14 が優先) [2,5]	19/18 100	・半導体素子と結合するもの、例、パイポ - ラトランジスタ、ダイオ - ド
17/04	・容量的素子を用いるもの (G11C17/06 ,G11C17/14 が優先) [2,5]	19/18 110	・・・電界効果トランジスタと結合するもの、例、MOS - FET
17/06	・ダイオ - ド素子を用いるもの (G11C17 /14 が優先) [2,5]	19/18 115	・・・一つのキャパシタにつき一つのトランジスタだけ用いるもの、例、パケツリレ - シフトレジスタ
17/08	・半導体装置を用いるもの、例、パイポ - ラ素子を用いるもの (G11C17/06,G11 C17/14 が優先) [5]	19/18 120	・・・多数のシフトレジスタの編成、例、再生成、タイミング、入出力回路 (FIFO G06F5/06; LIFO G06F7/78)
17/10	・・・その記憶内容が、結合素子のあらかじめ決められた配置によって製造時に決められるもの、例、マスクプログラム可能な ROM[5]	19/20	・放電管を用いるもの (G11C19/14 が優先) [2]
17/10 100	・・・パイポ - ラトランジスタを用いるもの	19/28	・半導体素子を用いるもの (G11C19/14 ,G11C19/36 が優先) [2,7]
17/10 110	・・・周辺回路	19/28 100	・・・空乏層に電荷蓄積するもの、例、電荷結合素子 (CCD)
17/12	・・・電界効果型装置を用いるもの [5]	19/28 105	・・・周辺回路、例、初段に書込み、最終段から読み出すためのもの
17/12 100	・・・直列接続された複数の記憶トランジスタを有するセルで構成されるもの	19/28 120	・・・多数のシフトレジスタの編成 (FIFO G06F5/06; LIFO G06F7/78)
17/12 110	・・・仮想接地アレイ	19/28 200	・・・パイポ - ラ FF 回路
17/12 150	・・・周辺回路	19/28 210	・・・FETFF 回路
17/12 160	・・・直列接続された複数の記憶トランジスタを有するセルで構成されるアレイ用の周辺回路	19/28 220	・・・パイポ - ラ転送ゲ - ト型
17/12 170	・・・仮想接地アレイ用の周辺回路	19/28 230	・・・FET 転送ゲ - ト型
17/14	・その記憶内容が、結合素子の状態を永久に変えることによって連結リンクを選択的に設定、切断または変更することにより決められるもの、例、PROM[5]	19/28 240	・・・トンネルダイオ - ド
17/14 100	・・・レ - ザ - で溶断可能なリンクを用いるもの	19/30	・オプト - エレクトロニクス装置、すなわち電氣的または光学的に結合された光放射および光 電氣装置を用いるもの [2]
17/14 110	・・・ライトワンスメモリ、例、付加ビットに書込みを行うことでメモリ内容の変更を許すもの	19/32	・超電導素子を用いるもの [2]
17/16	・・・電氣的に溶断可能なリンクを用いるもの [5]	19/34	・3 以上の異なる安定状態を有する記憶素子を用いるもの、例、電圧によるもの、電流によるもの、位相によるもの、周波数によるもの [7]
17/16 100	・・・抵抗の変化を引き起こすように電氣的にプログラムされるメモリセル、例、ヒュー - ズ / アンチヒュー - ズの導通から非導通 / 非導通から導通状態への変更というより、複数の抵抗段階にプログラムできるもの (抵抗ランダムアクセスメモリ素子を用いるデジタル記憶装置 G11C13/00,200)	19/36	・・・半導体素子を用いるもの [7]
17/18	・・・周辺回路、例、メモリへの書込み用 (一般 G11C7/00) [5]	19/38	・二次元の、例、水平方向と垂直方向に情報が移動するシフト - レジスタ - [7]
19/00	情報がステップ形式で移動するデジタル記憶装置、例、シフトレジスタ (計数チェ - ン H03K23/00)	21/00	情報が循環する形式のデジタル記憶装置 (ステップ形式のもの G11C19/00)
19/02	・磁氣素子を用いるもの (G11C19/14 が優先) [2]	21/02	・電子機械的遅延線、例、水銀タンク、を用いるもの
19/04	・・・1 つの孔または磁氣ル - プを有するコアを用いるもの [2]	21/02 100	・・・圧電トランスデュ - サ - を用いるもの、例、水銀タンク
19/06	・・・多数の孔または磁氣ル - プを有する構造を用いるもの、例、トランスフラクサ [2]	21/02 110	・・・磁歪トランスデュ - サ - を用いるもの、例、ニッケル遅延線
19/08	・・・平板薄膜構造を用いるもの [2]	23/00	機械的部分の移動によって記憶を行なわせることを特徴とするデジタル記憶装置、例、ボ - ルを用いるもの；そのための記憶素子 (接点の作動によって記憶するもの G11C11/50)
19/10	・・・ロッド上の薄膜を用いるもの；ツイスタによるもの [2]	25/00	流体の利用を特徴とするデジタル記憶装置；そのための記憶素子
19/12	・共振回路中の非線型誘導素子を用いるもの [2]	27/00	電氣的アナログ記憶装置、例、瞬時値を記憶するためのもの
19/14	・能動素子、例、放電管、半導体素子、と結合した磁氣素子を用いるもの (G11 C19/34 が優先) [2,7]	27/00 200	・不揮発性電荷蓄積を伴うもの、例、浮動ゲ - トまたは MNOS 上のもの
19/18	・ステ - ジの主素子としてキャパシタを用いるもの [2]	27/02	・抽出・保持装置 (G11C27/04 が優先；電氣信号の抽出一般 H03K) [2,4]
		27/02 100	・・・磁氣メモリ素子を使用するもの
		27/02 200	・・・容量性メモリ素子を使用するもの (G11C27/04 が優先)
		27/02 210	・・・ピ - クホ - ルド回路を含むもの (交流またはパルスのピ - ク値の測定 G01R19/04)
		27/02 220	・・・特定のスイッチング手段、回路形式によるもの
		27/02 230	・・・ダイオ - ドスイッチを用いるもの

27/02 240	・・・トランジスタスイッチを用いるもの	29/00 470	・・・隣接スイッチングによるもの
27/02 245	・・・差動トランジスタ対を用いるもの	29/00 472	・・シリアルアクセスメモリ内のもの、例 ・シフトレジスタ、CCDまたはパブル メモリ
27/02 250	・・・増幅器に関連するもの	29/00 474	・・部分良品メモリにおけるもの
27/02 255	・・・負帰還ループをもつ演算増幅器を 用いるもの	29/00 476	・・・一つの故障したメモリデバイスを、 削減された容量、例・半分の容量、を 有するメモリとして用いるもの
27/02 260	・・・電流モールド回路、例・スイッチトカ レントメモリ	29/00 478	・・・複数の故障したメモリを連続したア ドレス範囲を与えるように組み合わ せるもの、例・一つのデバイスが他の デバイスにおける故障したブロック を置換するワ・キングブロックを提 供するもの
27/02 310	・・・機能により特徴付けられるもの	29/02	・故障した周辺回路の検出またはその位 置の特定 [8]
27/02 320	・・・入出力特性に関するもの	29/02 100	・・電圧または電流生成器におけるもの
27/02 330	・・・スイッチング雑音 / オフセットの除 去のためのもの	29/02 110	・・I/O 回路におけるもの
27/02 340	・・・リ・ク / ドリフト対策のためのもの	29/02 120	・・クロック生成器またはタイミング回路 におけるもの
27/02 350	・・・高速化のための変形、例・複数のサン プルホールド回路を交互に動作さ せるもの (G11C27/02,220 が優先)	29/02 130	・・デコダにおけるもの
27/04	・シフトレジスタ (電荷結合装置それ自 体 H01L29/76) [4]	29/02 140	・・信号線におけるもの
29/00	正確な動作のための記憶装置のチェック ;スタンバイまたはオフライン動作中の 記憶装置のテスト [1,8]	29/02 150	・・センスアンプにおけるもの
29/00 401	・シリアルメモリにおけるもの	29/02 160	・・ヒューズにおけるもの
29/00 402	・ウェハスケールレベルのもの、すなわ ち、WSI (製造中の試験および構成のた めのもの H01L21/66)	29/02 170	・・適合またはパラメータのトリミングを 伴うもの
29/00 404	・スベアまたは再構成を用いるメモリ内 の故障のマスキング	29/04	・故障したメモリ素子の検出またはその 位置の特定 [8]
29/00 406	・・周辺回路を置換することによるもの、 例・故障したものの代わりに用いられ るスベア電圧生成器、デコダ、また はセンスアンプ	29/06	・・加速試験 [8]
29/00 408	・・最適な置換アルゴリズムと共に用いら れるもの	29/08	・・機能試験、例・リフレッシュ中の試験、 パワ・オン・セルフテスト [POST], ま たは分散テスト [8]
29/00 410	・・二重メモリを用いるもの、例・二重コ ピを用いるもの	29/10	・・・テストアルゴリズム、例・メモリス キャン [MScan] アルゴリズム; テス トパターンの、例・チェックボッドパタ ー [8]
29/00 412	・・アドレス変換または変更を用いるもの	29/10 100	・・・テストパターンの
29/00 414	・・・ソリッドステートディスク内のもの	29/10 110	・・・パターン生成に特徴のあるもの
29/00 416	・・プログラマブルデバイスを用いるもの	29/10 120	・・・チェッカボッドパターンの
29/00 418	・・・冗長デコダと組み合わせるもの	29/10 130	・・・ランダムパターンの
29/00 420	・・・置換セルのリフレッシュを行うもの、 例・DRAM 内	29/10 140	・・・アドレスからの生成
29/00 422	・・・冗長プログラミングスキーム	29/10 150	・・・アドレスハミング距離
29/00 424	・・・階層的なヒューズを用いるもの (ヒューズを用いたメモリー一般 G11 C17/16)	29/10 160	・・・アドレス変換
29/00 426	・・・不揮発性セルまたはラッチを用いる もの (消去可能なプログラム可能な メモリセル一般 G11C17/00)	29/12	・・・試験のための組み込み装置、例・組み 込み自己テスト [BIST][8]
29/00 428	・・・改良されたレイアウト	29/14	・・・制御データの実施、例・テストモ ドのデコダ [8]
29/00 454	・・・消費電力の削減	29/16	・・・マイクロプログラム方式のユニッ トを使用するもの、例・ステートマ シン [8]
29/00 456	・・・故障した要素の切り離し	29/18	・・・アドレス作成装置; メモリにアクセ スするための装置、例・アドレス回 路の細部 [8]
29/00 458	・・・冗長置換のための口ルコル配置	29/18 100	・・・アドレスデコダ
29/00 460	・・・故障したスベアの置換	29/18 120	・・・アドレス変換またはマッピング、 例・論理物理アドレス変換
29/00 462	・・・改良されたアクセス時間または安定 性	29/20	・・・カウンタまたは線形フィードバッ クシフトレジスタ [LFSR] を使用す るもの [8]
29/00 464	・・・信号経路に遅延を挿入することによ るもの	29/22	・・・シリアルメモリへアクセスするも の [8]
29/00 466	・・・デコダのステジを分割すること によるもの	29/24	・・・補助的なセルへアクセスするもの、 例・ダミセルまたは冗長セル [8]
29/00 468	・・・出力段において冗長線を選択するも の	29/26	・・・マルチプルアレイへアクセスする もの (G11C29/24 が優先) [8]
		29/26 100	・・・同時テスト

29/28 依存関係のあるマルチプルアレイ 例. マルチビットを持つアレイ [8]
29/30 シングルアレイへアクセスするもの [8]
29/32 シリアルアクセス; スキャンテスト [8]
29/32 100 スキャンチェン
29/34 マルチビットに同時にアクセスするもの [8]
29/36 データ作成装置, 例. データ変換器 [8]
29/38 応答検証装置 [8]
29/40 圧縮技術を使用するもの [8]
29/42 誤り訂正符号 [ECC] またはパリティチェックを使用するもの [8]
29/44 誤りの表示または識別, 例. 復旧のためのもの [8]
29/44 100 自己修復のためのもの
29/44 110 テスト結果, 品質データ, チップID または修復情報の内部ストレージ
29/46 テストトリガ - ロジック [8]
29/48 記憶装置の外部の手段による試験に特に適した静的記憶装置にするもの, 例. ダイレクトメモリアクセス [DMA] を使用するもの, または周辺アクセス経路を使用するもの (外部試験装置 G11C29/56) [8]
29/50	.. マ - ジン試験, 例. タイミング, 電圧, または電流試験 [8]
29/50 100	... 閾値電圧のマ - ジン試験
29/50 110	... インピダンスのマ - ジン試験
29/50 120	... タイミングのマ - ジン試験
29/50 130	... リテンションのマ - ジン試験
29/50 150	... 電圧のマ - ジン試験
29/52	・メモリ内容の保護; メモリ内容の誤りの検出 [8]
29/54	・試験回路を設計するための装置, 例. テスト容易化設計 [DFT] ツール [8]
29/56	・静的記憶のための外部試験装置, 例. 自動検査装置 [ATE]; そのインタフェース [8]
29/56 100	.. パターン生成器
29/56 105	.. エラ分析, エラの表現
29/56 110	.. タイミングの側面, クロック生成または同期
29/56 135	.. 並列試験
29/56 140	.. 高速化
29/56 155	.. 試験結果の圧縮
99/00	このサブクラスの他のグループに分類されない主題事項 [8]

