

静的記憶（半導体記憶装置 H10B）

注

(1) このサブクラスは、デジタルまたはアナログ情報を記憶するための装置または機構であって、以下の条件を満たすものを包含する：

(i) 情報記憶素子と変換器との間に相対運動がなく；

(ii) 情報を記憶装置へ書き込みまたは記憶装置から読み出すために選択装置と共動する。

(2) このサブクラスは、記憶に適合されない素子であって、以下の注 (3) に述べるような手段を備えていない素子を包含せず、その素子は適切なサブクラス、例. H01 のサブクラス、H03K に分類される。

(3) このサブクラスにおいては、下記の用語は以下に示す意味で用いる：[8]

— “記憶素子” とは、少なくとも 1 項目の情報を維持することが可能な、書込むためのまたは読み出すための手段を備えている素子を意味する。[8]

— “メモリ” とは、記憶素子を含めて装置を意味し、これには必要に応じて取り出すことができる情報を維持することが可能である。[8]

サブクラス内の索引

情報の書込みまたは読出し 7/00.....
アドレスの選択 8/00.....
素子の形式によって特徴づけられたデジタル記憶
電氣的、磁氣的なもの；その細部 11/00;5/00
機械的なもの 23/00.....
流体的なもの 25/00.....
その他の形式 13/00.....
バックアップ手段によって特徴づけられたデジタル記憶
14/00
消去可能でプログラム可能な読出し専用メモリ 16/00
情報の転位によって特徴づけられたデジタル記憶
シフト；循環 19/00, 21/00.....
機能によって特徴づけられる記憶.....
連想記憶；アナログ；読出し専用 15/00;27/00;17/00
記憶のチェック 29/00.....
このサブクラスの他のグループに分類されない主題事項
99/00

- 5/00 G11C11/00 に分類される記憶装置の細部
 - 100 ・半導体記憶装置の情報の消失に対する保護回路（放射によるボンバードを使用して半導体を製造するもの H01L21/26；誤り検出、監視 G06F11/00）
- 5/02 ・記憶素子の配置、例. マトリックス配列におけるもの
 - 100 ・半導体記憶装置におけるメモリセルおよび周辺回路の幾何学的レイアウト（集積回路における部品の幾何学的レイアウト H01L27/02）
- 5/04 ・記憶素子のための支持体；そのような支持体への記録素子の取付けまたは固定
 - 200 ・・・・メモリモジュール

- 210 ・・・・ROM モジュール
- 220 ・・・・RAM モジュール
- 5/05 ・・・・コアをマトリックス状に支持するものの[2]
- 5/06 ・記憶素子を電氣的に相互結合する機構、例. ワイヤリング
- 100 ・集積半導体メモリアクセス線、例. ワード線、ビット線における電圧および信号分配、伝搬遅延対策
- 200 ・半導体メモリクリップ用外部アクセス線を削減するための手段、例. 少なくともアドレスおよびデータ信号の多重化によるもの
- 5/08 ・磁氣的素子を相互結合するためのもの、例. トロイダル磁心に対するもの
- 5/10 ・コンデンサを相互結合するためのもの
- 5/12 ・記憶素子を相互結合するために用いる装置または方法、例. 磁心に線を通すためのもの
- 5/14 ・電力供給装置[2006. 01]
 - 100 ・・・・バッテリーおよびバックアップ電源（バックアップ電源そのもの H02J9/06）
 - 200 ・・・・無接点電源、例. 無線、電磁誘導、赤外線（一般 H02J5/00）
 - 300 ・メモリカセット挿入/取出しの検出；電源およびアース線の導通チェック；電源変動/遮断/レベルの検出；代替電源間の切替え（G11C5/14, 100 が優先）
 - 320 ・・・・電力供給の予定された遮断または低下の検知
 - 370 ・・・・節電
 - 400 ・・・・チャージポンプの応用；昇圧電圧回路；そのためのクランプ回路（G11C5/14, 100 が優先）
 - 420 ・・・・基板バイアス発生器（G11C5/14, 100 が優先）
 - 500 ・・・・電圧基準発生器、電圧および電流調整器；内部で低下させた電源レベル；電圧低下に対する補償（G11C5/14, 100 が優先）
 - 550 ・・・・昇圧または降圧回路、スタンバイ回路または復帰回路の細部
- 7/00 デジタル記憶装置に情報を書き込みまたはデジタル記憶装置から情報を読み出す機構（G11C5/00 が優先；半導体装置を用いた記憶のための周辺記憶回路 G11C11/4063, G11C11/413, G11C11/4193）[2, 5]
 - 7/02 ・寄生信号を回避する手段をもつもの
 - 7/04 ・温度の影響に基づく障害を除去する手段をもつもの
 - 7/06 ・センス増幅器；関連回路[2006. 01]
 - 110 ・・・・非保持式差動増幅器、例. コンパレータ、ロングテール対

- 120 ・ ・ 保持式差動増幅器
- 130 ・ ・ シングルエンド増幅器
- 7/08 ・ ・ その制御[7]
- 7/10 ・ 入力/出力 (I/O) データ・インターフェイス装置, 例. I/O データ制御回路, I/O データバッファ[2006. 01]
- 100 ・ ・ デイジーチェーンまたはリングバスメモリ機構のためのインターフェイス回路
- 150 ・ ・ データ管理, 例. 書込みまたは読出し前のデータを操作するもの; データバススイッチまたはそのための制御回路
- 152 ・ ・ ・ 入出力時のデータマスキング
- 154 ・ ・ ・ 入出力時のデータの並び換え, 例. クロスバー, マルチプレクサの縦続接続, シフトまたはローテーション
- 200 ・ ・ 単一ポートメモリ向け読取りー書込みモード, すなわち, ランダムポートまたはシリアルポートのいずれかを有するもの
- 210 ・ ・ ・ シリアルビット線アクセスモード, 例. ビット線アドレスシフトレジスタ, ビット線アドレスカウンタ, ビット線バーストカウンタを使用するもの
- 212 ・ ・ ・ ・ ページシリアルビット線アクセスモード, すなわち, 関連ワード線アドレスを伴う使用可能ロウアドレスストロークパルス, およびそれぞれが関連ビット線アドレスを伴う使用可能カラムアドレスストロークパルス系列を使用するもの
- 214 ・ ・ ・ ・ 延長データ出力 (EDO) モード, すなわち, 長期間にわたり出力バッファを使用可能状態に維持するもの
- 216 ・ ・ ・ ・ 静的カラムデコードシリアルビット線アクセスモード, すなわち, 関連ワード線アドレスを伴う使用可能ロウアドレスストロークパルスおよび使用可能ビット線アドレス系列を使用するもの
- 220 ・ ・ ・ 直列にアドレス指定された読取りー書込みデータレジスタを使用するもの (G11C7/10, 230 が優先)
- 226 ・ ・ ・ ・ 所定数の段階から連続的にデータを出力するために 1 つの段階のみをアドレス指定するデータレジスタを使用するもの, 例. ニブル読取りー書込みモード
- 230 ・ ・ ・ データシフトレジスタを使用するもの
- 240 ・ ・ ・ パイプライン技術を使用するもの, すなわち, 機能部間のラッチを使用するもの, 例. ロウ/カラムデコーダ, I/O バッファ, センス増幅器
- 250 ・ ・ ・ インタリーブ技術を使用するもの, すなわち, メモリの 1 つの部分の準備する間に実施する別の部分の読取りー書込み
- 260 ・ ・ ・ 読取りー書込みモード選択回路
- 300 ・ ・ データバス制御回路, 例. プリチャージ, プリセット, 等化
- 400 ・ ・ データ出力回路, 例. 読出し増幅器, データ出力バッファ, データ出力レジスタ, データ出力レベル変換回路
- 405 ・ ・ ・ データ出力バッファ, 例. レベル変換回路, 適応的ロード回路を含むもの
- 415 ・ ・ ・ データ出力ラッチ
- 420 ・ ・ ・ 制御信号の出力回路, 例. ステータスまたはビジーフラグ, コマンド信号のフィードバック
- 425 ・ ・ ・ 出力の同期化
- 450 ・ ・ ・ I/O 線の読み出し機構
- 455 ・ ・ クロック信号パルス列に同期させたランダムアクセスポートを有するメモリ用のもの, 例. 同期メモリ, 自己タイミング合わせメモリ
- 460 ・ ・ ・ DDR
- 480 ・ ・ それぞれがランダムアクセスポートとシリアルポートとを有する多ポートメモリ用のもの, 例. ビデオ RAM
- 500 ・ ・ データ入力回路, 例. 書込み増幅器, データ入力バッファ, データ入力レジスタ, データ入力レベル変換回路
- 505 ・ ・ ・ データ入力バッファ, 例. レベル変換回路, 適応的ロード回路を含むもの
- 510 ・ ・ ・ データ入力ラッチ
- 515 ・ ・ ・ 制御信号の入力回路
- 520 ・ ・ ・ 入力の同期化
- 525 ・ ・ ・ 書き込み回路, 例. I/O 線のライトドライバ
- 7/12 ・ ビット線制御回路, 例. ビット線用の, ドライバ, ブースター, プルアップ回路, プルダウン回路, プリチャージング回路, 等化回路[7]
- 7/14 ・ ダミーセル管理; センス用リファレンス電圧発生回路[7]
- 7/16 ・ アナログ/デジタル (A/D) 変換器, デジタルメモリ, およびデジタル/アナログ (D/A) 変換器から成る装置を使った, デジタル記憶装置へのアナログ信号の記憶[7]
- 7/18 ・ ビット線構成; ビット線配置[7]
- 7/20 ・ メモリセル初期化回路, 例. パワーアップしたとき, またはパワーダウンしたときの, メモリ・クリア, 潜在イメージ・メモリ[7]
- 7/22 ・ 読出しー書込み[R-W]のタイミング, またはクロック回路; 読出しー書込み[R-W]制御信号発生器または管理[7]
- 100 ・ ・ メモリ装置内のクロック生成回路, クロック同期回路, クロック分配回路

200	・クロック入力バッファ	11/061	・・・・1 素子で1 ビットを記憶し、破壊読出しを行なうための単一の孔または磁気ループを有する素子を用いるもの[2]
300	・ダミーメモリ素子またはレプリカ回路に基づくメモリ操作のタイミング	11/063	・・・・2L/2D, 3D オーガニゼーションのようにビットが組織化されたもの、すなわち書込みと読出しにあたり少なくとも 2 つの一致した局部電流により 1 つの記憶素子を選択するために組織化されたもの[2]
7/24	・メモリ・セルの安全回路または保護回路, 例. 不注意な読出しまたは書込みを防ぐ装置, ステータス・セル;テスト・セル[7]	11/065	・・・・2D オーガニゼーションまたはリニヤ選択のようにワードが組織化されたもの、すなわち単独の十分な読出し電流により 1 ワード分の全記憶素子を選択するために組織化されたもの[2]
8/00	デジタル記憶装置のアドレスを選択する機構 (G11C11/00-G11C17/00 が優先;半導体装置を用いた記憶装置のための回路 G11C11/4063, G11C11/413, G11C11/4193) [2, 5]	11/067	・・・・1 素子で1 ビットを記憶し、非破壊読出しを行なうための単一の孔または磁気ループを有する素子を用いるもの[2]
8/02	・選択マトリックスを用いるもの[2]	11/08	・多孔記憶素子を用いるもの, 例. トランスフラクサを用いるもの;複数個の独立した多孔記憶素子を組み込んだ板状体を用いるもの (G11C11/10 が優先) [2006. 01]
8/04	・順次アドレッシング装置を用いるもの, 例. シフトレジスタ, カウンタ[2006. 01]	11/10	・多軸記憶素子を用いるもの
8/06	・アドレス・インターフェイス装置, 例. アドレス・バッファ[2006. 01]	11/12	・テンサーを用いるもの;トウイスタを用いるもの、すなわち一方の磁化軸がねじられているもの
100	・アドレス・バッファ	11/14	・薄膜素子を用いるもの
8/08	・ワード線制御回路, 例. ワード線用のドライバ, ブースター, プルアップ回路, プルダウン回路, プリチャージ回路[7]	11/15	・・・・多層の磁性層を用いるもの (G11C11/155 が優先) [2]
8/10	・デコーダ[7]	11/155	・・・・シリンダー状の形状を有するもの[2]
8/12	・グループ選択回路, 例. メモリブロック選択, チップ選択, アレイ選択用の[7]	11/16	・記憶作用が磁気的スピン効果に基づいている素子を用いるもの
200	・チップ選択回路	100	・・・・メモリセル構造に関するもの
8/14	・ワードライン構成;ワードライン配置[7]	100 A	薄膜構造に関するもの
8/16	・マルチ・アクセス・メモリ・アレイ, 例. 少なくとも二つの独立したアドレス・ライン・グループによって、一つの記憶素子をアドレス選択するもの[7]	100 C	磁壁移動を伴うもの
8/18	・アドレス・タイミング, またはクロック回路;アドレス制御信号の発生または管理, 例. ロウアドレス・ストローブ信号またはカラムアドレス・ストローブ信号のためのもの[7]	100 Z	その他
8/20	・アドレス安全回路または保護回路, すなわち、不正アクセスまたは誤ったアクセスを防止する装置[7]	200	・・・・周辺回路
11/00	特定の電氣的または磁氣的記憶素子の使用によって特徴づけられたデジタル記憶装置; そのための記憶素子 (G11C14/00-G11C21/00 が優先) [5]	210	・・・・アドレス回路またはアドレスデコーダ
100	・結合されてはいるが独立して動作する RAM-ROM, RAM-PROM, RAM-EPROM セルから成るもの	212	・・・・ビット線またはカラム回路
		214	・・・・ワード線またはロウ回路
		220	・・・・セル選択
		230	・・・・読み出し, センシングの回路または方法
		240	・・・・書き込み, プログラミングの回路または方法
		250	・・・・ベリファイ回路または方法
		260	・・・・タイミング回路または方法
		280	・・・・保護回路または方法
		290	・・・・電力供給回路
		11/18	・ホール効果素子を用いるもの
		11/19	・共振回路における非線形誘導素子を用いるもの[2]
		11/20	・パラメトロンを用いるもの[2]

注

グループ 11/56 はグループ 11/02 から 11/54 に優先する。[2]

- 11/02 ・磁氣的素子を用いるもの
- 11/04 ・シリンダ状の記憶素子, 例. ロッド, ワイヤを用いるもの (G11C11/12, G11C11/14 が優先) [2]
- 11/06 ・単一記憶素子を用いるもの, 例. トロイダル磁心;多孔板を用い、それぞれの孔が一つの記憶素子を構成するもの

11/21	・電氣的素子を用いるもの[2]		もの[5]
11/22	・・強誘電体素子を用いるもの[2]	11/404	・・・・・1つのセル当り,1つの電荷転送ゲート,例.MOSトランジスタ,をもつもの[5]
110	・・・強誘電体キャパシタを使用するもの	100	・・・・・それぞれが蓄積容量を有する,直列に接続された複数のアクセストランジスタ
120	・・・強誘電体ゲート絶縁膜を有する MOS を使用するもの	11/405	・・・・・1つのセル当り,3つの電荷転送ゲート,例.MOSトランジスタ,をもつもの[5]
200	・・・周辺回路	11/406	・・・・・リフレッシュまたは電荷再生サイクルの管理または制御[5]
210	・・・アドレス回路またはアドレスデコーダ	100	・・・・・読み書きまたはリフレッシュ動作のためのメモリセルの仲裁,優先度,同時選択
212	・・・・・ビット線またはカラム回路	102	・・・・・優先度に基づいてリフレッシュするもの
214	・・・・・プリチャージ,ディスチャージ,イコライズ回路	104	・・・・・読み書き動作またはリフレッシュ動作を途中で中断するもの
216	・・・・・ワード線またはロウ回路	110	・・・・・非アクセス時にリフレッシュするもの
218	・・・・・プレート線回路	120	・・・・・リフレッシュ周期が変化するもの
220	・・・・セル選択	140	・・・・・リフレッシュの起動またはリフレッシュタイミングの発生に関するもの
230	・・・・読み出し,センシングの回路または方法	200	・・・・・内部キャッシュまたはデータバッファを有する記憶装置におけるリフレッシュ動作
232	・・・・・センスアンプ	300	・・・・・内部または部分的な内部リフレッシュ動作の外部契機,タイミング,例.オートリフレッシュまたはCAS ビフォア RAS 契機リフレッシュ
234	・・・・・参照電圧発生回路,例.ダミー・セル	350	・・・・・リフレッシュの内部契機またはタイミング,例.ヒドンリフレッシュ,セリフリフレッシュ,疑似 SRAM
240	・・・・書き込み,プログラミングの回路または方法	400	・・・・・複数のバンクまたはインターリーブにまたがるリフレッシュ動作
250	・・・・ベリファイ回路または方法	450	・・・・・メモリアレイの部分リフレッシュ
260	・・・・タイミング回路または方法	460	・・・・・リフレッシュを省略するものまたはリフレッシュアドレスの発生に関するもの
270	・・・・劣化,保持力,消耗の評価	500	・・・・・リフレッシュ動作の発熱に関するもの
280	・・・・保護回路または方法	11/4063	・・・・・周辺回路,例.アドレス用,デコード用,駆動用,書込み用,センス用,またはタイミング用[7]
290	・・・・電力供給回路	11/4067	・・・・・バイポーラ型のメモリ・セル用の周辺回路[7]
11/23	・・1つの共通層上の静電記憶を用いるもの,例.フォレストーハエフ管(G11C11/22が優先)[2]	11/407	・・・・・電界効果型のメモリ・セル用の周辺回路[5]
11/24	・・キャパシタを用いるもの(G11C11/22が優先;半導体装置とキャパシタの組合せを用いるもの G11C11/34,例.G11C11/40)[2,5]	11/4072	・・・・・初期化,パワーアップまたは
11/26	・・放電管を用いるもの[2]		
11/28	・・ガス入り管を用いるもの[2]		
11/30	・・真空管を用いるもの(G11C11/23が優先)[2]		
11/34	・・半導体装置を用いるもの[2]		
11/35	・・空欠層に蓄積された電荷があるもの,例.電荷結合装置[7]		
11/36	・・ダイオードを用いるもの,例.閾値素子として用いるもの[2]		
11/38	・・・トンネルダイオードを用いるもの[2]		
11/39	・・・サイリスタを用いるもの[5]		
11/40	・・・トランジスタを用いるもの[2]		
11/401	・・・・リフレッシュまたは電荷再生,すなわちダイナミック・セル[5]		
11/402	・・・・各々のメモリセルに個別の電荷再生,すなわち内部リフレッシュをもつもの[5]		
11/403	・・・・多数のメモリセルに共通な電荷再生,すなわち外部リフレッシュをもつ		

	パワーダウン、メモリクリア、またはプリセット用の回路[7]		[2006. 01]
11/4074	・ ・ ・ ・ ・ 電力供給回路または電圧発生回路, 例. バイアス電圧発生器, 基板電圧発生器, バックアップ電源, 電源制御回路[7]	100	・ ・ ・ ・ ・ 入力データバッファを有するもの
		150	・ ・ ・ ・ ・ 出力データバッファを有するもの
100	・ ・ ・ ・ ・ 電源異常またはシステムダウン対策	11/4094	・ ・ ・ ・ ・ ビット線管理または制御回路[7]
150	・ ・ ・ ・ ・ バッテリおよびバックアップ電源	11/4096	・ ・ ・ ・ ・ 入出力[I/O]データ管理または制御回路, 例. 読出しまたは書込み回路, I/O ドライバ, ビット線スイッチ[7]
200	・ ・ ・ ・ ・ プレート電圧の制御	100	・ ・ ・ ・ ・ 入出力バス
250	・ ・ ・ ・ ・ 基板電圧の制御	200	・ ・ ・ ・ ・ データアンプ
11/4076	・ ・ ・ ・ ・ タイミング回路 (再生制御用 G11C11/406) [7]	300	・ ・ ・ ・ ・ アクセスモードまたはアクセス方式に関するもの
11/4078	・ ・ ・ ・ ・ 安全または保護回路, 例. 不注意な, あるいは不正な読出しや書込みを防ぐためのもの; ステータス・セル; テスト・セル (チェックまたはテストにおけるメモリ内容の保護 G11C29/52) [7]	310	・ ・ ・ ・ ・ ページモードに関するもの
11/408	・ ・ ・ ・ ・ アドレス回路[5]	320	・ ・ ・ ・ ・ ニブルモードに関するもの
100	・ ・ ・ ・ ・ アドレスバッファ; レベル変換回路	330	・ ・ ・ ・ ・ 静的カラムモードに関するもの
120	・ ・ ・ ・ ・ ワード線制御回路, 例. ワード線用のドライバ, ブースター, プルアップ回路, プルダウン回路, プリチャージ回路	400	・ ・ ・ ・ ・ デュアルポートメモリに関するもの
125	・ ・ ・ ・ ・ ワード線クランプ回路	450	・ ・ ・ ・ ・ 全体が複数の部分またはブロックに分割されたセルアレイに関するもの (G11C11/406, 400 が優先)
140	・ ・ ・ ・ ・ アドレスデコーダ, 例. ビット線またはワード線デコーダ; 多重線デコーダ	500	・ ・ ・ ・ ・ シンクロナスメモリ
11/409	・ ・ ・ ・ ・ 読出しー書込み[R-W]回路[5]	550	・ ・ ・ ・ ・ DDR
11/4091	・ ・ ・ ・ ・ センスまたはセンス/リフレッシュ増幅器, またはセンス関連回路, 例. ビット線対のプリチャージ, イコライズ, または分離[7]	11/4097	・ ・ ・ ・ ・ ビット線編成, 例. ビット線レイアウト, 折返しビット線[7]
		11/4099	・ ・ ・ ・ ・ ダミー・セル処理; リファレンス電圧発生器[7]
120	・ ・ ・ ・ ・ センス増幅器の回路自体に特徴のあるもの	11/41	・ ・ ・ ・ 正帰還によるセル, すなわちリフレッシュまたは電荷再生を必要としないセルを形成するもの, 例. 双安定マルチバイブレータまたはシュミットトリガ[5]
122	・ ・ ・ ・ ・ トランスファゲートに特徴のあるもの, 例. トランスファゲートの駆動電圧, タイミング, 電荷転送効果を利用するもの	11/411	・ ・ ・ ・ バイポーラトランジスタのみを用いるもの[5]
124	・ ・ ・ ・ ・ メモリセルの情報をリストアするための回路, 例. アクティブリストア回路	11/412	・ ・ ・ ・ 電界効果トランジスタのみを用いるもの[5]
140	・ ・ ・ ・ ・ センス増幅器の制御に特徴のあるもの	100	・ ・ ・ ・ 情報の喪失に対する保護のための回路手段を取り入れたセル (一般 G11C5/00, 100)
150	・ ・ ・ ・ ・ センス方式に特徴のあるもの	110	・ ・ ・ ・ 初期化を目的とした不平衡セルに関するもの
160	・ ・ ・ ・ ・ ビット線のプリチャージに特徴のあるもの	120	・ ・ ・ ・ セルの片方だけからデータの読出または書込を図るもの
11/4093	・ ・ ・ ・ ・ 入出力[I/O]データ・インターフェイス機構, 例. データバッファ	11/413	・ ・ ・ ・ 周辺回路, 例. アドレッシング, 復号化, 駆動, 書込み, 検知, 同期および低電力化用[5]
		11/414	・ ・ ・ ・ バイポーラ型のメモリセル用[5]
		11/415	・ ・ ・ ・ アドレス回路[5]
		11/416	・ ・ ・ ・ 読出しー書込み回路[R-W] [5]

- 11/417 ・ ・ ・ ・ ・ 電界効果型のメモリセル用[5]
- 100 ・ ・ ・ ・ ・ 電源供給回路
- 110 ・ ・ ・ ・ ・ バッテリバックアップに関するもの
- 120 ・ ・ ・ ・ ・ 基板バイアスに関するもの
- 11/418 ・ ・ ・ ・ ・ アドレス回路[5]
- 100 ・ ・ ・ ・ ・ アドレス選択回路
- 110 ・ ・ ・ ・ ・ 選択または駆動に関するもの
- 120 ・ ・ ・ ・ ・ メモリ分割, アドレス分割に関するもの
- 130 ・ ・ ・ ・ ・ アドレス・デコーダ回路
- 140 ・ ・ ・ ・ ・ アドレス・バッファ回路
- 11/419 ・ ・ ・ ・ ・ 読出しー書込み回路[R-W][5]
- 100 ・ ・ ・ ・ ・ センス増幅回路
- 110 ・ ・ ・ ・ ・ アドレスの変化を検知して所定の動作, 例. プリチャージ, を行うもの
- 120 ・ ・ ・ ・ ・ プリチャージに関するもの (G11C11/419, 110 が優先)
- 130 ・ ・ ・ ・ ・ 入出力[I/O]データ・インターフェイス機構
- 140 ・ ・ ・ ・ ・ シンクロナスメモリ
- 11/4193 ・ ・ ・ 特種な半導体記憶装置に特有の周辺装置, 例. アドレッシング, 駆動, 検出, タイミング, 電力供給, 信号伝達のためのもの (G11C11/4063, G11C11/413 が優先) [7]
- 11/4195 ・ ・ ・ アドレス回路[7]
- 11/4197 ・ ・ ・ 読出しー書込み回路[R-W][7]
- 11/42 ・ ・ オプトエレクトロニクス装置, すなわち電氣的または光学的に結合された光放射および光-電気装置を用いるもの
- 11/44 ・ ・ 超電導素子, 例. クライオトロン, を用いるもの[2]
- 11/46 ・ 熱可塑性素子を用いるもの
- 11/48 ・ 相互または自己インダクタンスを異なる状態の間で変化させるための移動可能な結合素子, 例. 強磁性コア, を用いるもの
- 11/50 ・ 情報を記憶するために電気接点を作動するもの[2006. 01]
- 11/52 ・ ・ 電磁リレーを用いるもの
- 11/54 ・ 生物細胞, 例. ニューロン, をシミュレーションした素子を用いるもの
- 11/56 ・ ステップによって表わされる 2 つまたはそれ以上の数の安定状態をもつ記憶素子を用いるもの, 例. 電圧によるもの, 電流によるもの, 位相によるもの, 周波数によるもの[2006. 01]
- 100 ・ ・ 磁気記憶素子を使用するもの
- 150 ・ ・ 伝導性ブリッジ RAM またはプログラム可能な金属化合物セルを使用するもの
- 200 ・ ・ 浮遊ゲートにおいて電荷蓄積を使用するもの
- 210 ・ ・ ・ プログラミングまたは書込み回路; データ入力回路
- 215 ・ ・ ・ 消去回路
- 220 ・ ・ ・ 検知または読出し回路; データ出力回路
- 250 ・ ・ 容量性電荷蓄積素子を使用するもの
- 300 ・ ・ 強誘電体記憶素子を使用するもの
- 350 ・ ・ 有機材料記憶素子を使用するもの
- 400 ・ ・ 絶縁体において電荷トラッピングを使用するもの
- 450 ・ ・ アモルファス/結晶の相変化記憶素子を使用するもの
- 500 ・ ・ 金属酸化物記憶素子, 例. ペロブスカイトを使用するもの
- 600 ・ ・ マルチビット読出し専用メモリ
- 13/00 G11C11/00, G11C23/00, または G11C25/00 に包含されない記憶素子の使用によって特徴づけられたデジタル記憶装置
- 200 ・ 抵抗ランダムアクセスメモリ素子を用いるもの
- 210 ・ ・ アモルファス/結晶の相変化記憶素子を含むもの
- 215 ・ ・ 金属酸化物記憶素子を含むもの
- 220 ・ ・ 金属窒化物記憶素子を含むもの
- 225 ・ ・ 化学変化に依存する記憶素子を含むもの
- 230 ・ ・ ・ 伝導性ブリッジ記憶素子またはプログラム可能な金属化合物記憶素子を含むもの
- 235 ・ ・ ・ 有機材料記憶素子を含むもの
- 235 A ポリマーを含むもの
- 235 B バイオ分子を含むもの
- 235 Z その他のもの
- 240 ・ ・ ナノチューブ記憶素子を含むもの
- 245 ・ ・ ナノギャップ記憶素子を含むもの
- 270 ・ ・ セルアレイの形態に特徴があるもの
- 270 A3 次元アレイ
- 270 B 選択素子がダイオードであるアレイ
- 270 C 記憶素子の記憶機能と一体化した選択素子機能, 例. ダイオード機能を持つアレイ
- 270 D2 つ以上の選択素子を各記憶セルが持つアレイ
- 270 E 選択トランジスタに並列に接続された記憶素子が直列に接続された列, すなわち NAND 構造を持つアレイ
- 270 F トランジスタでもダイオードでもない選択素子を各セルのために使用するアレイ
- 270 G 選択素子を使用することなく, ビット線とワード線に直接的に接続された記憶素子を持つアレイ

- 270 H一群の記憶セルが選択素子を共有するアレイ
- 270 J選択素子がトランジスタであるアレイ
- 270 K基板, セル, 配線, 選択素子が全て有機材料で形成されたアレイ
- 270 Zその他の特徴があるアレイ
- 300 ・・周辺回路
- 310 ・・・アドレス回路またはアドレスデコーダ
- 312 ・・・ビット線またはカラム回路
- 314 ・・・ワード線またはロウ回路
- 320 ・・・セル選択
- 340 ・・・ディスタープの防止, ディスタープの評価; ディスタープされた記憶データのリフレッシュ
- 360 ・・・劣化, 保持力, 消耗の評価
- 380 ・・・電力供給回路
- 400 ・・・読み出し, センシングの回路または方法
- 400 A差分検知, 例. 相補ビット線による読み出し
- 400 Bセル電流による読み出し
- 400 C破壊読み出し
- 400 Dセル電極間の電位差による読み出し
- 400 Eビット線プリチャージ後の読み出し
- 400 F読み出しパルスの形状, 例. 形, 幅, 高さによって特徴付けられた読み出し
- 400 Gリファレンスセルとの比較によって実行される読み出し
- 400 H自己リファレンス方式によって実行される読み出し
- 400 Zその他の読み出し
- 420 ・・・セキュリティ, 保護回路または方法
- 440 ・・・タイミング回路または方法
- 460 ・・・ベリファイ回路または方法
- 462 ・・・書き込み中に正しく書き込まれたことをベリファイするもの
- 464 ・・・書き込み後に正しく書き込まれたことをベリファイするもの
- 480 ・・・書き込み, プログラミングの回路または方法
- 480 A選択素子のゲートに書き込み電位を印加する書き込み
- 480 B両方向にセル電圧を印加する書き込み
- 480 C読み出し結果に基づいて実行される書き込み
- 480 Dセルを流れる電流量による書き込み
- 480 E記憶材料の周囲に熱を発生させることによる書き込み
- 480 Fフォーミング処理のための書き込み
- 480 G1 ページまたは1 セクタ, 例. 1 行分, 1 ワード線分の同時書き込み
- 480 H複数のセルの同時書き込み
- 480 Jセル電極間に電位差を印加することによる書き込み
- 480 K書き込みパルスの形状, 例. 形, 幅, 高さによって特徴付けられた書き込み
- 480 L熱効果による歪み, 例, ピエゾエレクトリックを用いる書き込み
- 480 Zその他
- 500 ・・・消去, 例. リセットの回路または方法
- 13/02 ・化学変化によって作動する素子を用いるもの[2006. 01]
- 100 ・・フラーレンを使用するもの, 例. カーボンナノチューブまたはシリコンナノチューブ
- 13/04 ・光学的素子を用いるもの
- 100 ・・ホトクロミック記憶素子を用いるもの
- 200 ・・干渉縞の形で記憶される情報を用いるもの (ホログラム, リップマン; ホログラフィ G03H, G02B5/32)
- 200 A磁気光学記憶素子を用いるもの
- 200 B電気光学記憶素子を用いるもの
- 200 Cホトクロミック記憶素子を用いるもの
- 200 Zその他の記憶素子を用いるもの
- 300 ・・電気光学記憶素子を用いるもの
- 400 ・・その他の記憶素子を使用するもの
- 13/06 ・・磁気-光学素子を用いるもの[2006. 01]
- 14/00 電源遮断時にバックアップするための, 揮発性メモリセルと不揮発性メモリセルの配置によって特徴づけられたデジタル記憶装置[5]
- 100 ・揮発性素子が DRAM セルであるもの
- 110 ・・不揮発性素子が EEPROM 素子, 例. 浮遊ゲートまたは MNOS トランジスタであるもの
- 120 ・・不揮発性素子が強誘電体素子であるもの
- 130 ・・不揮発性素子が磁気 RAM 素子[MRAM]または強磁性体素子であるもの
- 140 ・・不揮発性素子が抵抗変化 RAM 素子であるもの
- 200 ・揮発性素子が SRAM セルであるもの
- 210 ・・不揮発性素子が EEPROM 素子, 例. 浮遊ゲートまたは MNOS トランジスタであるもの
- 220 ・・不揮発性素子が強誘電体素子であるもの
- 230 ・・不揮発性素子が磁気 RAM 素子[MRAM]または強磁性体素子であるもの
- 240 ・・不揮発性素子が抵抗変化 RAM 素子であるもの
- 15/00 1 つまたはそれ以上の特徴的部分からなる情報が書き込まれ, 情報の読出しはそれらの 1 つまたは以上の特徴的部分について探索することによって行なわれるデジタル記憶装置, すなわち連想記憶または

	内容アドレス記憶装置[2006. 01]		
A	光学的素子を用いるもの		
Z	その他のもの(超電導素子を用いるもの等)		
15/02	・磁気的素子を用いるもの[2]		
15/04	・半導体素子を用いるもの[2]		
C	高速化・高能率化		
D	番地指定メモリを用いるもの		
E	金物の節約		
F	誤動作対策		
Z	その他		
601	・セル回路	143	・・・・P チャネルと N チャネルメモリトランジスタを備えるフローティングゲートメモリセル, 通常は共通フローティングゲートを共有するもの
601 A揮発素子		146	・・・・独立したデータを記憶する複数の独立したフローティングゲートで構成されるもの(単一のフローティングゲートにおいて3つ以上の安定状態を記憶するためのもの G11C11/56)
601 R不揮発素子		150	・・・・絶縁層に電荷を蓄積するセルで構成されるもの, 例. MNOS, SNOS (G11C16/04, 170, G11C16/04, 180が優先)
601 S特殊素子		160	・・・・独立したデータを保持する複数の独立した記憶サイトで構成されるもの(単一の記憶サイトに2以上の安定した状態を蓄積するストレージ G11C11/56)
601 W比較機能に特徴のあるもの(大小比較機能、マスク機能をセル内に設けたもの)		170	・・・・直列接続された複数の記憶トランジスタを有するセルで構成されるもの
601 Zその他のもの		180	・・・・仮想接地アレイ
631	・周辺回路	16/06	・・・・周辺回路, 例. メモリへの書込み用 [2006. 01]
631 A一般		16/08	・・・・アドレス回路;デコーダ;ワード線制御回路[7]
631 B複数メモリの組み合わせ		100	・・・・カラムデコーダ
631 C・CAM と一般のメモリを組み合わせたもの		110	・・・・ワード線の選択;デコーダ
631 D・CAM と CAM を組み合わせたもの		120	・・・・ワード線駆動回路, 特にワード線への読出し電圧の供給
631 ECAM メモリアレイ内で分割管理するもの		123	・・・・ワード線駆動回路, 特にベリファイ読出し用
631 F比較回路に特徴のあるもの		130	・・・・ワード線駆動回路, 特にワード線への書込み電圧の供給
631 G優先回路に特徴のあるもの		140	・・・・ワード線駆動回路, 特にワード線への消去電圧の供給
631 Mマスク回路に特徴のあるもの		16/10	・・・・プログラミングまたはデータ入力回路[7]
631 W連想方法自体に特徴のあるもの		100	・・・・外部プログラミング回路, 例. EPROM プログラマ;インサーキットプログラミングまたは再プログラミング;EPROM エミュレータ
631 Zその他のもの		103	・・・・特に信頼できる置換を保証する'安全性' 機能を有する不揮発性メモリの内容を更新する回路, 例. 新しいデータが確実に書き込まれるまで古いデータの喪失を防ぐもの
15/06	・クライオジニック素子を用いるもの[2]	110	・・・・アレイ, セクタまたはブロック内の全セルを消去前に同一状態にプログラミングするもの
16/00	消去可能でプログラム可能なリードオンリメモリ (G11C14/00 が優先) [5]	120	・・・・書込み前のデータと比較するもの
16/02	・電気的にプログラム可能なもの[5]	130	・・・・反転書込み/代表書込みを行うもの
16/04	・・・・閾値が可変なトランジスタを用いるもの, 例. FAMOS [5]	140	・・・・書込み時間/書込み電圧/書込み電流制御
100	・・・・フローティングゲートトランジスタを包含するセルで構成されるもの (G11C16/04, 170, G11C16/04, 180が優先)	143	・・・・ソース線の制御に特徴があるもの
110	・・・・単一のフローティングゲートトランジスタを包含し, 選択トランジスタを包含しないセルで構成されるもの, 例. UV EPROM	150	・・・・特殊モードによるプログラム
120	・・・・マージされたフローティングゲートと選択トランジスタを包含するセルで構成されるもの		
130	・・・・1つのフローティングゲートトランジスタおよび1つ以上の別個の選択トランジスタを包含するセルで構成されるもの		
140	・・・・複数のフローティングゲートデバイスで構成されるセル, 例. 複数のフローティングゲートに接続された別個の読出し及び書込み FAMOS トランジスタを包含するセルで構成されるもの		

- 160 ・ ・ ・ ・ バッファメモリを用いた書込み
- 170 ・ ・ ・ ・ データ入力回路
- 16/12 ・ ・ ・ ・ プログラミング電圧スイッチング回路[7]
- 16/14 ・ ・ ・ ・ 電氣的に消去するための回路, 例. 消去電圧スイッチング回路[7]
- 100 ・ ・ ・ ・ ・ 消去時間/消去電圧制御
- 110 ・ ・ ・ ・ ・ ソース線の制御に特徴があるものの
- 16/16 ・ ・ ・ ・ ・ ブロック消去用のもの, 例. アレイ, 複数ワード, グループ[7]
- 16/18 ・ ・ ・ ・ 光学的に消去するための回路[7]
- 16/20 ・ ・ ・ ・ 初期化;データのプリセット, チップの識別[7]
- 16/22 ・ ・ ・ メモリ・セルへの不正な, または不慮のアクセスを防ぐための安全または保護回路[7]
- 100 ・ ・ ・ ・ 電源電圧が所要範囲外のときに消去, プログラミング, または読取りを防止するもの
- 16/24 ・ ・ ・ ビット線制御回路[7]
- 100 ・ ・ ・ ・ ビット線の選択に関するもの
- 110 ・ ・ ・ ・ プリチャージ/ディスチャージ回路
- 120 ・ ・ ・ ・ 書込み電圧発生回路
- 130 ・ ・ ・ ・ ラッチ回路
- 16/26 ・ ・ ・ センス回路または読出し回路;データ出力回路[7]
- 100 ・ ・ ・ ・ 特殊モードによる読出し
- 110 ・ ・ ・ ・ バッファメモリを介した読出し
- 120 ・ ・ ・ ・ 電流比較型センス回路
- 130 ・ ・ ・ ・ ソース線の制御に特徴があるもの
- 140 ・ ・ ・ ・ 出力回路
- 16/28 ・ ・ ・ ・ 差動センシングまたはリファレンス・セルを用いるもの, 例. ダミー・セル[7]
- 16/30 ・ ・ ・ 電力供給回路[7]
- 100 ・ ・ ・ ・ 高電圧発生回路
- 110 ・ ・ ・ ・ 負電圧発生回路
- 120 ・ ・ ・ ・ 電圧調整回路
- 16/32 ・ ・ ・ タイミング回路[7]
- 16/34 ・ ・ ・ プログラミング状態の決定, 例. 閾値電圧, 過書込みまたは不十分な書込み, リテンション[7]
- 100 ・ ・ ・ ・ メモリセル閾値電圧の収束または補正;過消去または過書込みセルのリペアまたはリカバリ
- 103 ・ ・ ・ ・ ・ 消去ベリファイ中に検知された過消去された不揮発性メモリセルのリカバリ回路または方法, 通常は“ソフト”プログラミングステップによるもの
- 106 ・ ・ ・ ・ ・ 書込み検証中に検知された過書込みされた不揮発性メモリセルのリカバリ回路または方法, 通常は“ソフト”消去
- ステップによるもの
- 110 ・ ・ ・ ・ ディスタ urb 防止または評価;ディスタ urb されたメモリデータのリフレッシュ
- 113 ・ ・ ・ ・ ・ ディスタ urb を緩和するステップなしに不揮発性メモリセルの読出しまたは書込みディスタ urb を評価する回路または方法
- 116 ・ ・ ・ ・ ・ 隣接セルが読出しまたは書込みされた時のディスタ urb を防止または弱める回路または方法
- 120 ・ ・ ・ ・ ・ ディスタ urb された不揮発性メモリセル, 例. 書き込まれた状態として読出せるが, 閾値が書込み検証閾値より小さい, または消去された状態として読出せるが, 閾値が消去検証閾値より大きいメモリセル, を検出し, リフレッシュ書込みまたは消去によりディスタ urb を反転させる回路または方法
- 123 ・ ・ ・ ・ 適正な書込みまたは消去を検証するための装置
- 126 ・ ・ ・ ・ ・ 適正な消去を検証するためまたは過消去セルを検出するための装置
- 130 ・ ・ ・ ・ ・ ・ 不揮発性メモリセルの適切な消去を検証するための回路または方法
- 133 ・ ・ ・ ・ ・ ・ 過消去された不揮発性メモリセルを検出するための回路または方法, 通常は消去検証最中に検出するもの
- 136 ・ ・ ・ ・ ・ 適正な書込みを検証するためのまたは過書込みセルを検出するための装置
- 140 ・ ・ ・ ・ ・ ・ 不揮発性メモリセルの適切な書込みを検証する回路または方法
- 143 ・ ・ ・ ・ ・ ・ 過書込みされた不揮発性メモリセルを検出する回路または方法, 通常は書込み検証最中に検出するもの
- 146 ・ ・ ・ ・ ・ 過消去または過書込みの防止, 例. 消去または書込みの最中の検証によるもの
- 150 ・ ・ ・ ・ ・ ・ 消去進行中に不揮発性メモリセルの適切な消去を検証する回路または方法, 例. セル電流の流れの開始または停止を検出し, 検出出力を消去の終了に用いることによるもの
- 153 ・ ・ ・ ・ ・ ・ 不揮発性メモリセルの過消去を防止する回路または方法, 例. セル電流の流れの開始または停止を検出し, 検出出力を消去の終了に用いることによるもの
- 156 ・ ・ ・ ・ ・ ・ 書込み進行中に不揮発性メモリセルの適切な書込みを検証する回路または方法, 例. セル電流の流れの開始または停止を検出し, 検出出力を書込みの終

- 了に用いることによるもの
- 160 ・ ・ ・ ・ ・ 不揮発性メモリセルの過書込みを防止する回路または方法, 例. セル電流の流れの開始または停止を検出し, 検出出力を書込みの終了に用いることによるもの
- 163 ・ ・ ・ ・ 劣化, リテンション, または磨耗を評価するための装置, 例. 消去サイクルをカウントすることによるもの
- 166 ・ ・ ・ ・ ・ 不揮発性 EPROM または EEPROM メモリデバイスの摩耗を検出または遅らせる回路または方法, 例. 消去または更新サイクル数をカウントし, 複数のメモリ領域を順次または循環的に使用することによるもの
- 17/00 一度だけプログラム可能な読出し専用メモリ; 半永久的記憶装置, 例. 手動で差替え可能な情報カード [2006. 01]
- 17/02 ・ 磁氣的または誘導的素子を用いるもの (G11C17/14 が優先) [2, 5]
- 17/04 ・ 容 量 的 素 子 を 用 い る も の (G11C17/06, G11C17/14 が優先) [2, 5]
- 17/06 ・ ダイオード素子を用いるもの (G11C17/14 が優先) [2, 5]
- 17/08 ・ 半導体装置を用いるもの, 例. バイポーラ素子を用いるもの (G11C17/06, G11C17/14 が優先) [5]
- 17/10 ・ ・ その記憶内容が, 結合素子のあらかじめ決められた配置によって製造時に決められるもの, 例. マスクプログラム可能な ROM [5]
- 100 ・ ・ ・ バイポーラトランジスタを用いるもの
- 110 ・ ・ ・ ・ 周辺回路
- 17/12 ・ ・ ・ 電界効果型装置を用いるもの [5]
- 100 ・ ・ ・ 直列接続された複数の記憶トランジスタを有するセルで構成されるもの
- 110 ・ ・ ・ ・ 仮想接地アレイ
- 150 ・ ・ ・ ・ 周辺回路
- 160 ・ ・ ・ ・ ・ 直列接続された複数の記憶トランジスタを有するセルで構成されるアレイ用の周辺回路
- 170 ・ ・ ・ ・ ・ 仮想接地アレイ用の周辺回路
- 17/14 ・ その記憶内容が, 結合素子の状態を永久に変えることによって連結リンクを選択的に設定, 切断または変更することにより決められるもの, 例. PROM [5]
- 100 ・ ・ レーザーで溶断可能なリンクを用いるもの
- 110 ・ ・ ライトワンスメモリ, 例 付加ビットに書込みを行うことでメモリ内容の変更を許すもの
- 17/16 ・ ・ 電氣的に溶断可能なリンクを用いるもの [5]
- 100 ・ ・ ・ 抵抗の変化を引き起こすように電氣的にプログラムされるメモリセル, 例. ヒューズ/アンチヒューズの導通から非導通/非道通から導通状態への変更というより, 複数の抵抗段階にプログラムできるもの (抵抗ランダムアクセスメモリ素子を用いる デジ タ ル 記 憶 装 置 G11C13/00, 200)
- 17/18 ・ ・ 周辺回路, 例. メモリへの書込み用 [2006. 01]
- 19/00 情報がステップ形式で移動するデジタル記憶装置, 例. シフト・レジスタ [2006. 01]
- 19/02 ・ 磁気素子を用いるもの (G11C19/14 が優先) [2]
- 19/04 ・ ・ 1 つの孔または磁気ループを有するコアを用いるもの [2]
- 19/06 ・ ・ 多数の孔または磁気ループを有する構造を用いるもの, 例. トランスフラクサ [2]
- 19/08 ・ ・ 平板薄膜構造を用いるもの [2]
- 19/10 ・ ・ ロッド上の薄膜を用いるもの; ツイスタによるもの [2]
- 19/12 ・ 共振回路中の非線型誘導素子を用いるもの [2]
- 19/14 ・ 能動素子, 例. 放電管, 半導体素子, と結合した磁気素子を用いるもの (G11C19/34 が優先) [2, 7]
- 19/18 ・ ステージの主素子としてキャパシタを用いるもの [2]
- 100 ・ ・ 半導体素子と結合するもの, 例. バイポーラトランジスタ, ダイオード
- 110 ・ ・ ・ 電界効果トランジスタと結合するもの, 例. MOS-FET
- 115 ・ ・ ・ ・ 一つのキャパシタにつき一つのトランジスタだけ用いるもの, 例. バケツリレーシフトレジスタ
- 120 ・ ・ ・ 多数のシフトレジスタの編成, 例. 再生成, タイミング, 入出力回路 (FIFO G06F5/06; LIFO G06F7/78)
- 19/20 ・ 放電管を用いるもの (G11C19/14 が優先) [2]
- 19/28 ・ 半 導 体 素 子 を 用 い る も の (G11C19/14, G11C19/36 が優先) [2, 7]
- 100 ・ ・ 空乏層に電荷蓄積するもの, 例. 電荷結合素子 (CCD)
- 105 ・ ・ ・ 周辺回路, 例. 初段に書込み、最終段から読み出すためのもの
- 120 ・ ・ 多数のシフトレジスタの編成 (FIFO G06F5/06; LIFO G06F7/78)
- 200 ・ ・ バイポーラ FF 回路
- 210 ・ ・ FETFF 回路
- 220 ・ ・ バイポーラ転送ゲート型

- 230 ・ ・ FET 転送ゲート型
- 240 ・ ・ トンネルダイオード
- 19/30 ・ オプトエレクトロニクス装置, すなわち電氣的または光学的に結合された光放射および光—電気装置を用いるもの[2]
- 19/32 ・ 超電導素子を用いるもの[2]
- 19/34 ・ 3 以上の異なる安定状態を有する記憶素子を用いるもの, 例. 電圧によるもの, 電流によるもの, 位相によるもの, 周波数によるもの[7]
- 19/36 ・ ・ 半導体素子を用いるもの[7]
- 19/38 ・ 二次元の, 例. 水平方向と垂直方向に情報が移動するシフト・レジスター[7]
- 21/00 情報が循環する形式のデジタル記憶装置(ステップ形式のもの G11C19/00)
- 21/02 ・ 電子機械的遅延線, 例. 水銀タンク, を用いるもの
- 100 ・ ・ 圧電トランスデューサーを用いるもの, 例. 水銀タンク
- 110 ・ ・ 磁歪トランスデューサーを用いるもの, 例. ニッケル遅延線
- 23/00 機械的部分の移動によって記憶を行なわせることを特徴とするデジタル記憶装置, 例. ボールを用いるもの; そのための記憶素子[2006. 01]
- 25/00 流体の利用を特徴とするデジタル記憶装置; そのための記憶素子
- 27/00 電氣的アナログ記憶装置, 例. 瞬時値を記憶するためのもの
- 200 ・ 不揮発性電荷蓄積を伴うもの, 例. 浮動ゲートまたは MNOS 上のもの
- 27/02 ・ 抽出・保持装置 (G11C27/04 が優先) [2006. 01]
- 100 ・ ・ 磁気メモリ素子を使用するもの
- 200 ・ ・ 容量性メモリ素子を使用するもの (G11C27/04 が優先)
- 210 ・ ・ ・ ピークホールド回路を含むもの (交流またはパルスのピーク値の測定 G01R19/04)
- 220 ・ ・ ・ 特定のスイッチング手段, 回路形式によるもの
- 230 ・ ・ ・ ・ ダイオードスイッチを用いるもの
- 240 ・ ・ ・ ・ トランジスタスイッチを用いるもの
- 245 ・ ・ ・ ・ ・ 差動トランジスタ対を用いるもの
- 250 ・ ・ ・ ・ 増幅器に関連するもの
- 255 ・ ・ ・ ・ ・ 負帰還ループをもつ演算増幅器を用いるもの
- 260 ・ ・ ・ ・ 電流モード回路, 例. スイッチトカレントメモリ
- 310 ・ ・ ・ 機能により特徴付けられるもの
- 320 ・ ・ ・ ・ 入出力特性に関するもの
- 330 ・ ・ ・ ・ スwitching 雑音/オフセットの除去のためのもの
- 340 ・ ・ ・ ・ リーク/ドリフト対策のためのもの
- 350 ・ ・ ・ ・ 高速化のための変形, 例. 複数のサンプルホールド回路を交互に動作させるもの (G11C27/02, 220 が優先)
- 27/04 ・ シフトレジスタ [2006. 01]
- 29/00 正確な動作のための記憶装置のチェック; スタンバイまたはオフライン動作中の記憶装置のテスト [1, 8]
- 401 ・ シリアルメモリにおけるもの
- 402 ・ ウェハスケールレベルのもの, すなわち, WSI (製造中の試験および構成のためのもの H01L21/66)
- 404 ・ スペアまたは再構成を用いるメモリ内の故障のマスキング
- 406 ・ ・ 周辺回路を置換することによるもの, 例. 故障したものの代わりに用いられるスペア電圧生成器, デコーダ, またはセンスアンプ
- 408 ・ ・ 最適な置換アルゴリズムと共に用いられるもの
- 410 ・ ・ 二重メモリを用いるもの, 例. 二重コピーを用いるもの
- 412 ・ ・ アドレス変換または変更を用いるもの
- 414 ・ ・ ・ ソリッドステートディスク内のもの
- 416 ・ ・ プログラマブルデバイスを用いるもの
- 418 ・ ・ ・ 冗長デコーダと組み合わせるもの
- 420 ・ ・ ・ 置換セルのリフレッシュを行うもの, 例. DRAM 内
- 422 ・ ・ ・ 冗長プログラミングスキーム
- 424 ・ ・ ・ ・ 階層的なヒューズを用いるもの (ヒューズを用いたメモリ一般 G11C17/16)
- 426 ・ ・ ・ ・ 不揮発性セルまたはラッチを用いるもの (消去可能なプログラム可能なメモリセル一般 G11C17/00)
- 428 ・ ・ ・ 改良されたレイアウト
- 454 ・ ・ ・ 消費電力の削減
- 456 ・ ・ ・ ・ 故障した要素の切り離し
- 458 ・ ・ ・ 冗長置換のためのロールコール配置
- 460 ・ ・ ・ 故障したスペアの置換
- 462 ・ ・ ・ 改良されたアクセス時間または安定性
- 464 ・ ・ ・ ・ 信号経路に遅延を挿入することによるもの
- 466 ・ ・ ・ ・ デコーダのステージを分割することによるもの
- 468 ・ ・ ・ ・ 出力段において冗長線を選択するもの
- 470 ・ ・ ・ ・ 隣接スイッチングによるもの
- 472 ・ ・ シリアルアクセスメモリ内のもの, 例. シフトレジスタ, CCD またはバブルメモリ
- 474 ・ ・ 部分良品メモリにおけるもの

476	・ ・ ・ 一つの故障したメモリデバイスを、削減された容量, 例. 半分の容量, を有するメモリとして用いるもの		
478	・ ・ ・ 複数の故障したメモリを連続したアドレス範囲を与えるように組み合わせるもの, 例. 一つのデバイスが他のデバイスにおける故障したブロックを置換するワーキングブロックを提供するもの		
29/02	・ 故障した周辺回路の検出またはその位置の特定[8]		
100	・ ・ 電圧または電流生成器におけるもの		
110	・ ・ I/O 回路におけるもの		
120	・ ・ クロック生成器またはタイミング回路におけるもの		
130	・ ・ デコーダにおけるもの		
140	・ ・ 信号線におけるもの		
150	・ ・ センスアンプにおけるもの		
160	・ ・ ヒューズにおけるもの		
170	・ ・ 適合またはパラメータのトリミングを伴うもの		
29/04	・ 故障したメモリ素子の検出またはその位置の特定[8]		
29/06	・ ・ 加速試験[8]		
29/08	・ ・ 機能試験, 例. リフレッシュ中の試験, パワーオン・セルフテスト[POST], または分散テスト[8]		
29/10	・ ・ ・ テストアルゴリズム, 例. メモリスキャン[MScan]アルゴリズム; テストパターン, 例. チェックボードパターン[8]		
100	・ ・ ・ ・ テストパターン		
110	・ ・ ・ ・ ・ パターン生成に特徴のあるもの		
120	・ ・ ・ ・ ・ チェッカーボードパターン		
130	・ ・ ・ ・ ・ ランダムパターン		
140	・ ・ ・ ・ ・ アドレスからの生成		
150	・ ・ ・ ・ ・ アドレスハミング距離		
160	・ ・ ・ ・ ・ アドレス変換		
29/12	・ ・ ・ 試験のための組み込み装置, 例. 組み込み自己テスト[BIST][8]		
29/14	・ ・ ・ ・ 制御データの実施, 例. テストモードのデコーダー[8]		
29/16	・ ・ ・ ・ ・ マイクロプログラム方式のユニットを使用するもの, 例. ステートマシン[8]		
29/18	・ ・ ・ ・ アドレス作成装置; メモリにアクセスするための装置, 例. アドレス回路の細部[8]		
100	・ ・ ・ ・ ・ アドレスデコーダ		
120	・ ・ ・ ・ ・ アドレス変換またはマッピング, 例. 論理物理アドレス変換		
29/20	・ ・ ・ ・ ・ カウンタまたは線形フィードバックシフトレジスタ[LFSR]を使用するもの[8]		
29/22	・ ・ ・ ・ ・ シリアルメモリへアクセスするもの[8]		
29/24	・ ・ ・ ・ ・ 補助的なセルへアクセスするもの, 例. ダミーセルまたは冗長セル[8]		
29/26	・ ・ ・ ・ ・ マルチプルアレイへアクセスするもの (G11C29/24 が優先) [8]		
100	・ ・ ・ ・ ・ 同時テスト		
29/28	・ ・ ・ ・ ・ 依存関係のあるマルチプルアレイ, 例. マルチビットを持つアレイ[8]		
29/30	・ ・ ・ ・ ・ シングルアレイへアクセスするもの[8]		
29/32	・ ・ ・ ・ ・ シリアルアクセス; スキャンテスト[8]		
100	・ ・ ・ ・ ・ ・ スキャンチェーン		
29/34	・ ・ ・ ・ ・ マルチビットに同時にアクセスするもの[8]		
29/36	・ ・ ・ ・ データ作成装置, 例. データ変換器[8]		
29/38	・ ・ ・ ・ 応答検証装置[8]		
29/40	・ ・ ・ ・ ・ 圧縮技術を使用するもの[8]		
29/42	・ ・ ・ ・ ・ 誤り訂正符号[ECC]またはパリティチェックを使用するもの[8]		
29/44	・ ・ ・ ・ 誤りの表示または識別, 例. 復旧のためのもの[8]		
100	・ ・ ・ ・ ・ 自己修復のためのもの		
110	・ ・ ・ ・ ・ テスト結果, 品質データ, チップID または修復情報の内部ストレージ		
29/46	・ ・ ・ ・ テストトリガーロジック[8]		
29/48	・ ・ ・ 記憶装置の外部の手段による試験に特に適した静的記憶装置, 例. ダイレクトメモリアccess [DMA]を使用するもの, または周辺アクセス経路を使用するもの[2006. 01]		
29/50	・ ・ マージン試験, 例. タイミング, 電圧, または電流試験[8]		
100	・ ・ ・ 閾値電圧のマージン試験		
110	・ ・ ・ インピーダンスのマージン試験		
120	・ ・ ・ タイミングのマージン試験		
130	・ ・ ・ リテンションのマージン試験		
150	・ ・ ・ 電圧のマージン試験		
29/52	・ メモリ内容の保護; メモリ内容の誤りの検出[8]		
29/54	・ 試験回路を設計するための装置, 例. テスト容易化設計[DFT]ツール[8]		
29/56	・ 静的記憶のための外部試験装置, 例. 自動検査装置[ATE]; そのインターフェース[8]		
100	・ ・ パターン生成器		
105	・ ・ エラー分析, エラーの表現		
110	・ ・ タイミングの側面, クロック生成または同期		
135	・ ・ 並列試験		
140	・ ・ 高速化		
155	・ ・ 試験結果の圧縮		

99/00 このサブクラスの他のグループに分類され
 ない主題事項[8]