

審決

不服 2014- 20849

アメリカ合衆国, アイダホ州 83716-9632, ボイズ, サウス フェ
デラル ウェイ 8000
請求人 マイクロン テクノロジー, インク.

東京都千代田区二番町 8 番地の 20 二番町ビル
代理人弁理士 野村 泰久

東京都千代田区二番町 8 番地 20 二番町ビル 3 F 大菅内外国特許事務所
代理人弁理士 大菅 義之

特願 2011-542905 「シリアル不揮発性メモリに対する向上され
たアドレス能力」拒絶査定不服審判事件〔平成 22 年 7 月 8 日国際公
開、WO2010/076600、平成 24 年 6 月 21 日国内公表、特表
2012-514247、請求項の数（14）〕について、次のとおり審決
する。

結 論

原査定を取り消す。
本願の発明は、特許すべきものとする。

理 由

第 1 手続の経緯

本願は、2008 年（平成 20 年）12 月 30 日を国際出願日とする出願
であって、その手続の経緯は以下のとおりである。

平成 23 年 8 月 26 日：翻訳文提出
平成 25 年 4 月 19 日：拒絶理由の通知（起案日）
平成 25 年 7 月 29 日：意見書、手続補正書の提出
平成 25 年 11 月 28 日：拒絶理由（最後の拒絶理由）の通知（起案日）
平成 26 年 2 月 25 日：意見書、手続補正書の提出
平成 26 年 6 月 12 日：平成 26 年 2 月 25 日の手続補正についての
補正却下の決定、拒絶査定（起案日）
平成 26 年 10 月 15 日：審判請求書、手続補正書の提出

第 2 本願発明

本願の請求項 1-14 に係る発明は、平成 26 年 10 月 15 日付けの手続
補正で補正された特許請求の範囲 1-14 に記載された事項により特定され
る以下のとおりのものである。

「【請求項 1】

複数のバンクで構成される複数の記憶位置と、
前記複数のバンクの第 1 バンクを識別する拡張アドレス値を記憶する拡張
アドレスレジスタと、
前記拡張アドレス値と、前記不揮発性メモリデバイスから隣接するブロッ
クのデータを読み出す処理に対応する高速読み出しコマンドと、アドレスと
を受信するための入力端子と、
前記拡張アドレスレジスタに記憶された前記拡張アドレス値と前記アドレ
スとで構成される組合せアドレスによって識別される記憶位置から始まっ
て、前記組合せアドレスをインクリメントすることにより、前記複数のバン
クの第 1 バンクと前記複数のバンクの第 2 バンクとの間の境界を横切って、

前記隣接するバンクのデータにアクセスする制御部と、
を備えることを特徴とするシリアル不揮発性メモリデバイス。

【請求項 2】

請求項 1 に記載のメモリデバイスであって、前記拡張アドレス値は 8 ビット値を備えることを特徴とするメモリデバイス。

【請求項 3】

請求項 2 に記載のメモリデバイスであって、前記アドレスは 24 ビットアドレスを備えることを特徴とするメモリデバイス。

【請求項 4】

請求項 3 に記載のメモリデバイスであって、前記制御部は、シリアル周辺インタフェースプロトコルと互換性のある読出しおよび／または書込み動作を実行するように適合され、前記シリアル不揮発性メモリデバイスはシリアルフラッシュメモリデバイスを備えることを特徴とするメモリデバイス。

【請求項 5】

請求項 4 に記載のメモリデバイスであって、前記制御部は、少なくとも一部が前記入力端子で前記拡張アドレス値を受信するのに応じて、前記シリアル周辺インタフェースプロトコルと互換性のある書込み動作を前記拡張アドレスレジスタに対して実行するようにさらに適合されることを特徴とするメモリデバイス。

【請求項 6】

請求項 1 に記載のメモリデバイスであって、前記複数のバンクのうちの一つ以上は 16 M（メガ）個の記憶位置を備えることを特徴とするメモリデバイス。

【請求項 7】

請求項 6 に記載のメモリデバイスであって、前記複数の記憶位置のうちの一つ以上は 8 ビット記憶位置を備え、前記複数のバンクは 128 Mb の容量を有するバンクを備えて 128 Mb よりも大きな前記メモリデバイスのための総容量を与えることを特徴とするメモリデバイス。

【請求項 8】

プロセッサと、
前記プロセッサに結合されるシリアル不揮発性メモリデバイスと、
を備え、前記メモリデバイスは、
複数のバンクで構成される複数の記憶位置と、
前記複数のバンクの第 1 バンクを識別する拡張アドレス値を記憶する拡張アドレスレジスタと、
前記プロセッサから前記拡張アドレス値と、前記不揮発性メモリデバイスから隣接するブロックのデータを読み出す処理に対応する高速読み出しコマンドと、アドレスとを受信する入力端子と、
前記拡張アドレスレジスタに記憶された前記拡張アドレス値と前記アドレスとで構成される組合せアドレスによって識別される記憶位置から始まって、前記組合せアドレスをインクリメントすることにより、前記複数のバンクの第 1 バンクと前記複数のバンクの第 2 バンクとの間の境界を横切って、前記隣接するバンクのデータにアクセスする制御部と、
を備えることを特徴とするシステム。

【請求項 9】

請求項 8 に記載のシステムであって、前記拡張アドレス値は 8 ビット値を備えることを特徴とするシステム。

【請求項 10】

請求項 9 に記載のシステムであって、前記アドレスは 24 ビットアドレスを備えることを特徴とするシステム。

【請求項 11】

請求項 8 に記載のシステムであって、前記制御部は、シリアル周辺インタフェースプロトコルと互換性のある読出しおよび／または書込み動作を実行するように適合され、前記シリアル不揮発性メモリデバイスはシリアルフラッシュメモリデバイスを備えることを特徴とするシステム。

【請求項 12】

請求項 11 に記載のシステムであって、前記制御部は、少なくとも一部が前記プロセッサから前記拡張アドレス値を受信するのに応じて、前記シリアル周辺インタフェースプロトコルと互換性のある書込み動作を前記拡張アドレスレジスタに対して実行するようにさらに適合されることを特徴とするシ

システム。

【請求項 1 3】

請求項 8 に記載のシステムであって、前記複数のバンクのうちの一つ以上は 1 6 M (メガ) 個の記憶位置を備えることを特徴とするシステム。

【請求項 1 4】

請求項 1 3 に記載のシステムであって、前記複数の記憶位置のうちの一つ以上は 8 ビット記憶位置を備え、前記複数のバンクは 1 2 8 M b の容量を有するバンクを備えて 1 2 8 M b よりも大きな前記メモリデバイスのための総容量を与えることを特徴とするシステム。」

第 3 原査定の理由の概要

原査定の理由のうち、請求項 1 についての理由の概要は、次のとおりである。

「この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において、頒布された下記 of 刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第 2 9 条第 2 項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

- ・ 請求項 1
- ・ 引用文献 1, 2
- ・ 備考

引用文献 1 の段落【0 0 2 9】～【0 0 3 6】及び図 3 等の記載を参照すると、引用文献 1 には、アドレス信号のビットデータ A 0 ～ A 1 5 (A 0 ～ A 1 3 が本願発明の「アドレス」に、A 1 4 及び A 1 5 が本願発明の「拡張アドレス値」に、A 0 ～ A 1 5 が本願発明の「組合せアドレス」にそれぞれ相当する。) によりアクセス位置が定められ、アドレス信号のビットデータ A 1 4 及び A 1 5 により特定される拡張アドレスの値とフラッシュメモリチップ 2 2 0 ～ 2 2 3 (本願発明の「複数のサブセット」に相当する。) 内のレジスタ部に格納された拡張アドレスの値が一致したフラッシュメモリチップ 2 2 0 ～ 2 2 3 にアクセスを行うフラッシュメモリ 2 0 0 (本願発明の「不揮発性メモリ」に相当する。) が記載されている。ここで、アドレスの一致不一致の判定のために比較を行うにあたり、比較対象のアドレスをレジスタに保持することは通常行われることであるから、引用文献 1 に記載されたものにおいて、アドレス信号のビットデータ A 1 4 及び A 1 5 により特定される拡張アドレスの値をレジスタに保持することは当業者が適宜設計すべき事項である。

引用文献 1 には、複数のフラッシュメモリチップの境界を横切って隣接するブロックのデータにアクセスを行うことは記載されていない。しかし、所定の開始アドレスから所定範囲の連続領域をアクセス領域として指定し、指定されたアクセス領域に連続してアクセスを行う高速読み出し技術は周知 (例えば、引用文献 2 の段落【0 0 2 8】～【0 0 3 7】等) であるから、引用文献 1 に記載された発明に該周知技術を適用し、フラッシュメモリチップ 2 2 0 ～ 2 2 3 の境界をまたぐような連続領域をアクセス領域として指定可能にして、複数のフラッシュメモリチップの境界を横切って隣接するブロックのデータにアクセスするよう構成することは、当業者が適宜なし得る事項である。

その余の点は、当業者が適宜設計すべき事項である。

したがって、本願の請求項 1 に係る発明は、引用文献 1 及び周知技術に基いて当業者が容易に発明をすることができたものである。

引用文献等一覧

1. 特開 2 0 0 0 - 3 3 0 5 号公報
2. 特開 2 0 0 8 - 9 8 7 4 号公報

第4 当審の判断

1. 請求項1に係る発明（以下、「本願発明1」という。）について

（1）引用発明

原査定で引用された引用文献1（特開2000-3305号公報）には、次の記載がある（下線は、本審決で特に着目した箇所を示す。）。

「【0029】（2）実施の形態2

以下、実施の形態2にかかるフラッシュメモリ200について説明する。図3は、フラッシュメモリ200を使用するシステムの構成図である。フラッシュメモリ200は、拡張アドレス（00、01、10、11）が割り当てられると共に、拡張アドレス順にアドレス空間（0～3FFFh、4000～7FFFh、8000～BFFFh、C000～FFFFh）の割り当てられた64Mbitの記憶容量の4枚のフラッシュメモリチップ220～223を、1枚のパッケージに内蔵する。システムの制御部150とフラッシュメモリ200は、信号線151及び152により接続される。

【0030】制御部150は、信号線152を介して”L”のチップイネーブル信号CE#を出力してフラッシュメモリ200をアクセス可能な状態に切り換えた後に、信号線151を介してデータの書き込み又は読み出しコマンドの出力、アドレス空間0～FFFFhの内、アクセスするセクタアドレスを指定する2バイト（16ビット）のアドレス信号の出力、及び、書き込みデータの出力又は読み出しデータの受け取りで構成されるシーケンスを実行する。なお、上記チップイネーブル信号の符号の後に使用する#は、信号レベルの反転を意味し、チップ220～223がLowアクティブであることを意味する。後に説明するように、フラッシュメモリ200は、チップを切り換えるための信号を別に用意することなく、システムより入力されるアドレス信号の値に基づいて、該アドレス信号により指定されるセクタアドレスが割り当てられているチップをアクセス可能な状態に切り換える。

【0031】図4は、フラッシュメモリ200の構成図である。フラッシュメモリ200は、64Mbitの記憶容量の4枚のチップ220～223を内蔵する。チップ220～223は、データの記憶領域の他に、割り当てられた拡張アドレスを記憶する各1バイトのレジスタ部224～227を備える。図5に示すように、各チップ220～223は、上記レジスタ部224～227のbit0及びbit1からなる2ビットデータに、割り当てられた拡張アドレスの値を記憶する。bit2～bit7の各ビットデータは無視する。

【0032】チップ220～223は、上記レジスタ部224～227に記憶する拡張アドレス（00、01、…）順に、アドレス空間（0～3FFFh、4000～7FFFh、…）が割り当てられる。チップ220は、拡張アドレス”00”が割り当てられると共に、0～3FFFhのアドレス空間が割り当てられる。チップ221は、拡張アドレス”01”が割り当てられると共に、4000～7FFFhのアドレス空間が割り当てられる。チップ222は、拡張アドレス”10”が割り当てられると共に、8000～BFFFhのアドレス空間が割り当てられる。チップ223は、拡張アドレス”11”が割り当てられると共に、C000～FFFFhのアドレス空間が割り当てられる。

【0033】上記4枚のチップ220、221、222、223には、フラッシュメモリ200のパッケージ側部に設けるピン201～205、214～216を介して動作電圧Vcc、リセット信号RES#等の所定の信号が入力される他、1/00～1/07の端子が割り当てられたピン206～213を介して、データの書き込み又は読み出しコマンド、アクセスするセクタアドレスを指定する2バイト（16ビット）のアドレス信号、書き込みデータ又は読み出しデータの授受が行われる。

【0034】上記アドレス信号は、各1バイトのSA1、SA2よりなる16ビットのデータ（A0～A15）であり、0～FFFFhの値を取る。なお、1/00～1/07より1バイト単位でパラレルに入力される信号SA1、SA2と、上記セクタアドレスの指定に用いる16ビットのデータ（A0～A15）との対応は、上記表1と同じである。

【0035】1／06及び1／07の割り当てられたピン212及び213は、それぞれチップ220～223の拡張アドレス入力端子234及び235、236及び237、238及び239、240及び241に接続される。また、チップイネーブル端子228は、チップ220～223のチップイネーブル端子230～233に接続される。

【0036】各チップ220～223は、フラッシュメモリ200のチップイネーブル端子228を介して”L”のチップイネーブル信号CE#が入力されると共に、拡張アドレス入力端子（234及び235、236及び237、238及び239、240及び241）を介して入力されるアドレス信号のビットデータA14及びA15により特定される拡張アドレスの値（A15、A14）が、自己に割り当てられた拡張アドレスと一致する場合にのみアクセス可能な状態に切り換わる。当該構成を採用することで、上記実施の形態1のフラッシュメモリ100で用いたデコーダ121を不要にして、内部構成の簡単化を図ることができる。」

そして、引用文献1の上記記載事項を引用文献1の関連図面である図3－5と技術常識に照らし、下線部に着目すれば、引用文献1には、次の発明（以下、「引用発明」という。）が記載されているといえる。

「複数のチップ220～223で構成される複数の記憶アドレスと、
複数のチップ220～223の1つのチップを識別する拡張アドレス値を記憶するレジスタ部224～227と、
フラッシュメモリ200からデータを読み出す処理に対応する読み出しコマンドと、アドレスとを受信するための入力端子1／00～1／07と、
を備えるフラッシュメモリ200。」

（2）対比

本願発明1と引用発明を対比すると、次のことがいえる。

ア．引用発明の「複数のチップ220～223」、「複数の記憶アドレス」は、

それぞれ本願発明1の「複数のバンク」、「複数の記憶位置」に相当する。

イ．引用発明の「1つのチップ」、「拡張アドレス値」、「レジスタ部224～227」は、

それぞれ本願発明1の「第1バンク」、「拡張アドレス値」、「拡張アドレスレジスタ」に相当する。

ウ．引用発明の「フラッシュメモリ200」、「アドレス」、「入力端子1／00～1／07」は、

それぞれ本願発明1の「不揮発性メモリデバイス」、「アドレス」、「入力端子」に相当し、

引用発明の「データを読み出す処理に対応する読み出しコマンド」と、本願発明1の「隣接するブロックのデータを読み出す処理に対応する高速読み出しコマンド」は、「データを読み出す処理に対応する読み出しコマンド」である点で共通する。

したがって、本願発明1と引用発明の間には、次の一致点、相違点があるといえる。

（一致点）

「複数のバンクで構成される複数の記憶位置と、

前記複数のバンクの第1バンクを識別する拡張アドレス値を記憶する拡張アドレスレジスタと、

前記不揮発性メモリデバイスからデータを読み出す処理に対応する読み出しコマンドと、アドレスとを受信するための入力端子と、

を備えることを特徴とする不揮発性メモリデバイス。」

（相違点1）

本願発明1は、「拡張アドレス値」が「入力端子」を介して「受信」されているのに対し、

引用発明は、それに相当する構成を有するものではない点。

(相違点 2)

本願発明 1 は、「前記不揮発性メモリデバイスから隣接するブロックのデータを読み出す処理に対応する高速読み出しコマンド」を受信し、「前記拡張アドレスレジスタに記憶された前記拡張アドレス値と前記アドレスとで構成される組合せアドレスによって識別される記憶位置から始まって、前記組合せアドレスをインクリメントすることにより、前記複数のバンクの第 1 バンクと前記複数のバンクの第 2 バンクとの間の境界を横切って、前記隣接するバンクのデータにアクセスする制御部」を有しているのに対し、引用発明は、それに相当する構成を有するものではない点。

(3) 判断

ア. (相違点 1 について)

引用発明において、レジスタ部 224～227 に記憶する拡張アドレス値をどのように取得するかは、実装の際に当業者が適宜設計すべき単なる設計的事項である。引用発明における入力端子 I/O0～I/O7 を介して外部から拡張アドレス値を取得するように構成することも当業者であれば容易にし得る。

イ. (相違点 2 について)

当審は、原査定で引用された 2008-9874 号公報の記載、並びに、前置報告で引用された特開平 11-120075 号公報及び特開平 5-274215 号公報) を考慮しても、引用発明において上記相違点 2 を克服することは、容易であったとは言えないと判断する。

理由は次のとおりである。

(ア) 本願発明 1 は、拡張アドレスレジスタ (本願の図 1、4 の拡張アドレスレジスタ 224) に記憶された拡張アドレス値 (本願の図 4 のビット 31-24 の 8 ビット。上位 8 ビットを構成する。) と、アドレス (本願の図 4 のビット 23-0 の 24 ビットアドレス 402。下位 24 ビットを構成する。) とで構成される組合せアドレスを用いている。

しかし、引用文献 1 自体には、レジスタ部 224～227 に記憶された拡張アドレス値 (A15、A14) と、I/O0～I/O7 を介して入力されたアドレス (A0～A13) から組合せアドレスを構成することは記載されていない。引用文献 1 は、読み出しコマンドの際には常に A0～A15 を外部から受け取るものであり、上位ビットと下位ビットから構成される組合せアドレスを生成する技術思想は記載されていない。

(イ) 原査定で引用された 2008-9874 号公報 (段落【0028】-【0037】及び図 4 参照)、並びに、前置報告で引用された特開平 11-120075 号公報 (段落【0074】-【0077】及び図 9 参照) 及び特開平 5-274215 号公報 (段落【0013】-【0023】及び図 1 参照) には、アドレスをインクリメントすることにより隣接する物理ブロックや物理チップ (本願のバンクに相当) の境界を横切って高速読み出しを行うという周知技術が記載されている。

しかし、引用発明とこの周知技術をもってしても、本願の上記相違点 2 に係る「前記拡張アドレスレジスタに記憶された前記拡張アドレス値と前記アドレスとで構成される組合せアドレスによって識別される記憶位置から始まって、前記組合せアドレスをインクリメントすることにより、前記複数のバンクの第 1 バンクと前記複数のバンクの第 2 バンクとの間の境界を横切って、前記隣接するバンクのデータにアクセスする」構成を導き出すことはできない。

よって、引用発明において上記相違点を克服することは、容易であったとはいえない。

2. 請求項2-14に係る発明について

本願の請求項8に係る発明（以下、「本願発明8」という。）は、本願発明1の構成を備えた「システム」の発明であり、本願の請求項2-7、9-14に係る発明は、本願発明1または本願発明8をさらに限定したものであるもので、本願発明1と同様に当業者が引用発明に基づいて容易に発明をすることができたとはいえない。

第5 むすび

以上のとおり、本願の請求項1-14に係る発明は、いずれも、当業者が引用発明に基づいて容易に発明をすることができたものではないから、原査定理由によっては、本願を拒絶することはできない。

また、他に本願を拒絶すべき理由を発見しない。

よって、結論のとおり審決する。

平成27年10月14日

審判長	特許庁審判官	小曳 満昭
	特許庁審判官	桜井 茂行
	特許庁審判官	千葉 輝久

〔審決分類〕 P 1 8 . 1 2 1 - W Y (G 0 6 F)

審判長	特許庁審判官	小曳 満昭	8324
	特許庁審判官	千葉 輝久	8938
	特許庁審判官	桜井 茂行	2945