

審決

不服 2015-12454

大韓民国京畿道水原市靈通区三星路 129
請求人 三星電子株式会社

東京都港区芝一丁目 10 番 11 号 コスモ金杉橋ビル 4 階 萩原国際特許事務所
代理人弁理士 萩原 誠

特願 2010-280545 「フラッシュメモリ装置及びその読み出し方法」拒絶査定不服審判事件〔平成 23 年 8 月 25 日出願公開，特開 2011-165301〕について，次のとおり審決する。

結 論

本件審判の請求は，成り立たない。

理 由

第 1 手続の経緯

本願は，平成 22 年 12 月 16 日（パリ条約による優先権主張 2010 年 2 月 8 日（以下、「優先日」という），大韓民国）の出願であって，平成 26 年 6 月 13 日付けの拒絶理由通知に対して同年 9 月 12 日付けで意見，手続補正がなされたが，平成 27 年 2 月 27 日付けで拒絶査定（同年 3 月 3 日謄本発送）がなされ，これに対して同年 7 月 1 日に拒絶査定不服審判の請求がなされるとともに手続補正がなされ，同年 7 月 31 日付けで特許法第 164 条第 3 項に定める報告（前置報告）がなされたものである。

第 2 平成 27 年 7 月 1 日付けの手続補正についての補正却下の決定

〔補正却下の決定の結論〕

平成 27 年 7 月 1 日付けの手続補正（以下，「本件補正」という。）を却下する。

〔理由〕

1 補正の内容

（1）本件補正後の特許請求の範囲の記載

平成 27 年 7 月 1 日付けの手続補正は，平成 26 年 9 月 12 日付け手続補正により補正された特許請求の範囲の記載

「【請求項 1】

複数のメモリセルで構成されたメモリセルアレイと，
前記複数のメモリセルに対する読み出し動作を制御する制御ロジックと，
前記制御ロジックの制御に応答して，選択された複数のメモリセルの各々から硬判定データ及び複数の軟判定データを感知し，前記感知された硬判定データ及び複数の軟判定データを読み出し結果として出力するページバッファ回路と，

前記制御ロジックの制御に応答して，前記硬判定データ及び前記複数の軟判定データを読み出すための複数の読み出し電圧を発生する電圧発生回路とを含み，

前記複数の軟判定データは，隣接したスレッショルド電圧分布間で感知されることを特徴とするフラッシュメモリ装置。

【請求項 2】

前記電圧発生回路は前記硬判定データを読み出すための基準電圧と、前記複数の軟判定データを読み出すための複数の可変読み出し電圧とを発生することを特徴とする請求項1に記載のフラッシュメモリ装置。

【請求項3】

前記読み出し結果に含まれた前記複数の軟判定データは、前記ページバッファ回路で感知された形態に出力されるか、または信頼性データにエンコーディングされて出力されることを特徴とする請求項1に記載のフラッシュメモリ装置。

【請求項4】

前記信頼性データは前記ページバッファで内部的にエンコーディングされることを特徴とする請求項3に記載のフラッシュメモリ装置。

【請求項5】

前記読み出し結果は1ビットの前記硬判定データと i ビット（ i は正の整数）の前記信頼性データを含むことを特徴とする請求項3に記載のフラッシュメモリ装置。

【請求項6】

前記ページバッファ回路は前記選択されたメモリセルの各々に対応する複数のページバッファを含み、

前記各々のページバッファは前記複数の軟判定データの値に応答してラッチされた値がトグリングされることによって前記信頼性データをエンコーディングする複数の第1タイプのラッチと前記硬判定データをラッチする第2タイプのラッチとを含むことを特徴とする請求項3に記載のフラッシュメモリ装置。

【請求項7】

前記読み出し結果は1ビットの前記硬判定データと、 j ビット（ j は正の整数）の前記複数の軟判定データを含むことを特徴とする請求項1に記載のフラッシュメモリ装置。

【請求項8】

選択されたメモリセルの各々から硬判定データを読み出すための基準電圧と複数の可変読み出し電圧とを発生する段階と、

前記選択されたメモリセルの各々に対して前記基準電圧及び前記複数の可変読み出し電圧を印加して前記硬判定データと複数の軟判定データとを感知する段階と、

前記感知された前記硬判定データと複数の軟判定データを読み出し結果として出力する段階とを含み、

前記複数の軟判定データは、隣接したスレッシュホールド電圧分布間で感知され、前記感知された形態に出力されるか、または信頼性データにエンコーディングされて出力されることを特徴とするフラッシュメモリ装置の読み出し方法。

【請求項9】

前記信頼性データはページバッファで内部的にエンコーディングされることを特徴とする請求項8に記載のフラッシュメモリ装置の読み出し方法。

【請求項10】

前記信頼性データは前記選択されたメモリセルの各々に対応する前記複数の軟判定データの値に応答して、前記選択されたメモリセルの各々に対応するページバッファの少なくとも2つのラッチにラッチされた値がトグリングされてエンコーディングされることを特徴とする請求項8に記載のフラッシュメモリ装置の読み出し方法。」（以下、この特許請求の範囲に記載された請求項を「補正前の請求項」という。）を、

「【請求項1】

複数のメモリセルで構成されたメモリセルアレイと、

前記複数のメモリセルに対する読み出し動作を制御する制御ロジックと、

前記制御ロジックの制御に応答して、選択された複数のメモリセルの各々から硬判定データ及び複数の軟判定データを感知し、前記感知された硬判定データ及び複数の軟判定データを読み出し結果として出力するページバッファ回路と、

前記制御ロジックの制御に応答して、前記硬判定データ及び前記複数の軟判定データを読み出すための複数の読み出し電圧を発生する電圧発生回路とを含み、

前記複数の軟判定データは、隣接したスレッシュホールド電圧分布間で感知され、

前記読み出し結果に含まれた前記複数の軟判定データは、信頼性データにエンコーディングされて出力され、

前記ページバッファ回路は前記選択されたメモリセルの各々に対応する複数のページバッファを含み、

前記各々のページバッファは前記複数の軟判定データの値にตอบสนองしてラッチされた値がトグルリングされることによって前記信頼性データをエンコーディングする複数の第1タイプのラッチと前記硬判定データをラッチする第2タイプのラッチとを含み、

前記信頼性データは、前記複数の第1タイプのラッチにおいてエンコーディングされることにより、前記複数の軟判定データを表現するのに必要なビット数よりも少ないビット数で表現されることを特徴とするフラッシュメモリ装置。

【請求項2】

前記電圧発生回路は前記硬判定データを読み出すための基準電圧と、前記複数の軟判定データを読み出すための複数の可変読み出し電圧とを発生することを特徴とする請求項1に記載のフラッシュメモリ装置。

【請求項3】

前記信頼性データは前記ページバッファで内部的にエンコーディングされることを特徴とする請求項1に記載のフラッシュメモリ装置。

【請求項4】

前記読み出し結果は1ビットの前記硬判定データと*i*ビット（*i*は正の整数）の前記信頼性データを含むことを特徴とする請求項1に記載のフラッシュメモリ装置。

【請求項5】

選択されたメモリセルの各々から硬判定データを読み出すための基準電圧と複数の可変読み出し電圧とを発生する段階と、

前記選択されたメモリセルの各々に対して前記基準電圧及び前記複数の可変読み出し電圧を印加して前記硬判定データと複数の軟判定データとを感知する段階と、

前記感知された前記硬判定データと複数の軟判定データを読み出し結果として出力する段階とを含み、

前記複数の軟判定データは、隣接したスレッシュホールド電圧分布間で感知され、信頼性データにエンコーディングされて出力され、

前記信頼性データは前記選択されたメモリセルの各々に対応する前記複数の軟判定データの値にตอบสนองして、前記選択されたメモリセルの各々に対応するページバッファの少なくとも2つのラッチにラッチされた値がトグルリングされてエンコーディングされ、

前記信頼性データは、前記少なくとも2つのラッチにおいてエンコーディングされることにより、前記複数の軟判定データを表現するのに必要なビット数よりも少ないビット数で表現されることを特徴とするフラッシュメモリ装置の読み出し方法。

【請求項6】

前記信頼性データはページバッファで内部的にエンコーディングされることを特徴とする請求項5に記載のフラッシュメモリ装置の読み出し方法。」

（以下、この特許請求の範囲に記載された請求項を「補正後の請求項」という。）

に補正するものである。

（2）補正事項

補正前の請求項と、補正後の請求項とを比較すると、補正前の請求項

1, 3, 6は、補正後の請求項1として補正され、補正前の請求項8, 10は、補正後の請求項5として補正され、補正前の請求項4, 5, 9は、項番のみ補正され、補正前の請求項2, 4, 5, 9は、補正後の請求項2, 3, 4, 6に対応することが明らかである。

よって、本件補正は、下記の補正事項1乃至5よりなるものである。

<補正事項1>

補正前の請求項１の「軟判定データ」について、「前記読み出し結果に含まれた前記複数の軟判定データは、信頼性データにエンコーディングされて出力され」との限定事項を追加し、補正後の請求項１とする補正。

<補正事項２>

補正前の請求項１の「ページバッファ回路」について、「前記ページバッファ回路は前記選択されたメモリセルの各々に対応する複数のページバッファを含み、前記各々のページバッファは前記複数の軟判定データの値にตอบสนองしてラッチされた値がトグリングされることによって前記信頼性データをエンコーディングする複数の第１タイプのラッチと前記硬判定データをラッチする第２タイプのラッチとを含み」との限定事項を追加し、補正後の請求項１とする補正。

<補正事項３>

補正前の請求項１の「信頼性データ」について、「前記信頼性データは、前記複数の第１タイプのラッチにおいてエンコーディングされることにより、前記複数の軟判定データを表現するのに必要なビット数よりも少ないビット数で表現される」との限定事項を追加し、補正後の請求項１とする補正。

<補正事項４>

補正前の請求項８の「信頼性データ」について、「前記信頼性データは前記選択されたメモリセルの各々に対応する前記複数の軟判定データの値にตอบสนองして、前記選択されたメモリセルの各々に対応するページバッファの少なくとも２つのラッチにラッチされた値がトグリングされてエンコーディングされ」との限定事項を追加し、補正後の請求項５とする補正。

<補正事項５>

補正前の請求項８の「信頼性データ」について、「前記信頼性データは、前記少なくとも２つのラッチにおいてエンコーディングされることにより、前記複数の軟判定データを表現するのに必要なビット数よりも少ないビット数で表現される」との限定事項を追加し、補正後の請求項５とする補正。

２ 新規事項及び技術的特徴の変更（シフト補正）の要件

本件補正は、願書に最初に添付した明細書、特許請求の範囲又は図面に記載した事項の範囲内においてなされており特許法第１７条の２第３項の規定に適合しているか、及び、特別な技術的特徴を変更（シフト補正）をしようとするものではなく、特許法第１７条の２第４項の規定に適合しているかについて、以下に検討する。

（１）補正事項１は、補正前の請求項３に記載された事項に基づいてなされたものである。

（２）補正事項２は、補正前の請求項６に記載された事項に基づいてなされたものである。

（３）補正事項３及び５は、願書に最初に添付した明細書、特許請求の範囲又は図面に記載した事項から、直接的な記載が確認できないものの、上記平成２７年７月１日付け拒絶査定不服審判の請求において「（ｇ）の補正は、明細書段落【００４９】～【００６０】、図面８の記載に基づくものである。」との主張を参酌すると、本願明細書（【００４９】）には「７回の繰り返された読み出し動作で感知されるデータ形態は図７と同一であるが、実際に出力されるデータは図８のように所定のデータパターンを有する。（中略）ページバッファＰＢを通じて出力される読み出しデータは１ビットの硬判定データと２ビットの信頼性データとで構成することができる。」と記載されていることから、７回の繰り返された読み出し動作で感知されるデータ形態を１ビットの硬判定データと２ビットの信頼性データを構成することが記載されていると解せる。また、【００５０】乃至【００６０】には、スレッシュホールド電圧の分布の各区間に属するメモリセルから感知された読み出し結果は、軟判定データ（６ビット）と硬判定データ（１ビット）の値をラッチされ、トグリングまたは状態をそのまま維持することを繰り返す、信

信頼性データ（２ビット）と硬判定データ（１ビット）として表現（エンコード）していることから、信頼性データは、判定データを表現するのに必要なビット数（７ビット）より少ないビット数（２ビット）と解せることから、「信頼性データ」に追加する限定事項の態様が記載されていると認められる。また、本件補正により、特別な技術的特徴を変更（シフト補正）をしようとするものでないことも明らかである。

（４）補正事項４は、補正前の請求項１０に記載された事項に基づいてなされたものである。

（５）以上のことから、本件補正は、願書に最初に添付した明細書、特許請求の範囲又は図面に記載した事項の範囲内においてなされており、特許法第１７条の２第３項の規定に適合している。

また、本件補正は、特別な技術的特徴を変更（シフト補正）をしようとするものではなく、特許法第１７条の２第４項の規定に適合している。

３ 目的要件

本件補正は、上記平成２７年７月１日付け拒絶査定不服審判の請求と同時にする手続補正であり、特許請求の範囲について補正をしようとするものであるから、本件補正が、特許法第１７条の２第５項の規定を満たすものであるか否か、すなわち、本件補正が、特許法第１７条の２第５項に規定する請求項の削除、特許請求の範囲の減縮（特許法第３６条第５項の規定により請求項に記載した発明を特定するために必要な事項を限定するものであって、その補正前の当該請求項に記載された発明とその補正後の当該請求項に記載される発明の産業上の利用分野及び解決しようとする課題が同一であるものに限る）、誤記の訂正、或いは、明りょうでない記載の釈明（拒絶理由通知に係る拒絶の理由に示す事項についてするものに限る）の何れかを目的としたものであるかについて、以下に検討する。

（１）補正事項１乃至５について

補正事項１乃至５は、補正前の請求項１および８の発明特定事項の限定を目的とするものであり、本件補正によっても、補正前の請求項に記載された発明とその補正後の請求項に記載される発明の産業上の利用分野及び解決しようとする課題は同一であることは明らかである。

したがって、上記補正事項１乃至５は限定的減縮を目的とするものであり、本件補正は、特許法第１７条の２第５項第１号に掲げる請求項の削除及び特許法第１７条の２第５項第２号に掲げる特許請求の範囲の減縮を目的とするものに該当すると言えることから、特許法第１７条の２第５項の規定に適合するものである。

４ 独立特許要件

本件補正は、特許法第１７条の２第５項第２号に掲げる特許請求の範囲の減縮（限定的減縮）を目的とする上記補正事項１乃至５を含むものである。そこで、限定的減縮を目的として補正された補正後の請求項１に記載された発明（以下、「本件補正発明」という。）が特許出願の際独立して特許を受けることができるものであるか（特許法第１７条の２第６項において準用する同法第１２６条第７項の規定に適合するか）以下に検討する。

（１）本件補正発明

本件補正発明は、上記平成２７年７月１日付けの手続補正により補正された特許請求の範囲、明細書及び図面の記載からみて、その特許請求の範囲の請求項１に記載された以下のとおりのもものと認める。

「複数のメモリセルで構成されたメモリセルアレイと、
前記複数のメモリセルに対する読み出し動作を制御する制御ロジックと、
前記制御ロジックの制御に応答して、選択された複数のメモリセルの各々から硬判定データ及び複数の軟判定データを感知し、前記感知された硬判定データ及び複数の軟判定データを読み出し結果として出力するページバッファ回路と、
前記制御ロジックの制御に応答して、前記硬判定データ及び前記複数の軟

判定データを読み出すための複数の読み出し電圧を発生する電圧発生回路とを含み、

前記複数の軟判定データは、隣接したスレッショルド電圧分布間で感知され、

前記読み出し結果に含まれた前記複数の軟判定データは、信頼性データにエンコーディングされて出力され、

前記ページバッファ回路は前記選択されたメモリセルの各々に対応する複数のページバッファを含み、

前記各々のページバッファは前記複数の軟判定データの値に応答してラッチされた値がトグルリングされることによって前記信頼性データをエンコーディングする複数の第1タイプのラッチと前記硬判定データをラッチする第2タイプのラッチとを含み、

前記信頼性データは、前記複数の第1タイプのラッチにおいてエンコーディングされることにより、前記複数の軟判定データを表現するのに必要なビット数よりも少ないビット数で表現されることを特徴とするフラッシュメモリ装置。」

(2) 引用文献

(2-1) 引用文献に記載されている技術的事項

本願の優先日前に頒布され、原審の拒絶査定理由である平成26年6月13日付けの拒絶理由通知において引用された特開2008-16092号公報(平成20年1月24日出願公開、以下、「引用文献1」という。)には、以下の技術的事項が記載されている。

(当審注：下線は、参考のために当審で付与したものである。)

A「【0001】

本発明は、不揮発性半導体記憶システムに関し、特に、1つのメモリセルに2ビット以上のデータ(複数ビットデータ)を記憶可能な不揮発性半導体記憶装置を備えた不揮発性半導体記憶システムに関する。

(中略)

【0021】

[メモリ構成]

図4は、不揮発性半導体記憶システムの一例として、4値(2ビット)を記憶するNANDセル型フラッシュメモリを備えたシステムの構成を示している。このフラッシュメモリは、データを記憶するメモリセルをマトリクス状に配置してなるメモリセルアレイ1を備えている。メモリセルアレイ1は複数のビット線と複数のワード線と共通ソース線を含み、ビット線とワード線の交点に電氣的にデータを書き換え可能なメモリセルがマトリクス状に配置されている。メモリセルには、情報ビットとしての多値データに加え、情報ビットに誤り訂正のために付加される冗長データ、上述のフラグデータFLAGが格納され得る。

【0022】

このメモリセルアレイ1には、ビット線を制御するためのビット制御回路2、及びワード線電圧を制御するためのワード線制御回路6が接続されている。すなわち、ビット線制御回路2は、ビット線を介してメモリセルアレイ1中のメモリセルのデータを読み出す機能に加え、読み出しデータや書き込みデータを保持するデータラッチ機能を有するセンスアンプ兼データラッチ回路である。またビット線制御回路2は、ビット線を介してメモリセルアレイ1中のメモリセルに書き込み制御電圧を印加してメモリセルに書き込みを行う。

【0023】

ビット線制御回路2には、カラムデコーダ3、データ入出力バッファ4及びデータ入出力端子5及びコントローラ11が接続されている。メモリセルアレイ1から読み出されたメモリセルのデータは、ビット線制御回路2、データ入出力バッファ4及びコントローラ11を介してデータ入出力端子5から外部へ出力される。メモリセルアレイ1、ビット線制御回路2、カラムデコーダ3、データ入出力バッファ4、ワード線制御回路6及び制御信号入力端子8が不揮発性半導体記憶装置100を構成し、これにコントローラ11及びデータ入出力端子5が加わって不揮発性半導体記憶システムが構成されている。また、外部からデータ入出力端子5に入力された書き込みデータは、データ入出力バッファ4を介して、カラムデコーダ3に

よってビット線制御回路2に入力され、指定されたメモリセルへの書き込みが行われる。

【0024】

また、メモリセルアレイ1、ビット線制御回路2、コラムデコーダ3、データ入出力バッファ4、ワード線制御回路6及びコントローラ11は、制御回路7に接続されている。制御回路7は、制御信号入力端子8に入力される制御信号に従い、メモリセルアレイ1、ビット線制御回路2、コラムデコーダ3、データ入出力バッファ4、ワード線制御回路6及びコントローラ11を制御するための制御信号及び制御電圧を発生させる。

【0025】

ワード線制御回路6は、読み出し動作において、4値データの4つの閾値分布(図1)のうちの1つの上限と、より値の大きい他の閾値分布の下限との間の複数ビットデータ読み出し電圧(図1ではVA、VB、VC)やベリファイ電圧をワード線電圧としてワード線WLに印加する制御を行う。

【0026】

これに加え、ワード線制御回路6は、後述する軟値の生成のため、4つの閾値分布の各々の上限と下限との間の大きさを有する複数通りの電圧(軟値読み出し電圧)をワード線電圧としてワード線WLに印加する制御を行う。詳しくは後述する。

(中略)

【0033】

図5は、図1に示すメモリセルアレイ1及びビット線制御回路2の構成を示している。メモリセルアレイ1はNANDセル型メモリセルアレイであり、複数のNANDセルを含んで構成されている。1つのNANDセルは、直列接続された例えば16個のEEPROMからなるメモリセルMCと、その両端に接続される選択ゲートS1、S2とにより構成されている。選択ゲートS1はビット線BL0に接続され、選択ゲートS2はソース線SRCに接続されている。

【0034】

同一のロウに配置されたメモリセルMCの制御ゲートはワード線WL1、WL2、WL3・・・WL16に共通接続されている。また、第1の選択ゲートS1はセレクト線SG1に共通接続され、第2の選択ゲートS2はセレクト線SG2に共通接続されている。

【0035】

メモリセルアレイ1は、破線で示すように、複数のブロックを含んでいる。各ブロックは、複数のNANDセルにより構成され、このブロック単位でデータが消去される。また、消去動作は、データ記憶回路10、フラグ用データ記憶回路10aに接続されている2本のビット線について同時に行なわれる。

【0036】

ビット線制御回路2は、複数のデータ記憶回路10及びフラグ用データ記憶回路10aを有している。各データ記憶回路10及びフラグ用データ記憶回路10aには、一对のビット線(BL0、BL1)、(BL2、BL3)・・・(BLi、BLi+1)、(BL、BL)が接続されている。各データ記憶回路10は、メモリセルMCから読み出されるデータを保持する機能を有すると共に、メモリセルMCに書き込まれるデータを保持する機能を有する。また、後述するように、複数ビットデータ記憶及び複数ビットデータ読み出しを行う際、また後述するように軟値データの生成を行なう際、内部データを操作する役割を有する。

【0037】

また、ビット線BLiの1つおきに配置され、1つのワード線WLiに接続された複数のメモリセル(破線で囲まれた範囲のメモリセル)は、1セクタを構成する。このセクタ毎にデータが書き込まれ、読み出される。1セクタには例えば2ページ分のデータが記憶される。また、各ワード線WLには、フラグデータFLAGを記憶するためのフラグセルFCが接続されている。前述したように、このフラグセルFCに記憶されるフラグデータFLAGは、メモリセルMCに対する下位ページデータの書き込み動作が終了した段階では“1”とされ、上位ページデータの書き込みが終了した段階では“0”とされる。

【0038】

リード動作、プログラムベリファイ動作及びプログラム動作時において、

データ記憶回路10に接続されている2本のビット線
(BL_i , BL_{i+1})のうち外部より指定されたアドレス信号
(YA_1 , $YA_2 \dots YA_i$, YA_{flag})に応じて1本のビット線が選択
される。さらに、外部アドレスに応じて、1本のワード線が選択され、1セ
クタ(2ページ分)が選択される。この2ページの切り替えはアドレスに
よって行われる。

(中略)

【0041】

図8は、メモリセルアレイの1つのNANDセルの断面を示している。こ
の例において、1つのNANDセルは、図6に示す構成の16個のメモリセ
ルMCが直列接続されて構成されている。NANDセルのドレイン側、ソー
ス側には、図7に示す構成の第1の選択ゲートS1, S2が設けられてい
る。

【0042】

データ記憶回路10の構成例を図9を参照して説明する。なお、データ記
憶回路10aの構成も略同様であるので説明を省略する。このデータ記憶回
路10は、プライマリデータキャッシュ(PDC)、セコンダリデータ
キャッシュ(SDC)、ダイナミックデータキャッシュ(DDC)、テンポ
ラリデータキャッシュ(TDC)を有している。

【0043】

SDC, PDC, DDCは、書き込み時に入力データを保持し、読み出し
時に読み出しデータを保持し、ベリファイ時に一時的にデータを保持し、複
数ビットデータを記憶する際に内部データの操作のためのデータ記憶を司
る。TDCは、データの読み出し時にビット線のデータを増幅し、一時的に
保持するとともに、複数ビットデータを記憶する際に内部データの操作に使用
される。

【0044】

SDCは、ラッチ回路を構成するクロックドインバータ回路
61a, 61bと、トランジスタ61c, 61dとにより構成されている。
トランジスタ61cはクロックドインバータ回路61aの入力端と、クロッ
クドインバータ回路61bの入力端の間に接続され、そのゲートに信号
EQ2を供給されている。」

B 「【0070】

〔読出し動作〕

続いて、通常の4値データの読出し動作を、下位ページデータの読出しと
上位ページデータの読出しに分けて説明する。

【0071】

図13は、下位ページデータの読出しの手順をフローチャートで示してい
る。まず、アドレスを指定し、図5に示す1セクタを選択する。続いて選択
ワード線の電位をVAとして読み出し動作を行い(S31)、フラグセル
FCのフラグデータFLAGが“0”か“1”であるかを判別する

(S32)。

【0072】

フラグセルFCから読み出されたフラグデータFLAGが“1”の場合、
上位ページデータの書き込みは完了しておらず、このため、メモリセルMC
の閾値電圧の分布は、図2のようになっている。このデータは、ワード線の
電位をVAにして読み出し動作をすればよく、従って既にデータ記憶回路
10に読み出されている。このため、データ記憶回路10に記憶されている
データを外部に出力して読み出しを行う(S33)。

【0073】

一方、フラグセルFCから読み出されたフラグデータFLAGが“0”
(メモリセルのデータが“1”)の場合、上位ページデータの書き込みが行
われており、したがってメモリセルMCの閾値電圧分布は、図3に示すよう
になっている。従って、ワード線の電位をVBに設定して読み出し動作を行
い(S34)、この後、データ記憶回路10に読み出されたデータを外部に
出力する(S33)。このときのデータ記憶回路10中の各データキャッ
シュの動作は、書き込みベリファイ動作のときと略同様である。

【0074】

続いて、上位ページデータの読出し動作の手順を図13のフローチャート

を参照して説明する。上位ページデータの読み出しでは、まず、アドレスを指定し、図5に示す1セクタを選択する。続いて、ワード線の電位をVCとして読み出しを行う(S35)。これにより、閾値電圧がVCより低いメモリセルからは“1”が読み出され、閾値電圧がVCより高いメモリセルからは“0”が読み出され、このデータは、仮の上位ページデータUpper(pre1)としてTDCに保持される。TDCに保持されたデータUpper(pre1)は、一端トランジスタ61hがオンとされてPDCに転送された後、トランジスタ61sAをオンとすることによりDDCAに保持される。

【0075】

この後、ワード線電位をVAとして読み出し動作を行って(S36)、フラグセルFCのフラグデータFLAGが“0”か“1”であるかを判別する(S37)。

【0076】

この結果、フラグセルFCのフラグデータFLAGが“1”で、上位ページの書き込みが行なわれていない場合、出力データを“1”に固定する(S38)。出力を“1”にするには、データ記憶回路10の信号PRSTを“H”とし、SDCを“1”に設定する。あるいは、データ入出力バッファ4よりデータ“1”しか出力させないようにする。

【0077】

また、フラグセルのフラグデータFLAGが“0”の場合、DDCAに保持されているデータUpper(pre1)と、新たに読み出されるデータUpper(pre2)とに基づいて、上位ページデータUpperを読み出す(S39)。この読み出しにおけるデータ記憶回路10の具体的な動作を以下に説明する。

【0078】

新たに読み出されたデータUpper(pre2)はTDCに保持される。このとき、VPREを接地電位とした状態において、トランジスタ61qAのゲートの信号REGAを“H”とする。このとき、DDCAに保持されているデータUpper(pre1)が“0”すなわちトランジスタ61rAのゲートの電位が“H”である場合には、ノードN3の電圧は放電される。一方、DDCAに保持されているデータUpper(pre1)が“1”すなわちトランジスタ61rAのゲートの電位が“L”である場合には、ノードN3の電圧は変化しない。すなわち、DDCAに保持されているデータUpper(pre1)が“0”である場合において、新たなデータUpper(pre2)は強制的に“1”に反転させられる。

【0079】

以上のような動作が行なわれた後におけるTDCの保持データをSDCに転送後外部へ上位ページデータUpperとして出力する。データUpper(pre1)と、出力される上位ページデータUpperとの関係は、図14に示すようになっている。以上のような手順で下位ページデータLowerと、上位ページデータUpperとが読み出され、4値データの読み出しが完了する。」

C 「【0082】

この図15では、軟値読み出し電圧(4)～(7)は、それぞれデータ“11”、“01”、“10”、“00”それぞれの閾値分布の中点付近(上限と下限の略中間)の電圧である。また、その他の軟値読み出し電圧(8)～(15)は、軟値読み出し電圧(4)～(7)と共に、各閾値分布を略等間隔に分割するように設定している。すなわち、
(i) 軟値読み出し電圧(4)、(8)、(9)は、データ“00”の閾値分布を略等間隔に分割するように設定されており、
(ii) 軟値読み出し電圧(5)、(10)、(11)は、データ“10”の閾値分布を略等間隔に分割するように設定されており、
(iii) 軟値読み出し電圧(6)、(12)、(13)は、データ“00”の閾値分布を略等間隔に分割するように設定されており、
(iv) 軟値読み出し電圧(7)、(14)、(15)は、データ“11”の閾値分布を略等間隔に分割するように設定されている。

【0083】

これは、あくまでも閾値分布が略ガウス分布形状とされている場合の一例でありこの例に限定されるものではない。分布の形状によっては、各閾値分

布においてやや偏った間隔で分割してもよい。また、各閾値分布の分割数すなわち各閾値分布に含まれる軟値読み出し電圧の数も、3つに限らず4つ又はそれ以上にしてもよい。

【0084】

次に、この軟値データの具体的な生成手順を図15を参照して説明する。まず、図12、図13で説明したように、ワード線電圧を順に(1)複数ビットデータ読み出し電圧VB、(2)複数ビットデータ読み出し電圧VC、(3)複数ビットデータ読み出し電圧VAに設定して、下位ページデータLower、仮の上位ページデータUpper(pre1)、上位ページデータUpperを読み出す。

【0085】

図15の下半分に記載された“1”、“0”のマトリクス表示は、ワード線電圧が(1)、(2)、・・・、(15)と変化された場合における、当該メモリセルの閾値電圧の大きさと、得られるページデータ、及び軟値(軟値1(pre1)、軟値2(pre1)、軟値1、軟値2)を示している。

【0086】

次に、ワード線電圧は、各閾値分布の上限と下限の中間付近の軟値読み出し電圧(4)～(7)に、その順で(すなわち段階的に高い方から低い方へ下げられて)設定される。まず軟値読み出し電圧(4)が設定された場合に読み出される軟値データ軟値1(pre1)は、データ“00”の閾値分布の右半分より大きい閾値電圧を有するメモリセルについてのみデータ“0”として読み出され、それ以外では“1”として読み出される。この読み出された軟値1(pre1)は、一旦TDCに保持され、PDCを経てDDCAに保持される。

【0087】

次に、軟値読み出し電圧(5)を設定して軟値データ軟値1(pre2)を読み出す。この軟値1(pre2)は、データ“10”の閾値分布の右半分より大きい閾値電圧を有するメモリセルについてのみがデータ“0”として読み出され、それ以外は“1”として読み出されて、TDCに保持される。ただし、軟値1(pre1)はDDCAに保持されており、もし、DDCAに保持されている軟値1(pre1)が“0”であった場合には、TDCに保持されたデータは強制的に“1”に反転させられる(図15の矢印参照)。すなわち、軟値読み出し電圧を段階的に小さくしていった場合に、第1の軟値読み出し電圧と、これより一段階小さい第2の軟値読み出し電圧とがいずれもメモリセルを導通させなかった場合に、第2の軟値読み出し電圧で得られたデータを反転させて軟値とするものである。

【0088】

以下同様に、軟値読み出し電圧(6)、(7)がワード線電圧として印加され、1つ前の軟値1(pre1)が“0”であった場合にはデータ反転がなされる。軟値読み出し電圧(7)により生成されるデータが軟値1であり、これが後述する軟値2と共に、尤度計算回路102における尤度計算に用いられる。

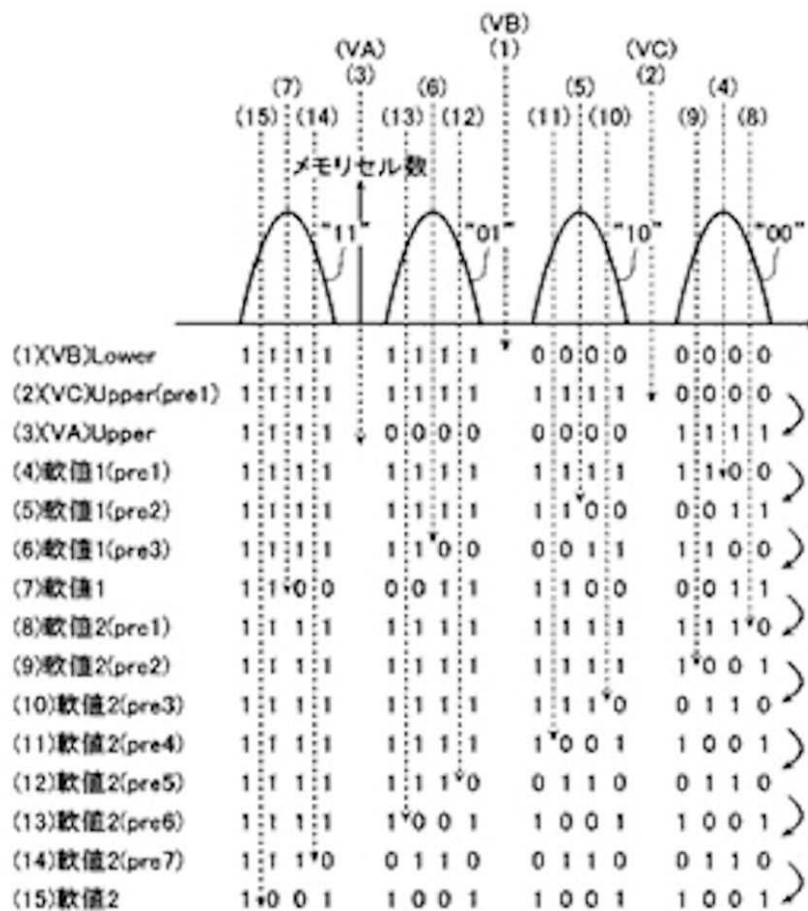
【0089】

続いて、ワード線電圧は、軟値読み出し電圧(8)～(15)に、その順で(すなわち段階的に高い方から低い方へ下げられて)設定される。DDCAに保持されている1つ前の軟値が“0”であった場合にデータ反転がなされる点は(4)～(7)の場合と同様である。軟値読み出し電圧(15)がワード線電圧として印加されて生成される軟値2が、軟値1とともに尤度計算回路102において尤度計算のために用いられる。

【0090】

本実施の形態の不揮発性半導体記憶装置では、以上の軟値生成手順の実行と並行して、軟値取得に先立って取得済みの複数ビットデータ及び冗長データに基づく第1誤り訂正回路101における誤り検出及び誤り訂正を実行することができる。第1誤り訂正回路101における誤り検出・訂正の結果、誤りがすべて訂正された場合には、並行して生成されていた軟値は不要となるので廃棄され、第1誤り訂正回路101による訂正データが出力制御回路104から出力される。第2誤り訂正回路103は、冗長データに基づく第1誤り訂正回路101により誤り訂正が失敗したと判定される場合に、複数ビットデータ及び冗長データに加え、尤度計算回路102で軟値を用いて計算された尤度に基づく誤り訂正を開始する。このような並行処理が実行されることにより、データ転送のスループット向上を図ることができる。」

【図 15】



(2-2) 引用発明の認定

ア 上記Aには「本発明は、不揮発性半導体記憶システムに関し、特に、1つのメモリセルに2ビット以上のデータ（複数ビットデータ）を記憶可能な不揮発性半導体記憶装置を備えた不揮発性半導体記憶システムに関する（中略）図4は、不揮発性半導体記憶システムの一例として、4値（2ビット）を記憶するNANDセル型フラッシュメモリを備えたシステムの構成を示している」と記載されていることから、引用文献1には、
“4値を記憶するNANDセル型フラッシュメモリを備えた不揮発性半導体記憶システム”が記載されていると認められる。

イ 上記Aには「このフラッシュメモリは、データを記憶するメモリセルをマトリックス状に配置してなるメモリセルアレイ1を備えている。メモリセルアレイ1は複数のビット線と複数のワード線と共通ソース線を含み、ビット線とワード線の交点に電氣的にデータを書き換え可能なメモリセルがマトリックス状に配置されている」と記載されていることから、引用文献1の“不揮発性半導体記憶システム”には、
“データを記憶するメモリセルをマトリックス状に配置してなるメモリセルアレイ”が記載されていると認められる。

ウ 上記Aには「メモリセルアレイ1、ビット線制御回路2、カラムデコーダ3、データ入出力バッファ4、ワード線制御回路6及びコントローラ11は、制御回路7に接続されている。制御回路7は、制御信号入力端子8に入力される制御信号に従い、メモリセルアレイ1、ビット線制御回路2、カラムデコーダ3、データ入出力バッファ4、ワード線制御回路6及びコントローラ11を制御するための制御信号及び制御電圧を発生させる。」と記載

されていることから、引用文献1の“不揮発性半導体記憶システム”には、“メモリセルアレイ、ビット線制御回路、カラムデコーダ、データ入出力バッファ、ワード線制御回路及びコントローラを制御するための制御信号及び制御電圧を発生させる制御回路”が記載されていると認められる。

エ 上記Aには「メモリセルアレイ1、ビット線制御回路2、カラムデコーダ3、データ入出力バッファ4、ワード線制御回路6及びコントローラ11は、制御回路7に接続されている。制御回路7は、制御信号入力端子8に入力される制御信号に従い、メモリセルアレイ1、ビット線制御回路2、カラムデコーダ3、データ入出力バッファ4、ワード線制御回路6及びコントローラ11を制御するための制御信号及び制御電圧を発生させる。」と記載されていることから、引用文献1には“制御回路がメモリセルアレイとビット線制御回路を制御するための制御信号及び制御電圧を発生”することが記載されているといえる。

上記Aには「各データ記憶回路10は、メモリセルMCから読み出されるデータを保持する機能を有すると共に、メモリセルMCに書き込まれるデータを保持する機能を有する。また、後述するように、複数ビットデータ記憶及び複数ビットデータ読み出しを行う際、また後述するように軟値データの生成を行なう際、内部データを操作する役割を有する」と記載され、上記Bには「図13は、下位ページデータの読み出しの手順をフローチャートで示している。まず、アドレスを指定し、図5に示す1セクタを選択する（中略）このデータは、ワード線の電位をVAにして読み出し動作をすればよく、従って既にデータ記憶回路10に読み出されている。このため、データ記憶回路10に記憶されているデータを外部に出力して読み出しを行う（中略）続いて、上位ページデータの読み出し動作の手順を図13のフローチャートを参照して説明する。上位ページデータの読み出しでは、まず、アドレスを指定し、図5に示す1セクタを選択する（中略）以上のような動作が行なわれた後におけるTDCの保持データをSDCに転送後外部へ上位ページデータUpperとして出力する」と記載されていることから、引用文献1には、“読み出し手順に従い、アドレスを指定しセクタを選択し、上位ページデータ、下位ページデータ、軟値データを読み出し、上位ページデータ、下位ページデータ、軟値データを読み出した結果として出力するデータ記憶回路”が記載されているといえる。

上記Cには「図15の下半分に記載された“1”、“0”のマトリクス表示は、ワード線電圧が（1）、（2）、・・・、（15）と変化された場合における、当該メモリセルの閾値電圧の大きさと、得られるページデータ、及び軟値（軟値1（prei）、軟値2（prei）、軟値1、軟値2）を示している」と記載されていることから、軟値データには、「軟値（軟値1（prei）、軟値2（prei）、軟値1、軟値2）」があるといえることから、引用文献1には“下位ページデータ、上位ページデータ、軟値（軟値1（prei）、軟値2（prei）、軟値1、軟値2）を読み出すデータ記憶回路”が記載されているといえる。

以上のことから、引用文献1の“不揮発性半導体システム”には、“制御回路がメモリセルアレイとビット線制御回路を制御するための制御信号及び制御電圧を発生し、読み出し手順に従い、アドレスを指定しセクタを選択し、下位ページデータ、上位ページデータ、軟値（軟値1（prei）、軟値2（prei）、軟値1、軟値2）を読み出し、下位ページデータ、上位ページデータ、軟値1及び軟値2を読み出し結果として出力するデータ記憶回路”が記載されていると認められる。

オ 上記Aには「メモリセルアレイ1、ビット線制御回路2、カラムデコーダ3、データ入出力バッファ4、ワード線制御回路6及びコントローラ11は、制御回路7に接続されている。制御回路7は、制御信号入力端子8に入力される制御信号に従い、メモリセルアレイ1、ビット線制御回路2、カラムデコーダ3、データ入出力バッファ4、ワード線制御回路6及びコントローラ11を制御するための制御信号及び制御電圧を発生させる」と記載されていることから、引用文献1には“制御回路がワード線制御回路を制御するための制御信号及び制御電圧を発生”することが記載されているといえる。

上記Aには「ワード線制御回路6は、読み出し動作において、4値データの4つの閾値分布（図1）のうちの1つの上限と、より値の大きい他の閾値

分布の下限との間の複数ビットデータ読み出し電圧（図 1 では V_A , V_B , V_C ）やベリファイ電圧をワード線電圧としてワード線WLに印加する制御を行う」と記載されていることから、引用文献 1 には“データを読み出すために、選択ワード線の電位を閾値電圧にするワード線制御回路”が記載されている。

上記 C には「次に、この軟値データの具体的な生成手順を図 15 を参照して説明する。まず、図 12、図 13 で説明したように、ワード線電圧を順に（1）複数ビットデータ読み出し電圧 V_B 、（2）複数ビットデータ読み出し電圧 V_C 、（3）複数ビットデータ読み出し電圧 V_A に設定して、下位ページデータ Lower、仮の上位ページデータ Upper（pre1）、上位ページデータ Upper を読み出す（中略）図 15 の下半分に記載された“1”、“0”のマトリクス表示は、ワード線電圧が（1）、（2）、・・・、（15）と変化された場合における、当該メモリセルの閾値電圧の大きさと、得られるページデータ、及び軟値（軟値 1（pre1）、軟値 2（pre2）、軟値 1、軟値 2）を示している」と記載されていることから、引用文献 1 には“下位ページデータ、上位ページデータ、軟値（軟値 1（pre1）、軟値 2（pre2）、軟値 1、軟値 2）を読み出すために、選択ワード線の電位を閾値電圧とするワード線制御回路”が記載されているといえる。

以上のことから、引用文献 1 の“不揮発性半導体システム”には、“制御回路がワード線制御回路を制御するための制御信号及び制御電圧を発生し、下位ページデータ、上位ページデータ、軟値（軟値 1（pre1）、軟値 2（pre2）、軟値 1、軟値 2）を読み出すために、選択ワード線の電位を閾値電圧にするワード線制御回路”が記載されていると認められる。

カ 上記 C には「ワード線電圧は、各閾値分布の上限と下限の中間付近の軟値読み出し電圧（4）～（7）に、その順で（すなわち段階的に高い方から低い方へ下げられて）設定される。まず軟値読み出し電圧（4）が設定された場合に読み出される軟値データ軟値 1（pre1）は、データ“00”の閾値分布の右半分より大きい閾値電圧を有するメモリセルについてのみデータ“0”として読み出され、それ以外では“1”として読み出される。この読み出された軟値 1（pre1）は、一旦 TDC に保持され、PDC を経て DDCA に保持される。（中略）次に、軟値読み出し電圧（5）を設定して軟値データ軟値 1（pre2）を読み出す。この軟値 1（pre2）は、データ“10”の閾値分布の右半分より大きい閾値電圧を有するメモリセルについてのみがデータ“0”として読み出され、それ以外は“1”として読み出されて、TDC に保持される。ただし、軟値 1（pre1）は DDCA に保持されており、もし、DDCA に保持されている軟値 1（pre1）が“0”であった場合には、TDC に保持されたデータは強制的に“1”に反転させられる（図 15 の矢印参照）。（中略）以下同様に、軟値読み出し電圧（6）、（7）がワード線電圧として印加され、1 つ前の軟値 1（pre1）が“0”であった場合にはデータ反転がなされる。軟値読み出し電圧（7）により生成されるデータが軟値 1 であり、これが後述する軟値 2 と共に、尤度計算回路 102 における尤度計算に用いられる（中略）本実施の形態の不揮発性半導体記憶装置では、以上の軟値生成手順の実行と並行して、軟値取得に先立って取得済みの複数ビットデータ及び冗長データに基づく第 1 誤り訂正回路 101 における誤り検出及び誤り訂正を実行することができる」と記載されていることと、上記 D の図 15 の記載から、引用文献 1 には、“軟値 1（pre1）乃至（pre3）は、各閾値分布の上限と下限の中間付近の軟値読み出し電圧（4）～（7）がその順で（すなわち段階的に高い方から低い方へ下げられて）ワード線電圧に印加され読み出され、軟値読み出し電圧（7）により生成される軟値 1 が、軟値生成手順の実行により生成され出力”することが記載されていると認められる。

キ 上記 C には「続いて、ワード線電圧は、軟値読み出し電圧（8）～（15）に、その順で（すなわち段階的に高い方から低い方へ下げられて）設定される。DDCA に保持されている 1 つ前の軟値が“0”であった場合にデータ反転がなされる点は（4）～（7）の場合と同様である。軟値読み出し電圧（15）がワード線電圧として印加されて生成される軟値 2 が、軟値 1 とともに尤度計算回路 102 において尤度計算のために用いられる」と記載されていることと、前記カの検討したことより、引用文献 1 には、

“軟値 2 (pre 1) 乃至 (pre 7) は、軟値読み出し電圧 (8) ~ (15) がその順で (すなわち段階的に高い方から低い方へ下げられて) ワード線に印加され読み出され、軟値読み出し電圧 (15) がワード線電圧として生成される軟値 2 が、軟値生成手順の実行により生成され出力” されることが記載されていると認められる。

ク 上記 A には「各データ記憶回路 10 は、メモリセル MC から読み出されるデータを保持する機能を有すると共に、メモリセル MC に書き込まれるデータを保持する機能を有する」と記載され、上記 A には「データ記憶回路 10 の構成例を図 9 を参照して説明する。なお、データ記憶回路 10 a の構成も略同様であるので説明を省略する。このデータ記憶回路 10 は、プライマリデータキャッシュ (PDC), セコンダリデータキャッシュ (SDC), ダイナミックデータキャッシュ (DDC), テンポラリデータキャッシュ (TDC) を有している」と記載されていることから、引用文献 1 には“各データ記憶回路は、メモリセルから読み出されるデータを保持する機能を有し、プライマリデータキャッシュ (PDC), セコンダリデータキャッシュ (SDC), ダイナミックデータキャッシュ (DDC), テンポラリデータキャッシュ (TDC) を有” することが記載されていると認められる。

ケ 上記 C には「以上のような動作が行なわれた後における TDC の保持データを SDC に転送後外部へ上位ページデータ Upper として出力する」と記載されていることから、引用文献 1 には、“各データ記憶回路は、ページデータ読み出し動作が行なわれた後 TDC の保持データを SDC に転送後外部へ出力する SDC を有” することが記載されていると認められる。

コ 上記 C には「ワード線電圧は、各閾値分布の上限と下限の中間付近の軟値読み出し電圧 (4) ~ (7) に、その順で (すなわち段階的に高い方から低い方へ下げられて) 設定される。まず軟値読み出し電圧 (4) が設定された場合に読み出される軟値データ軟値 1 (pre 1) は、データ “00” の閾値分布の右半分より大きい閾値電圧を有するメモリセルについてのみデータ “0” として読み出され、それ以外では “1” として読み出される。この読み出された軟値 1 (pre 1) は、一旦 TDC に保持され、PDC を経て DDCA に保持される。(中略) 次に、軟値読み出し電圧 (5) を設定して軟値データ軟値 1 (pre 2) を読み出す。この軟値 1 (pre 2) は、データ “10” の閾値分布の右半分より大きい閾値電圧を有するメモリセルについてのみがデータ “0” として読み出され、それ以外は “1” として読み出されて、TDC に保持される。ただし、軟値 1 (pre 1) は DDCA に保持されており、もし、DDCA に保持されている軟値 1 (pre 1) が “0” であった場合には、TDC に保持されたデータは強制的に “1” に反転させられる (図 15 の矢印参照)。(中略) 以下同様に、軟値読み出し電圧 (6), (7) がワード線電圧として印加され、1 つ前の軟値 1 (pre i) が “0” であった場合にはデータ反転がなされる。軟値読み出し電圧 (7) により生成されるデータが軟値 1 であり、これが後述する軟値 2 と共に、尤度計算回路 102 における尤度計算に用いられる。(中略) 続いて、ワード線電圧は、軟値読み出し電圧 (8) ~ (15) に、その順で (すなわち段階的に高い方から低い方へ下げられて) 設定される。DDCA に保持されている 1 つ前の軟値が “0” であった場合にデータ反転がなされる点は (4) ~ (7) の場合と同様である。軟値読み出し電圧 (15) がワード線電圧として印加されて生成される軟値 2 が、軟値 1 とともに尤度計算回路 102 において尤度計算のために用いられる。(中略) 本実施の形態の不揮発性半導体記憶装置では、以上の軟値生成手順の実行と並行して、軟値取得に先立って取得済みの複数ビットデータ及び冗長データに基づく第 1 誤り訂正回路 101 における誤り検出及び誤り訂正を実行することができ」と記載されていることから、引用文献 1 の“データ記憶回路”には“読み出し電圧 ((4) ~ (7), (8) ~ (15)) がワード線に印加されて、大きい閾値電圧を有するメモリセルについて “0” として読み出され、それ以外は “1” として読み出され、TDC に保持され、TDC の保持データは DDC に保持される 1 つ前の軟値 1 (pre i) 乃至軟値 2 (pre i) が “0” であった場合には、TDC に保持されたデータは強

制的に“1”に反転させられ、軟値生成手順が実行され軟値1乃至軟値2が生成されるTDC乃至DDCとを有し、軟値1及び軟値2は、軟値1 (pre1) 乃至 (pre3) 及び軟値2 (pre1) 乃至 (pre7) をTDC乃至DDCに保持し軟値生成手順の実行により生成する”ことが記載されていると認められる。

サ 上記ア乃至コの検討から、引用文献1には次の発明（以下「引用発明」という）が記載されていると認められる。

「4値を記憶するNANDセル型フラッシュメモリを備えた不揮発性半導体記憶システムであって、

データを記憶するメモリセルをマトリックス状に配置してなるメモリセルアレイと、

メモリセルアレイ、ビット線制御回路、カラムデコーダ、データ入出力バッファ、ワード線制御回路及びコントローラを制御するための制御信号及び制御電圧を発生させる制御回路と、

制御回路がメモリセルアレイとビット線制御回路を制御するための制御信号及び制御電圧を発生し、読み出し手順に従い、アドレスを指定しセクタを選択し、下位ページデータ、上位ページデータ、軟値（軟値1 (pre i)、軟値2 (pre i)、軟値1、軟値2）を読み出し、下位ページデータ、上位ページデータ、軟値1及び軟値2を読み出し結果として出力するデータ記憶回路と、

制御回路がワード線制御回路を制御するための制御信号及び制御電圧を発生し、下位ページデータ、上位ページデータ、軟値（軟値1 (pre i)、軟値2 (pre i)、軟値1、軟値2）を読み出すために、選択ワード線の電位を閾値電圧にするワード線制御回路と、

軟値1 (pre1) 乃至 (pre3) は、各閾値分布の上限と下限の中間付近の軟値読み出し電圧（4）～（7）がその順で（すなわち段階的に高い方から低い方へ下げられて）ワード線電圧に印加され読み出され、軟値読み出し電圧（7）により生成される軟値1が、軟値生成手順の実行により生成され出力され、

軟値2 (pre1) 乃至 (pre7) は、軟値読み出し電圧（8）～（15）がその順で（すなわち段階的に高い方から低い方へ下げられて）ワード線に印加され読み出され、軟値読み出し電圧（15）がワード線電圧として生成される軟値2が、軟値生成手順の実行により生成され出力され、

各データ記憶回路は、メモリセルから読み出されるデータを保持する機能を有し、プライマリデータキャッシュ（PDC）、セコンダリデータキャッシュ（SDC）、ダイナミックデータキャッシュ（DDC）、テンポラリデータキャッシュ（TDC）を有し、

各データ記憶回路は、ページデータ読み出し動作が行なわれた後TDCの保持データをSDCに転送後外部へ出力するSDCを有し、

読み出し電圧（（4）～（7）、（8）～（15））がワード線に印加されて、大きい閾値電圧を有するメモリセルについて“0”として読み出され、それ以外は“1”として読み出され、TDCに保持され、TDCの保持データはDDCに保持される一つ前の軟値1 (pre i) 乃至軟値2 (pre i) が“0”であった場合には、TDCに保持されたデータは強制的に“1”に反転させられ、軟値生成手順が実行され軟値1乃至軟値2が生成されるTDC乃至DDCとを有し、

軟値1及び軟値2は、軟値1 (pre1) 乃至 (pre3) 及び軟値2 (pre1) 乃至 (pre7) をTDC乃至DDCに保持し軟値生成手順の実行により生成する

ことを特徴とする4値を記憶するNANDセル型フラッシュメモリを備えた不揮発性半導体記憶システム。」

（3）対比

本件補正発明と引用発明とを対比する

（ア）引用発明における「4値を記憶するNANDセル型フラッシュメモリを備えた不揮発性半導体記憶システム」は、本件補正発明における「フラッシュメモリ装置」に対応する。

(イ) 引用発明の「メモリセルアレイ」は「メモリセルをマトリックス状に配置」していることから、複数のメモリセルで構成されていることが明らかなので、引用発明における「データを記憶するメモリセルをマトリックス状に配置してなるメモリセルアレイ」は、本件補正発明における「複数のメモリセルで構成されたメモリセルアレイ」に相当する。

(ウ) 引用発明における「メモリセルアレイ、ビット線制御回路、カラムデコーダ、データ入出力バッファ、ワード線制御回路及びコントローラを制御するための制御信号及び制御電圧を発生させる制御回路」と本件補正発明における「前記複数のメモリセルに対する読み出し動作を制御する制御ロジック」とを対比すると、引用発明の「制御回路」は「メモリセルアレイ」及び「ビット線制御回路」を制御するための制御信号及び制御電圧を発生させており、引用発明の「メモリセルアレイ」及び「ビット線制御回路」はビット線を介してメモリセルアレイ中のメモリセルのデータを読み出す機能を有するので、引用発明の「制御回路」は、本件補正発明の「制御ロジック」に相当する。

そうすると、両者に実質的な差異はない。

(エ) 引用発明における「制御回路がメモリセルアレイとビット線制御回路を制御するための制御信号及び制御電圧を発生し、読み出し手順に従い、アドレスを指定しセクタを選択し、下位ページデータ、上位ページデータ、軟値（軟値1（pre1）、軟値2（pre2）、軟値1、軟値2）を読み出し、下位ページデータ、上位ページデータ、軟値1及び軟値2を読み出し結果として出力するデータ記憶回路」と本件補正発明における「前記制御ロジックの制御にตอบสนองして、選択された複数のメモリセルの各々から硬判定データ及び複数の軟判定データを検知し、前記検知された硬判定データ及び複数の軟判定データを読み出し結果として出力するページバッファ回路」とを対比すると、引用発明の「下位ページデータ、上位ページデータ」は本件補正発明の「硬判定データ」に相当し、引用発明の「軟値（軟値1（pre1）、軟値2（pre2）、軟値1、軟値2）」は、本件補正発明の「軟判定データ」に相当し、引用発明の「制御回路がメモリセルアレイとビット線制御回路を制御するための制御信号及び制御電圧を発生」してデータを読み出すことは、本件補正発明の「前記制御ロジックの制御にตอบสนอง」してデータを検知することに相当するので、引用発明の「データ記憶回路」は本件補正発明の「ページバッファ回路」に相当するといえる。

そうすると、両者に実質的な差異はない。

(オ) 引用発明における「制御回路がワード線制御回路を制御するための制御信号及び制御電圧を発生し、下位ページデータ、上位ページデータ、軟値（軟値1（pre1）、軟値2（pre2）、軟値1、軟値2）を読み出すために、選択ワード線の電位を閾値電圧にするワード線制御回路」と、本件補正発明における「前記制御ロジックの制御にตอบสนองして、前記硬判定データ及び前記複数の軟判定データを読み出すための複数の読み出し電圧を発生する電圧発生回路」とを対比すると、

引用発明の「下位ページデータ、上位ページデータ」は本件補正発明の「硬判定データ」に相当し、引用発明の「軟値（軟値1（pre1）、軟値2（pre2）、軟値1、軟値2）」は、本件補正発明の「軟判定データ」に相当し、引用発明の「制御回路がワード線制御回路を制御するための制御信号及び制御電圧を発生」して選択ワード線に電位を閾値電圧にすることは、本件補正発明の「前記制御ロジックの制御にตอบสนอง」して複数の読み出し電圧を発生することに相当するので、引用発明の「ワード線制御回路」は、本件補正発明の「電圧発生回路」に相当するといえる。

そうすると、両者に実質的な差異はない。

(カ) 引用発明における「軟値1（pre1）乃至（pre3）は、各閾値分布の上限と下限の中間付近の軟値読み出し電圧（4）～（7）がその順で（すなわち段階的に高い方から低い方へ下げられて）ワード線電圧に印加され読み出され」「軟値2（pre1）乃至（pre7）は、軟値読み出し電圧（8）～（15）がその順で（すなわち段階的に高い方から低い方へ下げられて）ワード線に印加され読み出され」と、本件補正発明における「前記複数の軟判定データは、隣接したスレッショルド電圧分布間で検知され」と

を対比すると、

引用発明の「軟値 1 (pre 1) 乃至 (pre 3)」「軟値 2 (pre 1) 乃至 (pre 7)」は、本件補正発明の「複数の軟判定データ」に相当し、引用発明の「各閾値分布の上限と下限の中間付近の軟値読み出し電圧 (4) ~ (7)」「軟値読み出し電圧 (8) ~ (15)」は、その順（すなわち段階的に高い方から低い方へ下げられて）でワード線電圧に印加されているので、隣接した閾値電圧（スレッシュホールド電圧）といえ、引用発明の「軟値 1 (pre 1) 乃至 (pre 3)」「軟値 2 (pre 1) 乃至 (pre 7)」が「読み出され」ることは、本件発明の「電圧分布間で感知されている」に相当するといえる。

そうすると、両者に実質的な差異は無い。

(キ) 引用発明における「軟値 1 (pre 1) 乃至 (pre 3) は、各閾値分布の上限と下限の中間付近の軟値読み出し電圧 (4) ~ (7) がその順で（すなわち段階的に高い方から低い方へ下げられて）ワード線電圧に印加され読み出され、軟値読み出し電圧 (7) により生成される軟値 1 が、軟値生成手順の実行により生成され出力され」「軟値 2 (pre 1) 乃至 (pre 7) は、軟値読み出し電圧 (8) ~ (15) がその順で（すなわち段階的に高い方から低い方へ下げられて）ワード線に印加され読み出され、軟値読み出し電圧 (15) がワード線電圧として生成される軟値 2 が、軟値生成手順の実行により生成され出力され」ることと、本件補正発明における「前記読み出し結果に含まれた前記複数の軟判定データは、信頼性データにエンコーディングされて出力され」ることとを対比すると、

引用発明の「軟値 1 (pre 1) 乃至 (pre 3)」「軟値 2 (pre 1) 乃至 (pre 7)」は、本件補正発明の「軟判定データ」に相当し、読み出し電圧 ((4) ~ (7), (8) ~ (15)) がワード線に印加されて読み出されるので、読み出し結果に含まれているといえ、引用発明の「軟値 1」「軟値 2」は、本件補正発明の「信頼性データ」に相当する。一般的に「エンコーディング」は、一定の規則に従って変換することと解せるので、軟値生成手順の実行により生成（変換）されることは、エンコーディングしているといえる。

そうすると、両者に実質的な差異はない。

(ク) 引用発明における「各データ記憶回路は、メモリセルから読み出されるデータを保持する機能を有し、プライマリデータキャッシュ (PDC), セコンダリデータキャッシュ (SDC), ダイナミックデータキャッシュ (DDC), テンポラリデータキャッシュ (TDC) を有」することは、本件補正発明における「前記ページバッファ回路は前記選択されたメモリセルの各々に対応する複数のページバッファを含」むことに相当する。

(ケ) 引用発明の「大きい閾値電圧を有するメモリセルについて “0” として読み出され、それ以外は “1” として読み出され、TDC に保持される。」ことは、本件補正発明の「軟判定データの値に応答してラッチされる」ことに対応し、引用発明の「DDC に保持される一つ前の軟値 1 (pre i) が “0” であった場合には、TDC に保持されたデータは強制的に “1” に反転させられ」ることは、TDC に保持した値を “0” から “1” に反転させることはトグリングされるといえ、引用発明の「TDC 乃至 DDC」は、本件補正発明の「第 1 のタイプのラッチ」に相当する。

また、引用発明における「TDC の保持データを SDC に転送後上位ページデータ Upper として外部へ出力する SDC」は、引用発明の「上位ページデータ Upper」は、本件補正発明の「硬判定データ」に相当し、引用発明の「SDC」は、本件補正発明の「第 2 のタイプのラッチ」に相当するので、本件補正発明における「硬判定データをラッチする第 2 のタイプのラッチ」に相当する。

そうすると、引用発明における「各データ記憶回路は、ページデータ読み出し動作が行なわれた後 TDC の保持データを SDC に転送後外部へ出力する SDC と、読み出し電圧 ((4) ~ (7), (8) ~ (15)) がワード線に印加されて、大きい閾値電圧を有するメモリセルについて “0” として読み出され、それ以外は “1” として読み出され、TDC に保持され、TDC の保持データは DDC に保持される一つ前の軟値 1 (pre i) 乃至軟値 2 (pre i) が “0” であった場合には、TDC に保持された

データは強制的に“1”に反転させられ、軟値生成手順が実行され軟値1乃至軟値2が生成されるTDC乃至DDCと、を有する」ことは、本件補正発明における「前記各々のページバッファは前記複数の軟判定データの値に応答してラッチされた値がトグリングされることによって前記信頼性データをエンコーディングする複数の第1タイプのラッチと前記硬判定データをラッチする第2タイプのラッチとを含み」に相当する。

(コ) 引用発明における「軟値1及び軟値2は、軟値1 (pre1) 乃至 (pre3) 及び軟値2 (pre1) 乃至 (pre7) をTDC乃至DDCに保持し軟値生成手順の実行により生成」することと、本件補正発明の「前記信頼性データは、前記複数の第1タイプのラッチにおいてエンコーディングされることにより、前記複数の軟判定データを表現するのに必要なビット数よりも少ないビット数で表現されること」とを対比すると、引用発明の「TDC」「DDC」は、本件補正発明の「第1のタイプのラッチ」に相当し、データ記憶回路に含まれ、「軟値1 (pre1) 乃至 (pre3)」「軟値2 (pre1) 乃至 (pre7)」をラッチし軟値生成手順の実行により生成 (エンコーディング) されるといえるので、「信頼性データは、前記複数の第1タイプのラッチにおいてエンコーディングされること」という点で一致する。

(サ) 上記 (ア) 乃至 (コ) の検討から、本件補正発明と引用発明とは、以下の点で一致し、以下の点で相違する。

<一致点>

複数のメモリセルで構成されたメモリセルアレイと、
前記複数のメモリセルに対する読み出し動作を制御する制御ロジックと、
前記制御ロジックの制御に応答して選択された複数のメモリセルの各々から硬判定データ及び複数の軟判定データを検知し、前記検知された硬判定データ及び複数の軟判定データを読み出し結果として出力するページバッファ回路と、
前記制御ロジックの制御に応答して、前記硬判定データ及び前記複数の軟判定データを読み出すための複数の読み出し電圧を発生する電圧発生回路とを含み、
前記複数の軟判定データは、隣接したスレッシュホールド電圧分布間で検知され、
前記読み出し結果に含まれた前記複数の軟判定データは、信頼性データにエンコーディングされて出力され、
前記ページバッファ回路は前記選択されたメモリセルの各々に対応する複数のページバッファを含み、
前記各々のページバッファは前記複数の軟判定データの値に応答してラッチされた値がトグリングされることによって前記信頼性データをエンコーディングする複数の第1タイプのラッチと前記硬判定データをラッチする第2タイプのラッチとを含み、
信頼性データは、前記複数の第1タイプのラッチにおいてエンコーディングされること
を特徴とするフラッシュメモリ装置。

<相違点>

本件補正発明では「信頼性データ」が「前記複数の軟判定データを表現するのに必要なビット数よりも少ないビット数で表現される」としているのに対して、引用発明ではそのように特定されていない点。

(4) 当審の判断

引用発明の「軟値1」「軟値2」は、2ビットで表現しているが、引用発明の「軟値1 (pre1) 乃至 (pre3)、軟値1」(4回繰返) と「軟値2 (pre1) 乃至 (pre7)、軟値2」(8回繰返) を表現するのに必要なビット数について記載されていないものの、繰返されて読み出し動作で検知されるデータ形態を2ビットの信頼性データとして構成することが、「前記複数の軟判定データを表現するのに必要なビット数よりも少ない

ビット数で表現される」態様であると解せることから、引用発明においても、「軟値1」「軟値2」が、「軟値1 (pre1) 乃至 (pre3), 軟値1」(4通り)と「軟値2 (pre1) 乃至 (pre7), 軟値2」(8通り)を表現するのに必要なビット数よりも少ないビット数(2ビット)で表現されていることといえる。

また、本件補正発明の「信頼性データ」が「前記複数の軟判定データを表現するのに必要なビット数よりも少ないビット数で表現される」ことについて、本願明細書【0049】には「7回の繰り返された読み出し動作で感知されるデータ形態は図7と同一であるが、実際に出力されるデータは図8のように所定のデータパターンを有する。(中略) ページバッファPBを通じて出力される読み出しデータは1ビットの硬判定データと2ビットの信頼性データとで構成することができる。」と記載されていることから、7回の繰り返された読み出し動作で感知されるデータ形態を1ビットの硬判定データと2ビットの信頼性データで表現する態様と解するとすると、引用発明と実質的な差異がない。

仮に、複数の軟判定データを表現するのに必要なビット数よりも少ないビット数で表現させることについて上記以外の態様を解することができたとしても、本願明細書【0060】には「本発明でページバッファPBから出力される信頼性データは、“01, 00, 10及び11”の値を有することができる。データの信頼度の大きさは11>01>00>11の順に構成することができる」と記載されていることから、「信頼性データ」は2ビットで4通りの大きさを表現しているに過ぎず、4通りを2ビットで表現することに格別の困難性は無い。すなわち、「信頼性データ」を「前記複数の軟判定データを表現するのに必要なビット数よりも少ないビット数で表現される」ようにすることは当業者が適宜なし得ることである。

よって、相違点は格別なものではない。

上記で検討したごとく、相違点に係る構成は当業者が容易に想到し得たものであり、そして、本件補正発明の奏する作用効果は、上記引用発明の奏する作用効果から予測される範囲内のものにすぎず、格別顕著なものということとはできない。

したがって、本件補正発明は、上記引用発明に基づいて、当業者が容易に発明をすることができたものであり、特許法第29条第2項の規定により、特許出願の際独立して特許を受けることができない。

4 補正却下の決定のむすび

上記「3 独立特許要件」で指摘したとおり、補正後の請求項1に記載された発明は、特許出願の際独立して特許を受けることができるものではないから、本件補正は特許法第17条の2第6項において準用する同法第126条第7項の規定に違反するので、同法第159条第1項において読み替えて準用する同法第53条第1項の規定により却下すべきものである。

よって、上記補正却下の決定の結論のとおり決定する。

第3 本願発明について

1 本願発明

平成27年7月1日付けの手續補正は上記のとおり却下されたので、補正後の請求項1に対応する補正前の請求項1に係る発明(以下、「本願発明」という。)は、平成26年9月12日付けの手續補正により補正された特許請求の範囲の請求項1に記載された事項により特定される、以下のとおりのものである。

「複数のメモリセルで構成されたメモリセルアレイと、

前記複数のメモリセルに対する読み出し動作を制御する制御ロジックと、

前記制御ロジックの制御に応答して、選択された複数のメモリセルの各々から硬判定データ及び複数の軟判定データを感知し、前記感知された硬判定データ及び複数の軟判定データを読み出し結果として出力するページバッファ回路と、

前記制御ロジックの制御にตอบสนองして、前記硬判定データ及び前記複数の軟判定データを読み出すための複数の読み出し電圧を発生する電圧発生回路とを含み、

前記複数の軟判定データは、隣接したスレッショルド電圧分布間で感知されることを特徴とするフラッシュメモリ装置。」

2 引用文献に記載されている技術的事項及び引用発明

原査定 of 拒絶の理由に引用された、引用発明は、前記「第2 平成27年7月1日付けの補正についての手続補正却下の決定」の「3 独立特許要件」の「(2) 引用文献」に記載したとおりである。

3 対比・判断

本願発明は、前記「第2 平成27年7月1日付けの手続補正についての手続補正却下の決定」の「3 独立特許要件」で検討した本件補正発明の発明特定事項である「軟判定データ」について「前記読み出し結果に含まれた前記複数の軟判定データは、信頼性データにエンコーディングされて出力され」との限定事項が削除され、「ページバッファ回路」について「前記ページバッファ回路は前記選択されたメモリセルの各々に対応する複数のページバッファを含み、前記各々のページバッファは前記複数の軟判定データの値にตอบสนองしてラッチされた値がトグルリングされることによって前記信頼性データをエンコーディングする複数の第1タイプのラッチと前記硬判定データをラッチする第2タイプのラッチとを含み、前記信頼性データは、前記複数の第1タイプのラッチにおいてエンコーディングされることにより、前記複数の軟判定データを表現するのに必要なビット数よりも少ないビット数で表現される」との限定事項が削除されたものである。

そうすると、本願発明の発明特定事項を全て含む本件補正発明が、前記「第2 平成27年7月1日付けの手続補正についての手続補正却下の決定」の「3 独立特許要件」の「(2) 引用文献」乃至「(4) 当審の判断」に記載したとおり、引用発明に基づいて当業者が容易に発明をすることができたものであるから、上記特定の限定を省いた本願発明も同様の理由により、引用発明に基づいて、当業者が容易に発明をすることができたものである。

第4 むすび

以上のとおり、本願の請求項1に係る発明は、特許法第29条第2項の規定により特許を受けることができないものであるから、その余の請求項に係る発明について検討するまでもなく、本願は拒絶すべきものである。

よって、結論のとおり審決する。

平成28年 6月 9日

審判長	特許庁審判官	辻本 泰隆
	特許庁審判官	高木 進
	特許庁審判官	須田 勝巳

(行政事件訴訟法第46条に基づく教示)

この審決に対する訴えは、この審決の謄本の送達があった日から30日(附加期間がある場合は、その日数を附加します。)以内に、特許庁長官を被告として、提起することができます。

〔審決分類〕 P 1 8 . 1 2 1 - Z (G 1 1 C)
5 7 5

出訴期間として90日を附加する。

審判長	特許庁審判官	辻本	泰隆	8945
	特許庁審判官	須田	勝巳	8941
	特許庁審判官	高木	進	8628