

判定

判定2016-600011

東京都港区芝浦一丁目1番1号
請求人 株式会社 東芝

東京都港区芝浦一丁目1番1号 株式会社東芝本社事務所内
代理人弁理士 村井 賢郎

東京都港区芝浦一丁目1番1号 株式会社東芝 本社事務所内
代理人弁理士 大西 邦幸

台湾台北市内湖区行忠路70号
被請求人 創見資訊股▲ふん▼有限公司（「トランセンド・インフォメーション・インコーポレイテッド」）

東京都港区六本木1-8-7 MFPR六本木麻布台ビル11階
代理人弁護士 弁護士法人 ベリーベスト法律事務所

上記当事者間の特許第5726980号の判定請求事件について、次のとおり判定する。

結論

(イ)号図面及びその説明書に示す「半導体装置」は、特許第5726980号発明の技術的範囲に属する。

理由

第1. 請求の趣旨

イ号物件説明書に示すソリッドステートドライブは、特許第5726980号の請求項1及び請求項6に記載された特許発明の技術的範囲に属する、との判定を求めたものである。

第2. 本件特許発明

本件特許発明は、その明細書及び図面の記載からみて、その特許請求の範囲の請求項1及び請求項6に記載されたとおりのものであり、これを構成要件ごとに分説すると次のとおりである。

1. 本件特許発明の構成

(請求項1)

- A. 第1から第 n (n は2以上の整数)の不揮発性半導体メモリと、
- B. 第 $(n+1)$ から第 $2n$ の不揮発性半導体メモリと、
- C. 第1から第 n の抵抗素子と、
- D. 前記第1から第 $2n$ の不揮発性半導体メモリを制御するコントローラと、
- E. 前記コントローラと前記第1から第 n の抵抗素子とを各々接続する第1から第 n の信号線と、
- F. 前記第1から第 n の抵抗素子と前記第1から第 n の不揮発性半導体メモリとを各々接続する第 $(n+1)$ から第 $2n$ の信号線と、
- G. 前記第 $(n+1)$ から第 $2n$ の信号線から分岐され前記第 $(n+1)$ から第 $2n$ の不揮発性半導体メモリと各々接続される第 $(2n+1)$ から第 $3n$ の信号線と、
- H. 基板と、を備え、
- I. 前記基板は、
- J. 前記基板の表面に形成される配線パターンを備え、前記第1から第 n の

不揮発性半導体メモリと前記第1から第nの抵抗素子と前記コントローラが搭載される表面層と、
K. 前記基板の裏面に形成される配線パターンを備え、前記第(n+1)から第2nの不揮発性半導体メモリが搭載される裏面層と、
L. 外部機器と接続するためのコネクタと、を有し、
M. 前記第1から第nの不揮発性半導体メモリと、前記第(n+1)から第2nの不揮発性半導体メモリとは前記基板に対して対称に配置される
N. 半導体装置。

(請求項6)

O. 前記表面層と前記裏面層との間に設けられ、配線パターンを備える内部配線層をさらに備え、前記第(2n+1)から第3nの信号線は前記内部配線層を通る部分を備える請求項1から請求項5の何れか1項に記載の半導体装置。

(なお、A～Oは、分説のために便宜上用いた記号であり、以下においては、上記分説された構成を、当該記号を用いて、「構成要件A」などという。)

2. 本件特許発明の目的

明細書の記載によれば、本件特許発明の目的は、

「【0003】

このような半導体装置は、その使用環境や規格などに合わせて、基板の形状や大きさが制約される場合がある。そして、基板の形状や大きさに合わせて不揮発性半導体記憶素子などを配置しつつ、その性能特性の劣化を抑えることが求められている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2010-79445号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の一つの実施形態は、基板の形状や大きさの制限に合わせて不揮発性半導体素子などを配置しつつ、その性能特性の劣化を抑えることができる半導体装置を提供することを目的とする。」

ことである。

第3. イ号物件

1. イ号物件の特定

平成28年4月28日付けの判定請求書と共に提出された、イ号物件説明書の2頁に、

『2 イ号物件の説明

(1) イ号物件は、およそ横100mm、縦70mmのアルミニウム製の筐体を備えている。筐体表面には、「Solid State Drive」と印字されている(第1図)。

裏面には、「TS512GSSD370」とのモデル名が印刷されたシールが貼付されている(第2図)。

ここで、SSD370シリーズのプロダクトシート(甲第2号証13頁)の記載によると、「TS512GSSD370」は、メモリコントローラ(以下、「コントローラ」という)が「TS6500」、記録方式がMLC(Multiple Level Cell)の512GBの記憶容量を備えるトランセンド製SSDを意味する。「TS6500」は、トランセンド製のコントローラである(「超高速MLCフラッシュチップを制御するトランセンド製「TS6500」コントローラを搭載」、甲第3号証)。記憶媒体は、MLC記録方式の同期型NAND型フラッシュメモリ(「Synchronous MLC NAND Flash memory」)(甲第4号証)である。なお、MLCとは、NAND型セル)に2ビットのデータを格納する方式である。また、SSD370シリーズは、アルミニウム製の筐体からなるSSD370Sシリーズ(イ号物件)と、プラスチック製の筐体からなるSSD370シリーズに細分され、記憶容量は、512GBの他に、32GB、64GB、128GB、256GB、1TBのものがある

(甲第5号証)。』(イ号物件説明書2頁1行～20行)
と記載されている。

上記引用の記載に従えば、イ号物件とは、複数の容量のSSDから構成されるSSD370Sシリーズとも読めるが、上記引用の記載中の、「イ号物件は、およそ横100mm、縦70mmのアルミニウム製の筐体を備えている。筐体表面には、「Solid State Drive」と印字されている(第1図)」

同じく、上記引用の記載中の、「裏面には、「TS512GSSD370」とのモデル名が印刷されたシールが貼付されている(第2図)」

と、イ号物件説明書に添付された図1、図2から、イ号物件とは、金属筐体の裏面に、

「TS512GSSD370」と印字されたものであり、このことと、甲第4号証における「SSD370S」の「Product Image」欄に掲載された写真、及び、甲第5号証の左下方に記載された「SSD370S(Aluminum)Ordering Information」の欄の「TS512GSSD370S 512GB」という記載と、当該記載の右に掲載されているパッケージ写真から、請求人の主張するイ号物件は、SSD370Sシリーズの内の「TS512GSSD370S」であると特定され、このことは、請求人が平成28年12月15日付けで提出したFAXにより確認済である。

一方、被請求人は、平成28年8月18日付け判定請求答弁書(以下、「答弁書」という)において、
『(1) 総論

イ号物件説明書に示すソリッドステートドライブ(以下、「イ号物件」という。)は、特許第5726980号(以下、「本件特許」という。)の特許請求の範囲の請求項1に記載された特許発明(以下、「本件発明1」という。)の構成要件Mを充足するものではない。

よって、イ号物件は、本件発明1及び上記請求項1を引用する請求項6に記載された特許発明(以下、「本件発明2」という。)の技術的範囲に属しない。

なお、請求人は、イ号物件説明書において、イ号物件に印刷されている「TS512GSSD370」とのモデル名からイ号物件の特定を行っているが、被請求人の取り扱うソリッドステートドライブ

「TS512GSSD370」には、多くの種類からなる印刷回路基板(PCB)が使われていることから、係るモデル名のみをもって、イ号物件を特定することはできない。

すなわち、請求人がイ号物件説明書において示すイ号物件には、多くの種類からなる内の一つの印刷回路基板が使われており、ここで使用されている印刷回路基板の特定(つまり、イ号物件の特定)は、その内部にある印刷回路基板に印字されている表示をもって初めて可能となることから、単に製品の外観よりイ号物件を特定することはできないのである。

したがって、本判定における対象となるイ号物件は、内部である印刷回路基板に印字される「29-5000 VI. 1 VIC 3C」との表示(イ号物件説明書の第3図(下図)の右上に印字されている)をもって、初めて特定されるものであることを念のために申し添える(すなわち、本判定において対象となるイ号物件は、SSD370シリーズの内、512Gの29-5000 VI. 1 VIC 3Cのものに限定されるべきである)。』(答弁書2頁12行～3頁9行)

と主張している。

当該主張に対して請求人は、平成28年9月21日付け弁駁書(以下、「弁駁書」という)において、

『(1) イ号物件の範囲

被請求人は、被請求人が取り扱うソリッドステートドライブ「TS512GSSD370」には、1つの印刷回路基板(PCB)(多くの種類からなる内の1つ)が使われている、イ号物件説明書第5図の左上に印字されている「29-5000 VI. 1 VIC 3C」によって一つのタイプに特定することができる、したがって、本判定において対象となるイ号物件は、SSD370シリーズの内、512Gの29-5000 VI. 1 VIC 3Cのものに限定されるべきであると主張する(第2頁下第7行～第3頁第15行)。

しかしながら、被請求人は、「TS512GSSD370」のPCBに多

くの種類がある点について何ら立証していないし、PCBの種類がイ号物件説明書第3図（下図）の左上に印字されている「29-5000 VI. 1 VIC 3C」によって一つのタイプに特定することができる点についても何ら立証していない。少なくともSSD370シリーズのプロダクトシート（甲第2号証）には、PCBに複数の種類があることは記載されていない。したがって、被請求人の上記主張は証拠に基づいておらず、理由がない。』（弁駁書2頁16行～3頁6行）

旨反論している。

そこで、双方の主張について検討すると、

被請求人が答弁書において主張する、「本判定において対象となるイ号物件は、内部である印刷回路基板に印字されている「29-5000 VI. 1 VIC 3C」との表示（イ号物件説明書の第3図（下図）の右上に印字されている）」という印字は、「イ号物件説明書の第3図」、及び、請求人が添付した、イ号物件の基板写真の何れを見ても、『内部である印刷回路基板に印字されている「29-5000 VI. 1 VIC 3C」との表示』を確認することができないものの、イ号物件説明書の第3図の右上において「29-5000 VI. 1 VIC 3C」との印字がなされているものとみることに、矛盾はない。

さらに、請求人は、「29-5000 VI. 1 VIC 3C」との印字がなされていることについて、具体的な反論をしていない。

他方で、SSD370シリーズの中で、回路の配置構成が異なる種々のバリエーションが存在することにつき、両当事者とも証拠を示しておらず、その点の当否は不明である。

したがって、本判定においては、イ号物件として、

「TS512GSSD370Sの内の基板番号29-5000 VI. 1 VIC 3C」

につき、判定を行う。

2. イ号物件の構成

イ号物件は、イ号物件説明書に記載の内容、及び、甲第2号証～甲第7号証に記載の内容から、次の構成を有するものであると認める。

- ア. 第1から第4のNAND型フラッシュメモリと、
- イ. 第5から第8のNAND型フラッシュメモリと、
- ウ. 第1から第4の抵抗素子と、
- エ. 第1から第8のNAND型フラッシュメモリを制御するコントローラと、
- オ. 前記コントローラと前記第1から第4の抵抗素子とを各々接続する第1から第4信号線と、
- カ. 前記第1から第4の抵抗素子と前記第1から第4のNAND型フラッシュメモリとを各々接続する第5から第8信号線と、
- キ. 前記第5から第8信号線から分岐され前記第5から第8のNAND型フラッシュメモリとを各々接続する第9から第12信号線と、
- ク. 表面層及び裏面層を含む第1層から第8層よりなる配線基板と、を備え、
- ケ. 前記配線基板は、
- コ. 表面に前記第1から第4信号線を含む配線パターンが形成され、前記第1から第4のNAND型フラッシュメモリと前記第1から第4の抵抗素子と前記コントローラが搭載された前記表面層と、
- サ. 裏面に前記第9から第12信号線を含む配線パターンが形成され、前記第5から第8のNAND型フラッシュメモリが搭載された裏面層と、
- シ. SATA22ピンコネクタを有し、
- ス. 前記表面に搭載される前記第1から第4のNAND型フラッシュメモリと、前記裏面に搭載される前記第5から第8のNAND型フラッシュメモリは、前記配線基板に対して対称的に設けられた、
- セ. 半導体装置であって、
- ソ. 前記表面層と前記裏面層の間に設けられた第2層から第7層からなる、配線パターンを有する内部配線層を備え、前記第9から第12信号線は内部配線層を通る部分を備える、半導体装置。

第4. 本件特許発明とイ号物件との対比

1. 構成要件Aについて

当該構成要件については請求人と被請求人との間に、充足性に関して争いが無いところ、

イ号物件の「第1から第4のNAND型フラッシュメモリ」は、不揮発性半導体メモリであることは明らかであるから、本件特許発明の「第1から第 n (n は2以上の整数)の不揮発性半導体メモリ」に相当する。

したがって、イ号物件の構成アは、本件特許発明における構成要件Aを充足する。

2. 構成要件Bについて

当該構成要件については請求人と被請求人との間に、充足性に関して争いが無いところ、

イ号物件の「第5から第8のNAND型フラッシュメモリ」も不揮発性半導体メモリであるから、本件特許発明の「第 $(n+1)$ から第 $2n$ の不揮発性半導体メモリ」に相当する。

したがって、イ号物件の構成イは、本件特許発明における構成要件Bを充足する。

3. 構成要件Cについて

当該構成要件については請求人と被請求人との間に、充足性に関して争いが無いところ、

イ号物件の「第1から第4の抵抗素子」は、本件特許発明の「第1から第 n の抵抗素子」に相当する。

したがって、イ号物件の構成ウは、本件特許発明の構成要件Cを充足する。

4. 構成要件Dについて

当該構成要件については請求人と被請求人との間に、充足性に関して争いが無いところ、

イ号物件の「第1から第8のNAND型フラッシュメモリを制御するコントローラ」は、本件特許発明の「第1から第 $2n$ の不揮発性半導体メモリを制御するコントローラ」に相当する。

したがって、イ号物件エは、本件特許発明の構成要件Dを充足する。

5. 構成要件Eについて

当該構成要件については請求人と被請求人との間に、充足性に関して争いが無いところ、

イ号物件の「前記コントローラと前記第1から第4の抵抗素子とを各々接続する第1から第4信号線」は、本件特許発明の「コントローラと第1から第 n の抵抗素子とを各々接続する第1から第 n の信号線」に相当する。

したがって、イ号物件の構成オは、本件特許発明の構成要件Eを充足する。

6. 構成要件Fについて

当該構成要件については請求人と被請求人との間に、充足性に関して争いが無いところ、

イ号物件の「前記第1から第4の抵抗素子と前記第1から第4のNAND型フラッシュメモリとを各々接続する第5から第8信号線」は、本件特許発明の「第1から第 n の抵抗素子と第1から第 n の不揮発性半導体メモリとを各々接続する第 $(n+1)$ から第 $2n$ の信号線」に相当する。

したがって、イ号物件の構成カは、本件特許発明の構成要件Fを充足する。

7. 構成要件Gについて

当該構成要件については請求人と被請求人との間に、充足性に関して争いが無いところ、

イ号物件の「前記第5から第8信号線から分岐され前記第5から第8のNAND型フラッシュメモリとを各々接続する第9から第 12 信号線」は、本件特許発明の「第 $(n+1)$ から第 $2n$ の信号線から分岐され第 $(n+1)$ から第 $2n$ の不揮発性半導体メモリと各々接続される第 $(2n+1)$ から第 $3n$ の信号線」に相当する。

したがって、イ号物件の構成キは、本件特許発明の構成要件Gを充足する。

8. 構成要件H, 及び, Iについて

当該構成要件については請求人と被請求人との間に、充足性に関して争いが無いところ、

イ号物件の「表面層及び裏面層を含む第1層から第8層よりなる配線基板」、及び、「前記配線基板」は、「基板」であるから、本件特許発明の「基板」に相当する。

したがって、イ号物件の構成クは、本件特許発明の構成要件Hを充足し、イ号物件の構成ケは、本件特許発明の構成要件Iを充足する。

9. 構成要件Jについて

当該構成要件については請求人と被請求人との間に、充足性に関して争いが無いところ、

イ号物件の「表面に前記第1から第4信号線を含む配線パターンが形成され、前記第1から第4のNAND型フラッシュメモリと前記第1から第4の抵抗素子とコントローラが搭載された前記表面層」は、配線基板の表面であるので、本件特許発明の「基板の表面に形成される配線パターンを備え、第1から第nの不揮発性半導体メモリと第1から第nの抵抗素子とコントローラが搭載される表面層」に相当する。

したがって、イ号物件の構成コは、本件特許発明の構成要件Jを充足する。

10. 構成要件Kについて

当該構成要件については請求人と被請求人との間に、充足性に関して争いが無いところ、

イ号物件の「裏面に前記第9から第12信号線を含む配線パターンが形成され、前記第5から第8のNAND型フラッシュメモリが搭載された前記裏面層」は、本件特許発明における「基板の裏面に形成される配線パターンを備え、第(n+1)から第2nの不揮発性半導体メモリが搭載される裏面層」に相当する。

したがって、イ号物件の構成サは、本件特許発明の構成要件Kを充足する。

11. 構成要件Lについて

当該構成要件については請求人と被請求人との間に、充足性に関して争いが無いところ、

イ号物件の「SATA22ピンコネクタ」は、外部機器と接続するための「コネクタ」であることは明らかであるから、本件特許発明の「外部機器と接続するためのコネクタ」に相当する。

したがって、イ号物件の構成シは、本件特許発明の構成要件Lを充足する。

12. 構成要件Mについて

本件特許発明における構成要件Mの技術的意味について検討すると、本件特許明細書には、「対称」について、次の記載が存在する。

「【0038】

本変形例1では、基板8の裏面層側に対してもNANDメモリ10が搭載され、半導体装置100は8つのNANDメモリ10を備える。基板8の裏面層側に搭載されるNANDメモリ10は、基板8の表面層側に搭載されたNANDメモリ10と対称となる位置に配置される。

【0039】

なお、抵抗素子12は、基板8の裏面層側には搭載されず、表面層側にのみ搭載される。そのため、抵抗素子12とNANDメモリ10とを接続する配線は、基板8の内層を引き回されてビアホール24によって分岐され、基板8の表面層L1だけでなく裏面層L8にも引き出される。そして、表面層L1に引き出された配線には表面層側に設けられたNANDメモリ10が接続され、裏面層L8に引き出された配線には裏面層側に設けられたNANDメモリ10が接続される。すなわち、1つの抵抗素子12に対して2つのNANDメモリ10が接続されることとなる。

【0040】

このように、基板8の両面にNANDメモリ10を搭載することで、半導体装置100の記憶容量をより大きくすることが可能となる。また、抵抗素子12に対して、途中で配線を分岐することで複数（本変形例では2つ）のNANDメモリ10を接続することができ、ドライブ制御回路4の有するチャンネル数以上のNANDメモリ10を半導体装置100に備えることが可能となる。本変形例では、ドライブ制御回路4が4つのチャンネルを有しているが、それに対して8つのNANDメモリ10を設けることが可能となっている。なお、1つの配線に対して接続された2つのNANDメモリ

10のうち、いずれのNANDメモリ10が動作するかは、NANDメモリ10のCE（チップイネーブル）がアクティブになっているか否かによってNANDメモリ10自身が判断する。」

「【0045】

図12は、第2の実施の形態の変形例1にかかる半導体装置102の概略構成を示す底面図である。図13は、図12に示すB-B線に沿った矢視断面図である。本変形例1では、第1の実施の形態の変形例1と同様に、基板8の裏面層側であって、表面層側に配置されたNANDメモリ10と対称な位置にもNANDメモリ10を設けている。これにより、半導体装置102の記憶容量をより大きくすることが可能となる。

【0046】

また、基板8の表面層側に配置されたNANDメモリ10と対称な位置にNANDメモリ10を設けることで、基板8の裏面層側でも一方の長辺側にNANDメモリ10が寄せて配置されるので、領域Tにおいて半導体装置102の高さを低く抑えることができる。」

「【0054】

図16は、第3の実施の形態の変形例1にかかる半導体装置の概略構成を示す底面図である。本変形例1では、第1の実施の形態の変形例1と同様に、基板8の裏面層側であって、表面層側に配置されたNANDメモリ10と対称な位置にもNANDメモリ10を設けている。これにより、半導体装置103の記憶容量をより大きくすることが可能となる。

【0055】

また、基板8の表面層側に配置されたNANDメモリ10と対称な位置にNANDメモリ10を設けることで、基板8の裏面層側でも一方の長辺側にNANDメモリ10が寄せて配置されるので、他方の長辺に沿った領域において半導体装置103の高さを低く抑えることができる。」

「【0061】

図18は、第4の実施の形態の変形例1にかかる半導体装置の概略構成を示す底面図である。本変形例1では、第1の実施の形態の変形例1と同様に、基板8の裏面層側であって、表面層側に配置されたNANDメモリ10と対称な位置にもNANDメモリ10を設けている。これにより、半導体装置104の記憶容量をより大きくすることが可能となる。

【0062】

また、基板8の表面層側に配置されたNANDメモリ10と対称な位置にNANDメモリ10を設けることで、基板8の裏面層側でも一方の長辺側にNANDメモリ10が寄せて配置されるので、他方の長辺に沿った領域において半導体装置104の高さを低く抑えることができる。」（上記本件特許明細書からの引用記載に附加された下線は、当審にて説明の都合上附加したものである。）

上記引用の本件特許明細書の段落【0038】の「基板8の表面層側に搭載されたNANDメモリ10と対称となる位置に配置される」という記載、及び、同段落【0040】の「基板8の両面にNANDメモリ10を搭載することで、半導体装置100の記憶容量をより大きくすることが可能となる」という記載と、同段落【0045】の「第1の実施の形態の変形例1と同様に、基板8の裏面層側であって、表面層側に配置されたNANDメモリ10と対称な位置にもNANDメモリ10を設けている。これにより、半導体装置102の記憶容量をより大きくすることが可能となる」という記載と、同段落【0054】の「本変形例1では、第1の実施の形態の変形例1と同様に、基板8の裏面層側であって、表面層側に配置されたNANDメモリ10と対称な位置にもNANDメモリ10を設けている。これにより、半導体装置103の記憶容量をより大きくすることが可能となる」という記載と、同段落【0061】の「本変形例1では、第1の実施の形態の変形例1と同様に、基板8の裏面層側であって、表面層側に配置されたNANDメモリ10と対称な位置にもNANDメモリ10を設けている。これにより、半導体装置104の記憶容量をより大きくすることが可能となる」という記載から、構成要件Mは、「裏面層側において、不揮発性半導体メモリを、表面層に配置された不揮発半導体メモリと対称なる位置に配置することで、半導

体装置の記憶容量を大きくする”ことを目的とするものである。ここで、当該目的において、裏面層側の不揮発性半導体メモリと表面層の不揮発半導体メモリとが厳密に同じ位置であることは要求されないことが明らかである。

しかしながら、「対称」とはどのような位置関係を指すのかという点について、本件特許明細書に具体的な記載はない。

そうすると、本件特許明細書において、「対称」とは、基板の表面と裏面とで、配置が厳密に同じ位置であることを要するのではなく、概ね同じ位置であれば足りるものと解される。

なお、上記引用の記載においては、段落【0046】、段落

【0055】、及び、段落【0062】に、「対称」に配置することによって生じる、他の作用効果についての言及がなされているが、当該作用効果は、裏面層側の「不揮発性半導体メモリ」を、表面層の配置と対称とすることによって生じる副次的なものであって、「対称」の技術的意味を上記と異なるように解すべきことを示すものとは認められない。

そこで、イ号物件の構成について検討すると、イ号物件において、「表面に搭載されている第1から第4のNAND型フラッシュメモリ」と「第5から第8のNAND型フラッシュメモリ」とは概ね同じ位置であることが認められるから、それらは、基板に対して対称に配置されているといえる。そして、そのような配置によって、イ号物件においても、「半導体装置」の記憶容量を2倍にする、即ち、本件特許発明と同じく、「記憶容量を大きくする」という効果を有している。

そうすると、イ号物件の「前記表面に搭載される前記第1から第4のNAND型フラッシュメモリと、前記裏面に搭載される前記第5から第8のNAND型フラッシュメモリは、前記配線基板に対して対称的に設けられた」ことは、本件特許発明における「第1から第nの不揮発性半導体メモリと、前記第(n+1)から第2nの不揮発性半導体メモリとは前記基板に対して対称に配置される」ことに相当する。

したがって、イ号物件の構成スは、本件特許発明の構成要件Mを充足する。

13. 構成要件Nについて

当該構成要件については請求人と被請求人との間に、充足性に関して争いがないところ、

イ号物件の「半導体装置」は、本件特許発明の「半導体装置」に相当する。

したがって、イ号物件の構成セは、本件特許発明の構成要件Nを充足する。

14. 構成要件Oについて

当該構成要件については請求人と被請求人との間に、充足性に関して争いがないところ、

イ号物件の「前記表面層と前記裏面層の間に設けられた第2層から前記第7層からなる、配線パターンを有する内部配線層を備え、前記第9から前記第12信号線は内部配線層を通る部分を備える」は、本件特許発明の「表面層と裏面層との間に設けられ、配線パターンを備える内部配線層をさらに備え、第(2n+1)から第3nの信号線は内部配線層を通る部分を備える」に相当する。

よって、イ号物件の構成ソは、本件特許発明の構成要件Oを充足する。

15. 以上、1.～14.において検討したとおりであるから、イ号物件の各構成ア乃至構成ソは、本件特許発明の各構成要件A乃至構成要件Oを充足している。

第5. 被請求人の主張について

1. 被請求人の主張の概略

被請求人は、答弁書において、

『乙第1号証(乙2と合わせて参照詳細は後述する「注3」)は、2009年2月5日付(「注3」)のSSD(ソリッドステートドライブ)に関するブログ記事である。(被請求人とは関係のない者によって作成されたブログ記事である。以下、「本件公知文献」という)。

本件公知文献には、SSDの分解写真やこれに関する記事が掲載されているところ、これらの掲載写真等(本件公知文献の内容等)をみると、本件公知文献には、次のSSDに関する構成が開示されているといえる。

<本件公知文献に開示されているSSDの構成>

基板が平面視において略長方形形状からなること。

基板の一方の面に8つのフラッシュメモリ（不揮発性半導体メモリ）と1つのコントローラが搭載されていること。

基板の他方の面に8つのフラッシュメモリ（不揮発性半導体メモリ）が搭載されていること。

外部機器と接続するためのコネクタが設けられていること。

基板の一方の面に搭載されるフラッシュメモリと他方の面に搭載されるフラッシュメモリとは基板に対して対称に配置されていること。より詳しくいえば、基板の一方の短辺側（コネクタが設けられている辺と対向する辺側）に寄せられるとともに、基板の一方の長辺（コネクタが設けられている辺と直交する辺）側に寄せられることなく上下（当該コネクタが設けられている辺と直交する2つの辺をそれぞれ上辺・下辺とした場合における「上下」のこと）ほぼ均等に配置された、これらのフラッシュメモリが、基板に対して対称に配置されている。

そして、

複数の抵抗素子を、基板の表面層にあるコントローラと不揮発性半導体メモリの間に搭載して（つまり、これらの抵抗素子は基板の表面層に搭載される）、これらの抵抗素子をコントローラと不揮発性半導体メモリのそれぞれに接続すること（「注4」）

一方の不揮発性半導体メモリと抵抗素子とを接続する信号線を分岐させ、分岐させた信号線を他方の不揮発性半導体メモリに接続すること（「注5」）

は、原出願の出願当時において、周知技術といえることから、この周知技術を参酌すれば、本件公知文献には、公知技術として、本件発明1が記載されているに等しいといえる。（中略）

そして、本件特許の明細書等には、次の点が記載されていることからすれば、構成要件Mに記載されている「対称」は、本件公知技術が意味する「対称」の意味を除外した

「以下の効果1及び2を発揮できる程度に、基板の表面層と裏面層とに搭載された不揮発性半導体メモリが、基板の一方の長辺側（平面視における基板の短手方向を上下方向とした場合における「上下」いずれか一方の辺側）に寄せられた状態で、基板に対して対称に配置されている」

ものと解釈すべきである。（中略）

イ号物件説明書の第5図によれば、イ号物件では、基板の表面層と裏面層とに搭載された不揮発性半導体メモリが、基板に対して対称に配置されているものの、これらの不揮発性半導体メモリは、

「基板のコネクタが設けられている辺と対向する辺側に寄せられるとともに、当該コネクタが設けられている辺と直交する辺の一方の辺側に寄せられることなく上下（当該コネクタが設けられている辺と直交する2つの辺をそれぞれ上辺・下辺とした場合における「上下」のこと）ほぼ均等に配置（「注7」）」

されるものとなっている。

したがって、イ号物件は、本件発明1の技術的範囲から除外される本件公知技術と同様の構成であることから、イ号物件の構成が、構成要件Mにいう「上記の効果1及び2（「注6」）を発揮できる程度に、基板の表面層と裏面層とに搭載された不揮発性半導体メモリが、基板の一方の長辺側（平面視における基板の短手方向を上下方向とした場合における「上下」いずれか一方の辺側）に寄せられた状態で、基板に対して対称に配置されている」ということはできない。

よって、イ号物件は、構成要件Mを充足することはないことから、本件発明1の技術的範囲に属しない。（以下、略）』（答弁書5頁13行～13頁3行より抜粋。なお、内容に関連しない表記の変更を一部行っている。）

旨主張している。

2. 被請求人の主張に対する当審の判断

(1) 乙第1号証、及び、乙第2号証の採否について

被請求人が答弁書と共に提出した乙第1号証(Livedoor Blog IT・家電「BlogなMaterialistic A SILICON POWER製SSDを分解」2009年2月5日)は、Blog記事であることから、日付と内容の信憑性に疑問があるが、同じく、被請求人が答弁書と共に提出した乙第2号証(Webサイト、「WayBackMachine」のサービスを利用した、「INTERNET ARCHIVE」における、URL“http://materialistica.livedoor.biz/archive/51427438.html”の検索結果の2009年2月8日の出力、出力日;2016年8月16日)は、乙第1号証であるBlogページを運営する団体とは、関係がない団体であって、Webページのスナップショットを取得して保存するインターネット・アーカイブという団体が、乙第1号証のページのスナップショットを、2009年2月8日に取得保存したものであって、インターネット・アーカイブの目的から、取得時点の情報を、そのまま保持していたものと解され、乙第2号証の情報が、2009年2月8日以降に変更されたこと示す具体的証拠が、請求人側から提示されていないことから、乙第2号証に示されている情報が、2009年2月8日時点において存在していたことを否定することはできない。

したがって、以降は、乙第2号証に開示されている「SILICON POWER製SSD」が、2009年2月8日時点で存在していたものとして検討を行う。

(2) 本件特許発明の公知性について

乙第2号証(以下、「本件公知文献」という)に記載の技術を理由に、本件特許発明が、公知技術であったというためには、本件公知文献に、本件特許発明の構成要件A乃至構成要件Oの全てが記載されている又は記載されているに等しいと理解されることが必要である。

そこで、本件公知技術に、本件特許発明の構成要件A乃至構成要件Oが記載されているといえるかについて、以下に検討する。

本件公知文献を参照すると、乙第2号証の2/4ページには、3枚の写真(以下、「写真1」～「写真3」という)が掲載され、その1枚目の写真の下4行に、

「さらに分解し、裏面側の筐体カバーから基板を取り外してみたのが上の写真です。本体基板の裏面側には表面と同じく8個の

『K9GA08U0M-PCB0』が搭載されていることに加

え、JMicron製のコントローラチップ『JM602』が搭載されています。」(以下、「引用記載1」という)

と記載されている。

同じく、本件公知文献の3/4ページには、2/4ページの写真とは異なる、3枚の写真が掲載され、その2枚目の写真の下3行に、

「という訳で、SILICON POWER製のSSDのMLC32GBモデルである『SP032GBSSD650S25』は、SAMSUNG製のMLCフラッシュメモリ『K9GA08U0M-PCB0』16個

と、JMicron製のコントローラ『JM602』で構成された製品でした。」(以下、「引用記載2」という)

と記載されている。

引用記載1、写真2、及び、写真3から、本件公知文献には、“基板の表面に8個の『K9GA08U0M-PCB0』が搭載され、基板の裏面側に、表面と同じく8個の『K9GA08U0M-PCB0』が搭載されていることに加え、JMicron製のコントローラチップ『JM602』が搭載されている”ことが読み取れ、引用記載2から、

『K9GA08U0M-PCB0』が、SAMSUNG製のMLCフラッシュメモリであることが、読み取れる。

さらに、写真2、及び、写真3から、“基板の表面の8個のフラッシュメモリ”と、“基板の裏面側の8個のフラッシュメモリ”とは、略対称に配置されていることも読み取れる。

また、写真1乃至写真3から、基板端部(写真1においては、下端、写真

2, 及び, 写真3においては, 右端)に, 他の機器との接続のためのコネクタが見て取れる。

そして, 基板上に「コントローラチップ」と, 「フラッシュメモリ」が搭載されていることから, これらは相互に“配線パターン”を介して接続されていることは技術常識であって, 上記指摘の構成から, 本件公知文献に開示されている製品が, “半導体装置”であることも明らかである。

そうすると, 本件公知文献からは, 次の本件公知文献に記載の技術を読み取ることができる。

- a 第1から第8のフラッシュメモリと,
- b 第9から第16のフラッシュメモリと,
- c 第1から第16のフラッシュメモリを制御するコントローラと,
- d 前記コントローラと前記第1から第16のフラッシュメモリとを接続する信号線と,
- e 基板とを備え,
- f 前記基板は,
- j 前記基板の裏面に形成される配線パターンを備え, 前記第1から第8のフラッシュメモリと前記コントローラが搭載される裏面側と,
- k 前記基板の表面に形成される配線パターンを備え, 前記第9から第16のフラッシュメモリが搭載される表面と,
- l コネクタを有し,
- m 前記第1から第8のフラッシュメモリと, 前記第9から第16のフラッシュメモリとは, 前記基板に対して略対称に配置される
- n 半導体装置

次に, 本件公知文献に記載の技術と, 本件特許発明とを対比すると, 本件公知文献に記載の技術における構成dである「信号線」は, 「コントローラ」と, 「フラッシュメモリ」を接続するものであるが, 本件公知文献の記載からは, “基板”に“抵抗素子”が存在することは読み取れないので, 「コントローラ」と, 該“抵抗素子”とを接続する信号線, 及び, 該“抵抗素子”と, 「フラッシュメモリ」とを接続する信号線が記載されていることも読み取れない。

加えて, 本件公知文献に記載の技術において「信号線」が「分岐」していること, “基板”が, 「内部配線層」を有すること, 該「分岐」した「信号線」が, 「内部配線層を通る部分を有する」ことは, 本件公知文献からは読み取ることができない。

そうすると, 本件公知文献に記載の技術は, 本件特許発明における次の構成要件を有していない。

- ・「第1から第nの抵抗素子」(構成要件C)
- ・コントローラと第1から第nの抵抗素子とを各々接続する第1から第nの信号線(構成要件E)
- ・第1から第nの抵抗素子と第1から第nの不揮発性半導体メモリとを各々接続する第(n+1)から第2nの信号線(構成要件F)
- ・第(n+1)から第2nの信号線から分岐され第(n+1)から第2nの不揮発性半導体メモリと各々接続される第(2n+1)から第3nの信号線(構成要件G)
- ・基板の表面に形成される配線パターンを備え, 第1から第nの不揮発性半導体メモリと前記第1から第nの抵抗素子と前記コントローラが搭載される表面層(構成要件J)
- ・表面層と裏面層との間に設けられ, 配線パターンを備える内部配線層をさらに備え, 第(2n+1)から第3nの信号線は前記内部配線層を通る部分を備える(構成要件O)

そして, 当該構成要件は, 被請求人が, 上記引用の答弁書において主張する内容を加味しても, 本件特許の出願時点において, 当業者にとって技術常識であったとまでは言えないから, 本件公知文献に接した当業者が, 当該構成要件が本件公知文献に記載されているに等しいと認識するとはいえない。

以上のとおりであるから, 本件公知文献には, 本件特許発明の全ての構成要件が記載されているとはいえないので, 本件公知文献に記載の技術をもつ

て、本件特許発明が公知技術であるということとはできない。
よって、本件特許発明が、公知技術であることを前提とした、被請求人の
答弁書における主張は採用することができない。

第6. むすび

したがって、イ号物件は、本件特許発明の技術的範囲に属する。

よって、結論のとおり決定する。

平成29年 1月30日

審判長 特許庁審判官 高木 進
特許庁審判官 石井 茂和
特許庁審判官 辻本 泰隆

[判定分類] P 1 2 . 1 - Y A (G 1 1 C)

審判長	特許庁審判官	高木 進	8628
	特許庁審判官	辻本 泰隆	8945
	特許庁審判官	石井 茂和	8837