

判定

判定2017-600046

東京都港区芝浦一丁目1番1号
請求人 東芝メモリ株式会社

東京都大田区蒲田5-24-2 損保ジャパン蒲田ビル9階
代理人弁護士 高橋 雄一郎

東京都大田区蒲田5-24-2 損保ジャパン蒲田ビル9階
代理人弁理士 望月 尚子

台湾新竹科學園區力行路十六號
被請求人 旺宏電子股▲ふん▼有限公司（マクロニクス・インターナショナル・カンパニー・リミテッド）

東京都中央区八重洲二丁目8番7号 福岡ビル9階 阿部・井窪・片山法律事務所
代理人弁理士 日野 真美

東京都中央区八重洲2丁目8番7号 福岡ビル9階 阿部・井窪・片山法律事務所
代理人弁理士 加藤 志麻子

東京都中央区八重洲二丁目8番7号 福岡ビル9階 阿部・井窪・片山法律事務所
復代理人弁理士 藤 拓也

上記当事者間の特許第4510060号の判定請求事件について、次のとおり判定する。

結論

イ号物件説明書に示すフラッシュメモリの読み出し／書き込み制御方法は、特許第4510060号の特許請求の範囲の請求項2に記載された発明の技術的範囲に属する。

理由

第1 請求の趣旨

本件判定の請求の趣旨は、イ号物件説明書に示すフラッシュメモリによって実施される方法（以下「イ号」という。）は、特許第4510060号（以下「本件特許」という。）の特許請求の範囲の請求項2に記載された発明（以下「本件特許発明」という。）の技術的範囲に属する、との判定を求

めるものである。

なお、上記請求の趣旨における「イ号」に関し、判定請求書の第14～15頁では、イ号を方法として、本件特許との対比を行っていることを踏まえると、実質的に請求の要旨の変更を行うものではなく、また、平成30年2月13日付けの審尋に対しても、請求人は、平成30年3月15日に提出した回答書（以下、「請求人回答書1」という。）において、「フラッシュメモリ」から「フラッシュメモリによって実施される方法」と修正しており、これにより、イ号につき判定の対象とする「MX30UF4G28AB-T1」に変更はないから、主要事実を差し替えたり追加したりするものに当たらず、よって、上記のとおり請求の趣旨として、判定を行う。

第2 本件特許発明について

1. 手続の経緯

出願	平成19年	9月14日
出願公開	平成21年	4月2日
審査請求	平成21年	8月7日
拒絶理由通知	平成22年	1月5日付け
意見書、補正書	平成22年	3月15日
特許査定	平成22年	4月1日付け
特許設定登録	平成22年	5月14日
判定請求書	平成29年	10月11日
答弁書	平成30年	2月5日
審尋（審判）	平成30年	2月13日付け
弁駁書（1）	平成30年	3月15日
回答書（1）（請求人）	平成30年	3月15日
弁駁書（2）	平成30年	3月19日
審尋（審判）	平成30年	4月10日付け
回答書（2）（請求人）	平成30年	5月14日
回答書（被請求人）	平成30年	6月12日

2. 本件特許発明の構成

特許請求の範囲の記載によれば、本件特許発明は、以下のとおりである。
（当審注、判定請求書「イ 構成要件の分説」（第4頁3行～20行）に倣い、構成要件毎に分説し、記号2Aないし2Dを付した。以下「構成要件2A」などという。）

「2A 直列接続された複数の浮遊ゲート型不揮発性メモリセルを有するNANDストリングと、前記NANDストリング内の各メモリセルの制御ゲートにそれぞれ接続される複数のワード線とを有する不揮発性半導体記憶装置の読み出し／書き込み制御方法であって、

2B 選択ワード線に選択電圧を、非選択ワード線にセルデータによらず非選択メモリセルをオンさせる読み出しパス電圧を与えて、NANDストリング内の選択メモリセルの書き込みベリファイ及び通常読み出しを行う際に、

2C 選択ワード線に隣接する二つの隣接非選択ワード線を除く非選択ワード線に第1の読み出しパス電圧が駆動回路から印加され、前記二つの隣接非選択ワード線に第1の読み出しパス電圧より高い第2の読み出しパス電圧が駆動回路から印加される

2D ことを特徴とする不揮発性半導体記憶装置の読み出し／書き込み制御方法。」

3. 本件特許の明細書の記載

(1) 本件特許明細書の発明の詳細な説明には、本件特許発明の課題、その解決手段、効果に関連して、以下の記載がある。(当審注。下線は当審において付加した。以下同じ。)

「【背景技術】

【0002】

現在のNAND型フラッシュメモリでは、個々のメモリセルがフローティングゲート(FG)を備え、FGの電子注入と電子放出により書き込みと消去を行う。FG内の電子注入量を制御することにより、複数のしきい値状態(データ状態)が設定できる。近年では、一つのメモリセルに2ビット、すなわち4値を記憶させるNAND型フラッシュメモリが開発され、量産されている。

【0003】

NAND型フラッシュメモリの微細化、および更なる多値化において、課題となっているのが、フローティングゲート(FG)間の干渉ノイズである。これは、あるメモリセルCell Aに書き込みを行った後、隣のメモリセルCell Bに書き込みを行うと、Cell AのFG電位がCell BのFGの電位変化の影響を受けて変化し、結果としてしきい値分布が広がって見える効果である。

【0004】

この様なメモリセル間の干渉の影響を小さくする好ましい書き込み制御方式として、例えば特許文献1の方式が提案されている。ここでは基本的に、4値レベルの最下位レベルから最上位レベルへと一気に変化させるような上位ページ書き込みモードを利用しない。これにより、隣接メモリセル間の干渉ノイズを低減することができる。更に、書き込み時のワード線選択を例えばソース線側から順に行うことを基本としながら、下位ページ書き込みと上位ページ書き込みのワード線選択順を適宜に組み合わせることにより、隣接メモリセル間の干渉をできるだけ低減する。

【0005】

しかしこの特許文献1の書き込み制御方式を用いたとしても、NAND型フラッシュメモリの更なる微細化を進めた場合には、隣接セル間の干渉ノイズの影響を避けることが難しくなる。

【特許文献1】特開2005-243205号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

この発明は、隣接セル間の干渉ノイズを低減した不揮発性半導体記憶装置の読み出し／書き込み制御方法を提供することを目的とする。」

「【0040】

【解決課題】

ここまで、実施の形態のNAND型フラッシュメモリの基本構成と基本書き込み制御方法を説明したが、ここには未だ解決課題が残されている。これを具体的に説明する。

【0041】

図5は、書き込みベリファイ読み出し時及び通常読み出し時のNANDストリング内のバイアス関係を示している。ここでは説明を簡単にするため、NANDストリングを構成するメモリセルがMC0-MC7の8個の例を示している。

【0042】

メモリセルMC2が選択されたとき、そのワード線WL2には選択電圧Vselが与えられ、他の非選択セルMC0-MC1、MC3-7のワード線WL0-1、WL3-7には、非選択セルがデータ状態によらずオンする

に必要な読み出しパス電圧 V_{read} が与えられる。ここで選択電圧 V_{sel} は、図4に示すように、書き込みベリファイ時には書き込みレベルに応じて選択されるベリファイ電圧 V_{lv} , V_{av} , V_{bv} , V_{cv} のいずれかであり、通常読み出し時にはレベルに応じて選択される各レベル間に設定された読み出し電圧 V_{ar} , V_{br} , V_{cr} のいずれかである。

【0043】

図6は、選択ワード線 WL_n のメモリセルにAレベルを書き込む上位ページ書き込みでの書き込みベリファイ時のワード線 $WL_{n-2} \sim WL_{n+2}$ の範囲のメモリセルの状態を示している。ワード線 WL_n のメモリセルに上位ページ書き込みを行う場合、ワード線 WL_{n-1} , WL_{n+1} のメモリセルの書き込みは全て終了しており、E~Cレベルのいずれかの状態にある。ワード線 WL_{n+1} のメモリセルは、図2で説明した書き込み順により、下位ページのデータ(LMレベル)が書き込まれた状態又はEレベルの状態にある。更に隣のワード線 WL_{n+2} のメモリセルは、Eレベル(消去状態)である。

【0044】

ここで、既に書かれているワード線 WL_{n-1} のメモリセルのCレベルに着目すると、この分布は周囲からフローティングゲート間の干渉を受けないとすると実線の分布 b_1 となり、干渉を受けている場合は破線の分布 b_2 となる。ワード線 WL_{n+1} においては、干渉がない場合は実線の分布 c_1 、干渉がある場合は破線の分布 c_2 となる。

【0045】

ここで、選択ワード線 WL_n の隣の非選択ワード線 WL_{n-1} , WL_{n+1} は、隣接セル間の干渉を考察すると、それ以外の非選択ワード線とは条件が異なっていることに気づく。即ち、他の非選択ワード線や選択ワード線は、 V_{read} が印加されるワード線に挟まれているのに対し、ワード線 WL_{n+1} , WL_{n-1} では、その両隣のワード線は、一つが V_{read} であり、他の一つがベリファイ電圧 V_{av} となっている。

【0046】

これにより、隣接ワード線の一つの電位が低い非選択ワード線 WL_{n-1} , WL_{n+1} のメモリセルについては、他の非選択ワード線のセルに比べて、隣接セルの干渉が大きく、見かけのしきい値が高くなる。このことをより具体的に、図8を参照して説明する。

【0047】

図8は、NANDストリング内のメモリセル MC_n のフローティングゲート FG_n に着目して、その電位に影響を与える容量結合の様子を示している。即ち、 FG_n は、その上のコントロールゲート(即ちワード線 WL_n)と容量 C_2 で結合し、チャンネルとは容量 C_1 で結合する。基本的には、これらの容量 C_2 , C_1 による結合比でワード線によるフローティングゲート電位制御、チャンネル電位制御が行われる。

【0048】

一方セルの微細化により、着目セルのフローティングゲート FG_n は、隣接セルのフローティングゲートとも、また隣接セルのワード線ともそれぞれ容量 C_3 , C_4 で大きく結合する。

【0049】

このような容量結合の状況下で、いま、ワード線 WL_{n+1} にパス電圧 V_{read} が与えられ、ワード線 WL_n にそれより低い読み出し電圧が与えられているときの、ワード線 WL_{n+1} 下のフローティングゲート FG_{n+1} についてみると、これは V_{read} が与えられたワード線 WL_{n+1} の直接の電位制御の結果よりも低くなる。何故なら、ワード線 WL_n から FG_n を介して(即ち容量 C_2 , C_3 を介して) FG_{n+1} の電位を引き下げる容量結合の効果と、ワード線 WL_n から直接隣接セルのフローティングゲート FG_{n+1} に対する容量結合(即ち容量 C_4 を介して FG_{n+1} の電位を引き下げる効果)とが相乗して、フローティングゲート FG_{n+1} は、 V_{read} による電位上昇が十分に行われない。

【0050】

言い換えれば、選択ワード線に隣接する非選択ワード線下のメモリセル

は、見かけ上しきい値が高くなる。即ち図6に示すように、非選択ワード線WL_{n+1}では、LMレベルのメモリセルが見かけ上、一点鎖線の分布c₃となり、また非選択ワード線WL_{n-1}下のCレベルのメモリセルは、同様に、一点鎖線で示す分布b₃となる。

【0051】

この結果、図6に示したように、非選択ワード線WL_{n-1}のセルのV_{read}に対するオンマージンdV_{on 2a}と、非選択ワード線WL_{n-2}のセルのV_{read}に対するオンマージンdV_{on 1a}との関係は、dV_{on 1a}>dV_{on 2a}となる。

【0052】

次に図7は、全てのメモリセルに書き込みを行った後で、ワード線WL_nのセルデータ(Aレベル)を読み出す場合について同様に、ワード線WL_{n-2}~WL_{n+2}の範囲でセルしきい値の状態を示している。ここでは全てのメモリセルが、隣接セルの干渉によって、規定のしきい値状態(実線)から正方向に分布が広がった状態(破線)を示している。

【0053】

また、ワード線WL_{n-1}のCレベルセルでは、選択ワード線WL_nの読み出し電圧がAレベル付近にある場合には、図6の場合と同様に、一点鎖線で示す分布b₃になると考えられる。一方ワード線WL_{n+1}のCレベルセルは、読み出し電圧が与えられた選択ワード線WL_n側のセルからの干渉により、一点鎖線で示す分布c₃のように見える。

【0054】

選択ワード線WL_nのAレベルセルのしきい値変化については、次のようになる。まず図6のWL_{n+1}のセルのLMレベルの分布c₁~c₃が、図7のWL_{n+1}のセルのCレベルの分布c₁~c₃にシフトした結果を受けて、FG間の干渉効果で実線のデータ分布a₁が破線の分布a₂のようになる。これに加えて、非選択ワード線WL_{n+1}のメモリセルのしきい値分布が見かけ上c₃となり、そのオン抵抗の上昇が選択ワード線WL_nのメモリセルのしきい値設定時のセル電流I_{cell}に影響を与えると、選択ワード線WL_nのAレベルに書かれるメモリセルのデータ分布は更に、a₃のようにしきい値が正方向にシフトすることになる。

【0055】

このような非選択セルのパス電圧V_{read}に対するオンマージンが問題となって書き込み後のデータしきい値分布を広げる効果は、バックパターンノイズと称される。このバックパターンノイズは一般に、NANDストリング内で早く書き込まれるメモリセル、すなわちセルソース線CELSRC側に近いメモリセルほど見えやすい。しかし、微細化によりメモリセル間の干渉が大きくなると、隣の一つのメモリセルの影響であっても無視できなくなり、小さくなるオンマージンによって、影響が見える可能性がある。」

「【0061】

[実施の形態のR/W方式(その1)]

図9は、実施の形態の読み出し/書き込み(R/W)方式(その1)の書き込みベリファイ動作及び通常読み出し動作におけるNANDストリング内のワード線への印加電圧状態を、図5と対応させて示している。また図10は、選択ワード線WL_nの上位ページ書き込みベリファイ動作時のその周囲のワード線のセルしきい値状態を、図11は、同じく全セル書き込み終了後の選択ワード線WL_nの読み出し時のセルしきい値状態を、それぞれ図6及び図7と対応させて示している。

【0062】

図9、図10及び図11に示すように、選択ワード線WL_nの隣(ビット線側、即ち選択セルより後に書かれるセル側)の非選択ワード線WL_{n+1}には、それ以外の非選択ワード線に印加される読み出しパス電圧V_{read}よりも高い読み出しパス電圧V_{read 2}を印加して、書き込みベリファイや、通常読み出し動作を行う。

・・・(中略)・・・

【0070】

この様な読み出しパス電圧 V_{read2} を導入することにより、非選択ワード線 WL_{n+1} のセルでのオン抵抗上昇が抑制され、従って選択ワード線 WL_n の選択メモリセルのしきい値分布シフトが抑えられる。より具体的に説明すれば、非選択ワード線 WL_{n+1} のセルのオン抵抗上昇があると、先に図7で説明したように、選択ワード線 WL_n のAレベルに書かれるメモリセルのデータ分布は a_3 のようにしきい値が正方向にシフトする。

【0071】

これに対してこの実施の形態によると、図11に示すように、この選択メモリセルのデータ分布 a_2 から a_3 へのシフト量が小さくなる。先に説明した解析結果から、デザインルール 56nm 以下の世代で特にこの効果が顕著になる。」

「【0072】

〔実施の形態のR/W方式（その2）〕

図13は、実施の形態のR/W方式（その2）の書き込みベリファイ動作及び通常読み出し動作におけるNANDストリング内のワード線への印加電圧状態を、図5及び図9と対応させて示している。また図14は、選択ワード線 WL_n の上位ページ書き込みベリファイ動作時のその周囲のワード線のセルしきい値状態を、図15は、同じく全セル書き込み終了後の選択ワード線 WL_n の読み出し時のセルしきい値状態を、それぞれ図6、図10及び図6、図11と対応させて示している。

【0073】

このR/W方式（その2）の先のR/W方式（その1）との相違は、図13に示すように、ベリファイ読み出し時及び通常読み出し時、選択ワード線 WL_n のビット線側の隣接非選択ワード線 WL_{n+1} のみならず、ソース線側の隣接非選択ワード線 WL_{n-1} に対して、それ以外の非選択ワード線に与える読み出しパス電圧 V_{read} より高い読み出しパス電圧 V_{read2} を与えることにある。

【0074】

この場合も、 V_{read2} は、選択ワード線 WL_n の読み出し電圧による隣接非選択ワード線 WL_{n+1} 、 WL_{n-1} 上の非選択セルの見かけ上のしきい値上昇分をキャンセルする程度に調整された電圧である。 $V_{read2} - V_{read}$ が大きすぎると、副作用として両隣が V_{read} となる非選択ワード線において V_{read} に対するオンマージンが縮小され、ワード線 $WL_{n+2} \sim WL_m$ によるバックパターンノイズが大きくなる傾向がある。従って、 V_{read2} は、ワード線 WL_{n+1} のメモリセルでの影響を抑制する程度に設定することが望ましい。

【0075】

この様なR/W方式（その2）によれば、先のR/W方式（その1）の効果に加えて、 WL_{n-1} のセルでのオンマージン低下による書き込みベリファイ時及び通常読み出し時のNANDストリング全体のセル電流 I_{cell} の減少が抑制される。」

(2) 上記(1)より、以下のとおりと認められる。

ア 本件特許発明が解決しようとする課題について

(ア) NAND型フラッシュメモリの微細化、および更なる多値化において、フローティングゲート (FG) 間の干渉ノイズが課題となっており、これは、あるメモリセル $Cell_A$ に書き込みを行った後、隣のメモリセル $Cell_B$ に書き込みを行うと、 $Cell_A$ のFG電位が $Cell_B$ のFGの電位変化の影響を受けて変化し、結果としてしきい値分布が広がって見える効果である。(段落【0003】)

(イ) このようなメモリセル間の干渉の影響を小さくする好ましい書き込み制御方式として、4値レベルの最下位レベルから最上位レベルへと一気に変

化させるような上位ページ書き込みモードを利用しない方式が提案されているが、このような書き込み制御方式を用いたとしても、NAND型フラッシュメモリの更なる微細化を進めた場合には、隣接セル間の干渉ノイズの影響を避けることが難しくなる。(段落【0004】～【0005】)

(ウ) 具体的には、図5に示されるNANDストリングを構成するメモリセルがMC0-MC7の8個の例において、メモリセルMC2が選択されたとき、そのワード線WL2には選択電圧 V_{sel} が与えられ、他の非選択セルMC0-MC1、MC3-7のワード線WL0-1、WL3-7には、非選択セルがデータ状態によらずオンするに必要な読み出しパス電圧 V_{read} が与えられるところ、選択ワード線WL n の隣の非選択ワード線WL $n-1$ 、WL $n+1$ については、隣接ワード線である選択ワード線WL n の電位が低いいため、他の非選択ワード線のセルに比べて、隣接セルの干渉が大きく、見かけのしきい値が高くなり、この結果、非選択ワード線WL $n-1$ のセルの V_{read} に対するオンマージン dV_{on_2a} と、非選択ワード線WL $n-2$ のセルの V_{read} に対するオンマージン dV_{on_1a} との関係は、 $dV_{on_1a} > dV_{on_2a}$ となる。(段落【0041】、【0042】、【0045】、【0046】、【0051】)

このような非選択セルのパス電圧 V_{read} に対するオンマージンが問題となって書き込み後のデータしきい値分布を拡げる効果は、バックパターンノイズと称され、微細化によりメモリセル間の干渉が大きくなると、隣の一つのメモリセルの影響であっても無視できなくなり、小さくなるオンマージンによって、影響が見える可能性がある。(段落【0055】)

イ 本件特許発明における課題の解決手段について

従来技術における上記の課題を解決することを目的とし、ベリファイ読み出し時及び通常読み出し時、選択ワード線WL n のビット線側の隣接非選択ワード線WL $n+1$ のみならず、ソース線側の隣接非選択ワード線WL $n-1$ に対して、それ以外の非選択ワード線に与える読み出しパス電圧 V_{read} より高い読み出しパス電圧 V_{read2} を与えるとの構成とする。(段落【0073】)

ウ 本件特許発明による効果について

上記のような構成とすることで、非選択ワード線WL $n-1$ 、WL $n+1$ のセルでのオン抵抗上昇が抑制され、選択ワード線WL n の選択メモリセルのしきい値分布シフトが抑えられるとともに、WL $n-1$ のセルでのオンマージン低下による書き込みベリファイ時及び通常読み出し時のNANDストリング全体のセル電流 I_{cell} の減少が抑制される、との効果を奏する。(段落【0070】、【0075】)

なお、その際に、非選択ワード線WL $n-1$ 、WL $n+1$ に対し与えられる V_{read2} は、選択ワード線WL n の読み出し電圧による隣接非選択ワード線WL $n+1$ 、WL $n-1$ 上の非選択セルの見かけ上のしきい値上昇分をキャンセルする程度に調整された電圧であり(段落【0074】)、

すなわち、非選択ワード線WL $n-1$ 、WL $n+1$ のセルでのオン抵抗上昇を抑制するという、上記効果を奏するよう、選択ワード線WL n に隣接しそれとのメモリセル間干渉が問題となる非選択ワード線WL $n-1$ 、WL $n+1$ については、非選択セルの見かけ上のしきい値上昇分をキャンセルする程度に調整された電圧である V_{read2} を与えるものであって、低い電位である選択ワード線WL n からの影響を受けないそれ以外の非選択ワード線については全て、上記イのとおり、 $V_{read} (< V_{read2})$ を与えるものであると認められる。(段落【0073】)

第3 イ号の特定

1. イ号が実施されるフラッシュメモリ

(1) 合議体の特定

ア イ号が実施されるフラッシュメモリについて、平成29年10月11日付けの判定請求書と共に提出されたイ号物件説明書には、

『イ号物件は、製品番号が「MX30UF4G28AB-T1」であるフラッシュメモリである（甲第2号証、第4、5頁）』（イ号物件説明書第1頁2行～3行）

と記載されているところ、請求人回答書1と共に提出された、甲第4号証（宣誓供述書（牧野英一氏））（以下、「甲4」という。）によれば、平成28年11月25日、東芝メモリ株式会社社員である牧野英一は、株式会社東芝 ストレージ&デバイスソリューション社知的財産部の石川隆史からの依頼を受けて、「MX30UF4G28AB-T1」の針当て解析を行うこととし（甲4の第2頁、添付資料●2（「●2」は、「2」の丸数字を示す。以下、同じ。））、同年同月30日、東芝メモリ株式会社社員である古田優佳に針当て解析を指示し（甲4の第5頁、添付資料●2）、同年12月1日、株式会社エルテックから「MX30UF4G28AB-T1」を2個受領し（甲4の第4頁、添付資料●2）、同年同月12日、古田優佳から、「MX30UF4G28AB-T1」の針当てによる測定結果をまとめた資料（甲4の添付資料●12）の提出を受け（甲4の第7頁、添付資料●13）、当該測定結果をまとめた資料（甲4の添付資料●12）が、甲第2号証（調査報告書）の元となる資料であることが示されていることを踏まえ、甲第2号証において実際に分析の対象とされたのは「MX30UF4G28AB-T1」であると、矛盾なく認めることができる。

以上から、イ号として、製品番号「MX30UF4G28AB-T1」のフラッシュメモリにおいて実施される方法、を特定することができる。

イ また、甲第2号証の第9～13頁には、上記アのフラッシュメモリに対する読み出し動作の分析結果が示されていること、及び、同じく甲第2号証の第14～19頁には、上記フラッシュメモリに対する書き込み動作の分析結果が示されていることから、上記アの、「MX30UF4G28AB-T1」のフラッシュメモリにおいて実施される方法として、フラッシュメモリの読み出し／書き込み制御方法、が認められる。

ウ また、甲第3号証（「MX30UF×G26（28）AB」のデータシート）の第8、16頁によれば、上記アのフラッシュメモリが、NAND型フラッシュメモリであること、及び、直列接続された32個のセルを有するNANDストリングを有すること、を特定することができ、また、NAND型フラッシュメモリを構成する各セルについて、浮遊ゲートや制御ゲートを有する不揮発性メモリセルであることや、各セルの制御ゲートにそれぞれワード線が接続されていることは、自明である。

エ 以上、アないしウによれば、イ号として、

直列接続された32個の浮遊ゲート型不揮発性メモリセルを有するNANDストリングと、前記NANDストリング内の各メモリセルの制御ゲートにそれぞれ接続される複数のワード線とを有する、製品番号「MX30UF4G28AB-T1」のNAND型フラッシュメモリの読み出し／書き込み制御方法

を特定し認めることができる。

(2) 被請求人の主張について
それに対し、被請求人は、平成30年2月5日付け答弁書（以下、「答弁書」という。）において、

『甲第2号証（以下「甲2」・調査報告書）を見ても、検証の対象とされたフラッシュメモリが、「MX30UF4G28AB-T1」であることを示す証拠は一切ない。甲2の5頁には、非常に不鮮明な写真が掲載されているが（しかも、これは、右上の「報告書 NO. J1FAA11314」の記載からすると、別の報告書の写しのようなものである）、当該素子のパッケージ写真からは、製品番号は特定できない。』（答弁書第4頁7行～12行）

『この点は、イ号物件説明書の1頁に掲載された写真を見ても同様である。同頁に掲載された写真は、以下のものであるが、この写真からは、製品番号に関連する文字としては、「MX30UF」と「-T1」の部分は読み取れるが、これらの間に記載されている文字が何であるかは読み取ることができない。

．．．（中略）．．．

イ号物件説明書は、証拠に基づいて作成されるべきものであるところ、このような、証拠に基づかないイ号製品の説明は、根拠がなく、不適切である。』（答弁書第5頁3行～12行）

と主張するが、甲4に示された一連の経緯から、甲第2号証において実際に分析の対象とされたのは「MX30UF4G28AB-T1」であると矛盾なく認めることができるのは、上記(1)のAのとおりであるから、被請求人の上記主張は採用できない。

2. イ号の読み出し／書き込みについて

(1) 合議体の特定

A イ号の読み出し／書き込みについて、イ号物件説明書には、

(ア) 「MX30UF4G28AB-T1」のページ読み出しについて説明する。「MX30UF4G28AB-T1」のデータシートの交流波形（甲第3号証、第19頁）によれば、読み出し動作は、「00h」のコマンドを発行し、各アドレスを指定し、「30h」のコマンドを発行することによって行われる、（イ号物件説明書第5頁1行～第7頁6行）

(イ) 「MX30UF4G28AB-T1」のページ書き込みについて説明する。「MX30UF4G28AB-T1」のデータシートの交流波形（甲第3号証、第28頁）によれば、書き込み動作は、「80h」のコマンドを発行し、各アドレスを指定し、「10h」のコマンドを発行することによって行われる、（イ号物件説明書第10頁10行～第11頁末行）

と記載され、また、甲第2号証の第9～13頁、第14～19頁には、イ号に係るフラッシュメモリに対する読み出し動作及び書き込みベリファイ動作の分析結果がそれぞれ示されていること、及び、NAND型フラッシュメモリに対して読み出し／書き込みベリファイを行う際に、NANDストリング内の読み出し／書き込み対象のメモリセルの制御ゲートに接続されたワード線には、読み出し／書き込み対象とするための選択電圧を、NANDストリング内の上記読み出し／書き込み対象のメモリセル以外のメモリセルの制御ゲートに接続されたワード線には、当該メモリセルをオンさせる読み出しパス電圧を、それぞれ与えることは技術常識と言えることから、上記1.の(1)エで特定したイ号の方法が、

NANDストリング内の読み出し／書き込み対象のメモリセルに対しアドレスを指定しコマンドを発行することで書き込みベリファイ及び読み出しを

行う際に、NANDストリング内の読み出し／書き込み対象のメモリセルの制御ゲートに接続されたワード線に、読み出し／書き込み対象とするための選択電圧を、NANDストリング内の上記読み出し／書き込み対象のメモリセル以外のメモリセルの制御ゲートに接続されたワード線に、当該メモリセルをオンさせる読み出しパス電圧を与える、

ものであると認められる。

3. イ号による読み出し／書き込み時の電圧について

(1) 合議体の特定

ア 甲第3号証の第15頁によれば、上記1.の(1)エで特定したイ号に係るNAND型フラッシュメモリが、高電圧回路を有する、ことが認められる。

イ また、甲第2号証の第11～12頁の波形図に示された分析結果によれば、イ号に係る上記NAND型フラッシュメモリの読み出しにおいて、読み出し対象のメモリセルのアドレスの値を一つずつインクリメントした際に、ワード線1、ワード線20、及び、ワード線26の各ワード線について電圧を測定すると、当該ワード線が、読み出し対象のメモリセルのワード線、となるようアドレス指定された場合には、上記測定電圧は0.48Vであり、また、当該ワード線が、読み出し対象のメモリセルのワード線に隣接するワード線、となるようアドレス指定された場合には、上記測定電圧は6.4Vであり、また、当該ワード線が、読み出し対象のメモリセルのワード線、及び、当該読み出し対象のメモリセルのワード線に隣接するワード線、以外のワード線、となるようアドレス指定された場合には、上記測定電圧は5.9Vである、ことが認められる。

ウ また、甲第2号証の第13頁の波形図に示された分析結果によれば、イ号に係る上記NAND型フラッシュメモリの読み出しにおいて、5本連続したワード線23～27のうち、ワード線25のメモリセルが読み出し対象となるようアドレス指定された際に、ワード線23、ワード線24、ワード線25、ワード線26、及び、ワード線27の各ワード線について電圧を測定すると、ワード線23の測定電圧は5.9Vであり、ワード線24の測定電圧は6.4Vであり、ワード線25の測定電圧は0.48Vであり、ワード線26の測定電圧は6.4Vであり、ワード線27の測定電圧は5.9Vである、ことが認められる。

エ また、甲第2号証の第16～18頁の波形図に示された分析結果によれば、イ号に係る上記NAND型フラッシュメモリの書き込みベリファイにおいて、書き込み対象のメモリセルのアドレスの値を一つずつインクリメントした際に、ワード線1、ワード線20、及び、ワード線26の各ワード線について電圧を測定すると、当該ワード線が、書き込み対象のメモリセルのワード線、となるようアドレス指定された場合には、上記測定電圧は2.0Vであり、また、当該ワード線が、書き込み対象のメモリセルのワード線に隣接するワード線、となるようアドレス指定された場合には、上記測定電圧は6.2Vであり、また、当該ワード線が、書き込み対象のメモリセルのワード線、及び、当該書き込み対象のメモリセルのワード線に隣接するワード線、以外のワード線、となるようアドレス指定された場合には、上記測定電圧は5.7Vである、ことが認められる。

オ また、甲第2号証の第19頁の波形図に示された分析結果によれば、イ号に係る上記NAND型フラッシュメモリの書き込みベリファイにおいて、5本連続したワード線23～27のうち、ワード線25のメモリセルが書き込み対象となるようアドレス指定された際に、ワード線23、ワード線24、ワード線25、ワード線26、及び、ワード線27の各ワード線について電圧を測定すると、ワード線23の測定電圧は5.7Vであり、ワード線24の測定電圧は6.2Vであり、ワード線25の測定電圧は2.0Vで

あり、ワード線26の測定電圧は6.2Vであり、ワード線27の測定電圧は5.7Vである、ことが認められる。

カ 以上、アないしオによれば、イ号が、

上記NAND型フラッシュメモリが、高電圧回路を有し、
上記NAND型フラッシュメモリの読み出しにおいて、読み出し対象のメモリセルのアドレスの値を一つずつインクリメントした際に、ワード線1、ワード線20、及び、ワード線26の各ワード線について電圧を測定すると、当該ワード線が、読み出し対象のメモリセルのワード線、となるようアドレス指定された場合には、上記測定電圧は0.48Vであり、また、当該ワード線が、読み出し対象のメモリセルのワード線に隣接するワード線、となるようアドレス指定された場合には、上記測定電圧は6.4Vであり、また、当該ワード線が、読み出し対象のメモリセルのワード線、及び、当該読み出し対象のメモリセルのワード線に隣接するワード線、以外のワード線、となるようアドレス指定された場合には、上記測定電圧は5.9Vであり、
上記NAND型フラッシュメモリの読み出しにおいて、5本連続したワード線23-27のうち、ワード線25のメモリセルが読み出し対象となるようアドレス指定された際に、ワード線23、ワード線24、ワード線25、ワード線26、及び、ワード線27の各ワード線について電圧を測定すると、ワード線23の測定電圧は5.9Vであり、ワード線24の測定電圧は6.4Vであり、ワード線25の測定電圧は0.48Vであり、ワード線26の測定電圧は6.4Vであり、ワード線27の測定電圧は5.9Vであり、

上記NAND型フラッシュメモリの書き込みベリファイにおいて、書き込み対象のメモリセルのアドレスの値を一つずつインクリメントした際に、ワード線1、ワード線20、及び、ワード線26の各ワード線について電圧を測定すると、当該ワード線が、書き込み対象のメモリセルのワード線、となるようアドレス指定された場合には、上記測定電圧は2.0Vであり、また、当該ワード線が、書き込み対象のメモリセルのワード線に隣接するワード線、となるようアドレス指定された場合には、上記測定電圧は6.2Vであり、また、当該ワード線が、書き込み対象のメモリセルのワード線、及び、当該書き込み対象のメモリセルのワード線に隣接するワード線、以外のワード線、となるようアドレス指定された場合には、上記測定電圧は5.7Vであり、

上記NAND型フラッシュメモリの書き込みベリファイにおいて、5本連続したワード線23-27のうち、ワード線25のメモリセルが書き込み対象となるようアドレス指定された際に、ワード線23、ワード線24、ワード線25、ワード線26、及び、ワード線27の各ワード線について電圧を測定すると、ワード線23の測定電圧は5.7Vであり、ワード線24の測定電圧は6.2Vであり、ワード線25の測定電圧は2.0Vであり、ワード線26の測定電圧は6.2Vであり、ワード線27の測定電圧は5.7Vである、

と認めることができる。

(2) 被請求人の主張について

それに対し、被請求人は、答弁書において、

『甲2の6頁では、写真の説明として、「CG●●」という番号が示されているのみで、そもそも当該番号を示した線がワード線にあたることは何ら示されていない。また、「CG25」等の番号そのものについても、何を根拠にするものなのかを理解することができない。』（答弁書第6頁下から3行～第7頁1行）

と主張するが、イ号に係るNAND型フラッシュメモリである「MX30UF4G28AB-T1」の、ポリシリコン配線層のワード線

と、第3配線層のCG線との接続関係は、各配線層を剥離解析することによって、確認することができるものと認められ、また、甲第7号証の添付資料●4（平成30年3月7日付け半導体製品解析報告書）の第3頁に、CG線（CG0-CG31）とWord Line（WL0-WL31）の接続関係が示されていることも総合すると、全てのワード線はいずれかのCG線に接続されており、CG線の波形を測定することで、対応するワード線の波形を観察できるものと認められ、甲第2号証に係る調査は、イ号に係るNAND型フラッシュメモリである「MX30UF4G28AB-T1」の各ワード線が、それぞれどのCG線に接続されているかを確認した上で行ったものと認めることができるから、被請求人の上記主張は採用できない。

4. イ号

上記1. ないし3. を総合すると、イ号は以下のとおり分説した構成を具備するものと認められる（構成ごとに記号2a～2dを付した。以下、分説した構成を「構成2a」などという。）。

『2a 直列接続された32個の浮遊ゲート型不揮発性メモリセルを有するNANDストリングと、前記NANDストリング内の各メモリセルの制御ゲートにそれぞれ接続される複数のワード線とを有する、製品番号「MX30UF4G28AB-T1」のNAND型フラッシュメモリの読み出し／書き込み制御方法であって、

2b NANDストリング内の読み出し／書き込み対象のメモリセルに対しアドレスを指定しコマンドを発行することで書き込みベリファイ及び読み出しを行う際に、NANDストリング内の読み出し／書き込み対象のメモリセルの制御ゲートに接続されたワード線に、読み出し／書き込み対象とするための選択電圧を、NANDストリング内の上記読み出し／書き込み対象のメモリセル以外のメモリセルの制御ゲートに接続されたワード線に、当該メモリセルをオンさせる読み出しパス電圧を与え、

2c 上記NAND型フラッシュメモリが、高電圧回路を有し、
上記NAND型フラッシュメモリの読み出しにおいて、読み出し対象のメモリセルのアドレスの値を一つずつインクリメントした際に、ワード線1、ワード線20、及び、ワード線26の各ワード線について電圧を測定すると、当該ワード線が、読み出し対象のメモリセルのワード線、となるようアドレス指定された場合には、上記測定電圧は0.48Vであり、また、当該ワード線が、読み出し対象のメモリセルのワード線に隣接するワード線、となるようアドレス指定された場合には、上記測定電圧は6.4Vであり、また、当該ワード線が、読み出し対象のメモリセルのワード線、及び、当該読み出し対象のメモリセルのワード線に隣接するワード線、以外のワード線、となるようアドレス指定された場合には、上記測定電圧は5.9Vであり、
上記NAND型フラッシュメモリの読み出しにおいて、5本連続したワード線23-27のうち、ワード線25のメモリセルが読み出し対象となるようアドレス指定された際に、ワード線23、ワード線24、ワード線25、ワード線26、及び、ワード線27の各ワード線について電圧を測定すると、ワード線23の測定電圧は5.9Vであり、ワード線24の測定電圧は6.4Vであり、ワード線25の測定電圧は0.48Vであり、ワード線26の測定電圧は6.4Vであり、ワード線27の測定電圧は5.9Vであり、

上記NAND型フラッシュメモリの書き込みベリファイにおいて、書き込み対象のメモリセルのアドレスの値を一つずつインクリメントした際に、ワード線1、ワード線20、及び、ワード線26の各ワード線について電圧を測定すると、当該ワード線が、書き込み対象のメモリセルのワード線、となるようアドレス指定された場合には、上記測定電圧は2.0Vであり、また、当該ワード線が、書き込み対象のメモリセルのワード線に隣接するワード線、となるようアドレス指定された場合には、上記測定電圧は6.2Vで

あり、また、当該ワード線が、書き込み対象のメモリセルのワード線、及び、当該書き込み対象のメモリセルのワード線に隣接するワード線、以外のワード線、となるようアドレス指定された場合には、上記測定電圧は5.7Vであり、

上記NAND型フラッシュメモリの書き込みベリファイにおいて、5本連続したワード線23-27のうち、ワード線25のメモリセルが書き込み対象となるようアドレス指定された際に、ワード線23、ワード線24、ワード線25、ワード線26、及び、ワード線27の各ワード線について電圧を測定すると、ワード線23の測定電圧は5.7Vであり、ワード線24の測定電圧は6.2Vであり、ワード線25の測定電圧は2.0Vであり、ワード線26の測定電圧は6.2Vであり、ワード線27の測定電圧は5.7Vである、

2 d NAND型フラッシュメモリの読み出し／書き込み制御方法。』

第4 属否の判断

イ号が、本件特許発明の構成要件2A-2Dを充足するか否かについて検討する。

1. 構成要件2A、2Dについて

イ号の構成2aの「浮遊ゲート型不揮発性メモリセル」、 「NANDストリング」、 「制御ゲート」、 「ワード線」、 「MX30UF4G28AB-T1」のNAND型フラッシュメモリは、それぞれ本件特許発明の「浮遊ゲート型不揮発性メモリセル」、 「NANDストリング」、 「制御ゲート」、 「ワード線」、 「不揮発性半導体記憶装置」に相当し、イ号の構成2aと本件特許発明の構成要件2Aは一致している。

同様に、イ号の構成2dと本件特許発明の構成要件2Dは一致している。

したがって、イ号の構成2a、2dは、それぞれ本件特許発明の構成要件2A、2Dを充足する。

2. 構成要件2Bについて

イ号の構成2bの「NANDストリング内の読み出し／書き込み対象のメモリセルの制御ゲートに接続されたワード線」、 「NANDストリング内の上記読み出し／書き込み対象のメモリセル以外のメモリセルの制御ゲートに接続されたワード線」は、それぞれ本件特許発明の「選択ワード線」、 「非選択ワード線」に相当し、また、イ号の構成2bの「NANDストリング内の読み出し／書き込み対象のメモリセルの制御ゲートに接続されたワード線」に与えられる「読み出し／書き込み対象とするための選択電圧」、 「NANDストリング内の上記読み出し／書き込み対象のメモリセル以外のメモリセルの制御ゲートに接続されたワード線」に与えられる「当該メモリセルをオンさせる読み出しパス電圧」は、それぞれ本件特許発明の「選択ワード線」に与えられる「選択電圧」、 「非選択ワード線」に「セルデータによらず」与えられる「非選択メモリセルをオンさせる読み出しパス電圧」に相当する。

そうすると、イ号の構成2bに係る、「NANDストリング内の読み出し／書き込み対象のメモリセルの制御ゲートに接続されたワード線に、読み出し／書き込み対象とするための選択電圧を、NANDストリング内の上記読み出し／書き込み対象のメモリセル以外のメモリセルの制御ゲートに接続されたワード線に、当該メモリセルをオンさせる読み出しパス電圧を与え」て、「NANDストリング内の読み出し／書き込み対象のメモリセルに対し

アドレスを指定しコマンドを発行することで書き込みベリファイ及び読み出しを行う際」は、

本件特許発明の構成要件2Bに係る、「選択ワード線に選択電圧を、非選択ワード線にセルデータによらず非選択メモリセルをオンさせる読み出しパス電圧を与えて、NANDストリング内の選択メモリセルの書き込みベリファイ及び通常読み出しを行う際」に一致しているといえる。

したがって、イ号の構成2bは、本件特許発明の構成要件2Bを充足する。

3. 構成要件2Cについて

(1) 判断

ア イ号の構成2cの「5本連続したワード線23-27のうち、ワード線25のメモリセル」が「読み出し対象」または「書き込み対象」として「選択された際」の、「ワード線25」は、構成2bの「NANDストリング内の読み出し／書き込み対象のメモリセルの制御ゲートに接続されたワード線」といえることから、本件特許発明の「選択ワード線」に相当し、また、イ号の構成2cの「5本連続したワード線23-27のうち、ワード線25のメモリセルが読み出し対象として選択された際」の、「ワード線24」及び「ワード線26」は、本件特許発明の「選択ワード線に隣接する二つの隣接非選択ワード線」に相当し、さらに、イ号の構成2cの「5本連続したワード線23-27のうち、ワード線25のメモリセルが読み出し対象として選択された際」の、「ワード線23」及び「ワード線27」に加えて、イ号に係る「NAND型フラッシュメモリ」を構成する「直列接続された32個の浮遊ゲート型不揮発性メモリセルを有するNANDストリング」の中の、上記「5本連続したワード線23-27」以外のワード線、すなわち、「ワード線0-22、28-31」についても、「ワード線25のメモリセルが読み出し対象として選択された際」には、「選択ワード線に隣接する二つの隣接非選択ワード線を除く非選択ワード線」に当たるといえるから、イ号の「ワード線25のメモリセルが読み出し対象として選択された際」の、「ワード線23」及び「ワード線27」及び「ワード線0-22、28-31」は、本件特許発明の「選択ワード線に隣接する二つの隣接非選択ワード線を除く非選択ワード線」に相当するといえる。

また、イ号の構成2cの「5本連続したワード線23-27のうち、ワード線25のメモリセル」が「読み出し対象」または「書き込み対象」として「選択された際」の、「ワード線24」及び「ワード線26」の測定電圧である「6.4V」または「6.2V」、「ワード線23」及び「ワード線27」の測定電圧である「5.9V」または「5.7V」は、それぞれ本件特許発明の「第2の読み出しパス電圧」、「第1の読み出しパス電圧」に対応するところ、イ号の構成2cにおける、「ワード線24」及び「ワード線26」の測定電圧である「6.4V」または「6.2V」は、「ワード線23」及び「ワード線27」の測定電圧である「5.9V」または「5.7V」よりも高い値であることから、イ号の構成2cの、「ワード線24」及び「ワード線26」の測定電圧である「6.4V」または「6.2V」は、本件特許発明の「第1の読み出しパス電圧より高い第2の読み出しパス電圧」に相当し、また、イ号の構成2cの、「ワード線23」及び「ワード線27」の測定電圧である「5.9V」または「5.7V」は、本件特許発明の「第1の読み出しパス電圧」に相当するとともに、イ号の、「ワード線0-22、28-31」の測定電圧については上記「ワード線23」及び「ワード線27」と同様に測定されうると解するのが相当であるから、当該「ワード線0-22、28-31」の測定電圧についても、本件特許発明の「第1の読み出しパス電圧」に相当するといえる。

イ ここで、イ号は、構成2cのとおり「NAND型フラッシュメモリが、高電圧回路を有」するものであり、甲第2号証に係る調査方法において、イ号において、「ワード線24」及び「ワード線26」から測定された

「6.4V」または「6.2V」、及び、「ワード線23」及び「ワード線27」から測定された「5.9V」または「5.7V」が、「高電圧回路」からの電圧印加以外の要因により生じたと想定されない以上、「高電圧回路」からの電圧印加によるものであると解するのが相当と認められ、よって、イ号の構成2cの「高電圧回路」は、本件特許発明の「駆動回路」に相当するといえ、また、上記アの検討も踏まえると、イ号の構成2cの「ワード線24」及び「ワード線26」から測定された「6.4V」または「6.2V」が「高電圧回路」からの電圧印加によるものであること、及び、「ワード線23」及び「ワード線27」、「ワード線0-22、28-31」からの測定電圧である「5.9V」または「5.7V」が「高電圧回路」からの電圧印加によるものであることは、それぞれ本件特許発明の「前記二つの隣接非選択ワード線に第1の読み出しパス電圧より高い第2の読み出しパス電圧が駆動回路から印加される」、「選択ワード線に隣接する二つの隣接非選択ワード線を除く非選択ワード線に第1の読み出しパス電圧が駆動回路から印加され」に相当する。

ウ そうすると、イ号の構成2cに係る、「上記NAND型フラッシュメモリが、高電圧回路を有」するとともに、「上記NAND型フラッシュメモリの読み出しにおいて、5本連続したワード線23-27のうち、ワード線25のメモリセルが読み出し対象となるようアドレス指定された際に、ワード線23、ワード線24、ワード線25、ワード線26、及び、ワード線27の各ワード線について電圧を測定すると、ワード線23の測定電圧は5.9Vであり、ワード線24の測定電圧は6.4Vであり、ワード線25の測定電圧は0.48Vであり、ワード線26の測定電圧は6.4Vであり、ワード線27の測定電圧は5.9Vであり」、「上記NAND型フラッシュメモリの書き込みベリファイにおいて、5本連続したワード線23-27のうち、ワード線25のメモリセルが書き込み対象となるようアドレス指定された際に、ワード線23、ワード線24、ワード線25、ワード線26、及び、ワード線27の各ワード線について電圧を測定すると、ワード線23の測定電圧は5.7Vであり、ワード線24の測定電圧は6.2Vであり、ワード線25の測定電圧は2.0Vであり、ワード線26の測定電圧は6.2Vであり、ワード線27の測定電圧は5.7Vである」とともに、「NAND型フラッシュメモリ」を構成する「直列接続された32個の浮遊ゲート型不揮発性メモリセルを有するNANDストリング」を有することは、

本件特許発明の構成要件2Cに係る、「選択ワード線に隣接する二つの隣接非選択ワード線を除く非選択ワード線に第1の読み出しパス電圧が駆動回路から印加され、前記二つの隣接非選択ワード線に第1の読み出しパス電圧より高い第2の読み出しパス電圧が駆動回路から印加される」に一致しているといえる。

(2) 被請求人の主張について

ア 被請求人は、平成30年6月12日に提出した回答書（以下、「被請求人回答書」という。）において、概略、

（ア）請求人は、「隣接非選択ワード線ではない非選択ワード線」については、単に、CG23、CG27の測定結果を示すのみであり、それ以外の「隣接非選択ワード線ではない非選択ワード線」について、何ら証拠を示していないから、請求人は、構成要件2Cの充足性について、立証できていないといえる、（被請求人回答書第4頁12行～21行）

（イ）本件特許の出願経過において、出願人（請求人の親会社である株式会社東芝）は、引用文献1（乙第3号証）について、平成22年3月15日付け（受付日）意見書（乙第4号証）において、以下のとおり主張し、第2の読み出しパス電圧の上昇が、駆動回路からの電圧の印加によらない場合もあることを明確に説明している、

「引用文献1に開示のものは、一見、NAND型の不揮発性半導体記憶装置の読み出し動作として、選択ワード線に隣接する二つの隣接非選択ワード線を除く非選択ワード線（CG_n）に第1の読み出しパス電圧（V_{read}）を与え、上記二つの隣接非選択ワード線（CG_{i-1}、+1）に第1の読み出しパス電圧より高い第2の読み出しパス電圧（V_{read'}）を与えているように見えますが、段落[0075]、[0078]の説明からも明らかなように、選択ワード線WL_iがV_{sel1}からV_{sel2}へと上昇する時に、選択ワード線WL_iの隣の非選択ワード線WL_{i-1}、WL_{i+1}がフローティング状態となった結果、隣接非選択ワード線WL_{i-1}、WL_{i+1}の電圧が電圧V_{sel2}の影響で第2の読み出しパス電圧（V_{read'}）に上昇しただけであり、駆動回路から読み出しパス電圧（V_{read'}）を印加している訳ではなく、駆動回路からいかなる電圧も印加していないのであります。」（乙第4号証、第2頁）

そうすると、当業者である本件特許の出願人が、上記のとおり説明している以上、選択ワード線の隣接非選択ワード線における電圧上昇（第2の電圧と第1の電圧の差）をもたらす要因が、高電圧回路による電圧印加の他にあり得ないといえないことは明らかである、（被請求人回答書第5頁8行～第6頁5行）

と主張する。

イ しかしながら、上記アの被請求人の主張は、以下の理由により、いずれも採用できない。

（ア） 上記アの（ア）の主張について

a 本件特許発明における、「選択ワード線に隣接する二つの隣接非選択ワード線を除く非選択ワード線」とは、一つのNANDストリングを構成する各メモリセルの制御ゲートにそれぞれ接続されるワード線のうちの非選択ワード線から、選択ワード線に隣接する二つの隣接非選択ワード線を除いた全ての非選択ワード線を指すと解されることから、「二つの隣接非選択ワード線」の「第2の読み出しパス電圧」が、「選択ワード線に隣接する二つの隣接非選択ワード線を除く非選択ワード線」の「第1の読み出しパス電圧」より「高い」とは、一つのNANDストリングを構成するメモリセルに接続される非選択ワード線のうち、「選択ワード線に隣接する二つの隣接非選択ワード線を除く非選択ワード線」全てについて、上記「第2の読み出しパス電圧」より低い「第1の読み出しパス電圧」が与えられることを意味するところ、甲第2号証は、イ号について、あるワード線が読み出し／書き込み対象としてアドレス指定された場合（イ号の構成2cにおける「ワード線25」）の、選択ワード線に隣接する二つの隣接非選択ワード線を除く非選択ワード線について、どのような電圧が与えられているかの測定結果を全ては示していない（ワード線0～23及び27～31のうち、ワード線23、27しか測定結果が示されていない。）。

b しかしながら、イ号は、構成2cのとおり、「NAND型フラッシュメモリが、高電圧回路を有」するものであり、また、ワード線0～31に相当するCG線0～31全てについて、共通のアドレス回路によりアドレスが指定され線が選択されていると解されることからして、読み出し／書き込み対象のメモリセルのアドレスの値を指定した際に、ワード線0～31について電圧を測定すると、読み出し／書き込み対象のメモリセルのワード線となるようアドレス指定された状態、読み出し／書き込み対象のメモリセルのワード線に隣接するワード線となるようアドレス指定された状態、及び、読み出し対象のメモリセルのワード線及び当該読み出し対象のメモリセルのワード線に隣接するワード線以外のワード線となるようアドレス指定された状態、それぞれの状態で、他のワード線と同様の電圧が測定され得ると解することができる。

また、イ号は、構成2cのとおり、「NAND型フラッシュメモリの読み出しにおいて、5本連続したワード線23-27のうち、ワード線25のメモリセルが読み出し対象となるようアドレス指定された際に、ワード線23、ワード線24、ワード線25、ワード線26、及び、ワード線27の各ワード線について電圧を測定すると、ワード線23の測定電圧は5.9Vであり、ワード線24の測定電圧は6.4Vであり、ワード線25の測定電圧は0.48Vであり、ワード線26の測定電圧は6.4Vであり、ワード線27の測定電圧は5.9Vであり」、「NAND型フラッシュメモリの書き込みベリファイにおいて、5本連続したワード線23-27のうち、ワード線25のメモリセルが書き込み対象となるようアドレス指定された際に、ワード線23、ワード線24、ワード線25、ワード線26、及び、ワード線27の各ワード線について電圧を測定すると、ワード線23の測定電圧は5.7Vであり、ワード線24の測定電圧は6.2Vであり、ワード線25の測定電圧は2.0Vであり、ワード線26の測定電圧は6.2Vであり、ワード線27の測定電圧は5.7Vである」ことから、ワード線1、20、26以外のワード線、すなわち、ワード線0、2~19、21~25、27~31についても、ワード線1、20、26と同様、読み出し／書き込み対象のメモリセルのアドレスの値を一つずつインクリメントして、電圧を測定すれば、当該ワード線が読み出し／書き込み対象のメモリセルのワード線となるようアドレス指定された場合には、測定電圧は0.48V/2.0Vであり、当該ワード線が読み出し／書き込み対象のメモリセルのワード線に隣接するワード線となるようアドレス指定された場合には、測定電圧は6.4V/6.2Vであり、また、当該ワード線が読み出し／書き込み対象のメモリセルのワード線及び当該読み出し対象のメモリセルのワード線に隣接するワード線以外のワード線となるようアドレス指定された場合には、測定電圧は5.9V/5.7Vであることを確認することができる、と解するのが相当と認められる。このような理解は、甲第10号証（針当たり波形測定結果報告書）に示された測定結果からも裏付けられる。

c 上記bの検討によれば、イ号において、ワード線25のメモリセルが読み出し／書き込み対象となるようアドレス指定された際には、ワード線0~22及び28~31は、読み出し／書き込み対象のメモリセルのワード線及び当該読み出し対象のメモリセルのワード線に隣接するワード線以外のワード線となるようアドレス指定された場合のワード線に相当するから、ワード線23、及び、ワード線27と同様に、電圧を測定すれば5.9V/5.7Vとなると解することができる。

そして、イ号は、構成2cのとおり、「NAND型フラッシュメモリの読み出しにおいて、5本連続したワード線23-27のうち、ワード線25のメモリセルが読み出し対象となるようアドレス指定された際に、ワード線23、ワード線24、ワード線25、ワード線26、及び、ワード線27の各ワード線について電圧を測定すると、ワード線23の測定電圧は5.9Vであり、ワード線24の測定電圧は6.4Vであり、ワード線25の測定電圧は0.48Vであり、ワード線26の測定電圧は6.4Vであり、ワード線27の測定電圧は5.9Vであり」、「NAND型フラッシュメモリの書き込みベリファイにおいて、5本連続したワード線23-27のうち、ワード線25のメモリセルが書き込み対象となるようアドレス指定された際に、ワード線23、ワード線24、ワード線25、ワード線26、及び、ワード線27の各ワード線について電圧を測定すると、ワード線23の測定電圧は5.7Vであり、ワード線24の測定電圧は6.2Vであり、ワード線25の測定電圧は2.0Vであり、ワード線26の測定電圧は6.2Vであり、ワード線27の測定電圧は5.7Vである」ことから、イ号については、ワード線25のメモリセルが読み出し／書き込み対象となるようアドレス指定された場合の一つのNANDストリングを構成するメモリセルに接続される非選択ワード線のうち、「選択ワード線に隣接する二つの隣接非選択ワード線を除く非選択ワード線」全て（ワード線0~23及び27~31）について、「選択ワード線に隣接する二つの隣接非選択ワード線」（ワード線

24, 26)における「第2の読み出しパス電圧」より低い「第1の読み出しパス電圧」が与えられると解することができる。

そうすると、イ号について、「二つの隣接非選択ワード線」の「第2の読み出しパス電圧」が、「選択ワード線に隣接する二つの隣接非選択ワード線を除く非選択ワード線」の「第1の読み出しパス電圧」より「高い」と特定できるとするのが相当である。

d 被請求人は、「隣接非選択ワード線ではない非選択ワード線」については、単に、CG23, CG27の測定結果を示すのみであり、それ以外の「非選択ワード線」について、何ら証拠を示していない、と主張するが、上記bのとおり、CG線0~22及び28~31にそれぞれ相当するワード線0~22及び28~31についても、上記ワード線23, 27と同様の電圧が印加されていると理解でき、請求人の立証は十分であるといえることから、被請求人の上記主張は採用できない。

(イ) 上記アの(イ)の主張について

a 甲第3号証の第15頁に示された「MX30UF4G28AB-T1」のデータシートのブロック図(甲第3号証, 第15頁)によれば、イ号のいずれのワード線にも、共通の高電圧回路から電圧が印加されていると一応認められ、また、甲第2号証の第13頁の下図に示された、5本の連続したワード線(ワード線23-27)における電圧の針当たり波形の時間推移をみると、イ号における、選択ワード線に相当するワード線25における電圧変化と、隣接非選択ワード線に相当するワード線24, 26における電圧変化とでは、測定開始後の増加から減少に転ずるタイミングにおいて異なっており、これによれば、選択ワード線に相当するワード線25における電圧変化と、隣接非選択ワード線に相当するワード線24, 26における電圧変化との間に、何らかの相互作用が働いているとの関係を認めることはできず、そうすると、イ号について、隣接非選択ワード線に相当するワード線24, 26から測定された高めの電圧は、選択ワード線に相当するワード線25における電圧変化によりもたらされたものではなく、そして、甲第2号証に係る調査方法において他の要因が想定されない以上、高電圧回路からの電圧印加によるものであると解するのが相当と認められる。

また、イ号における、隣接非選択ワード線以外の非選択ワード線に相当するワード線23, 27の測定電圧、及び、「NAND型フラッシュメモリ」を構成する「直列接続された32個の浮遊ゲート型不揮発性メモリセルを有するNANDストリング」の中の「ワード線0-22, 28-31」から測定される電圧についても、高電圧回路からの電圧印加によるものであることは明らかである。

そうすると、イ号について、「第1の読み出しパス電圧」が「駆動回路」からの「印加」により与えられ、「第1の読み出しパス電圧より高い第2の読み出しパス電圧」が「駆動回路」からの「印加」により与えられる、と特定できるとするのが相当である。

b 被請求人は、株式会社東芝が出願人として本件特許発明の審査段階において平成22年3月15日に提出した意見書(乙第4号証)における主張を引用して、本件特許の審査段階における拒絶理由通知で引用された引用文献1である特開2005-285185号公報(乙第3号証)に記載されたNAND型の不揮発性半導体記憶装置の読み出し動作では、駆動回路からの電圧印加によらずに、選択ワード線に隣接する二つの隣接非選択ワード線を除く非選択ワード線に第1の読み出しパス電圧を、上記二つの隣接非選択ワード線に上記第1の読み出しパス電圧より高い第2の読み出しパス電圧が与えられていると認められることを根拠に、選択ワード線の隣接非選択ワード線における電圧上昇(第2の電圧と第1の電圧の差)をもたらす要因が、高電圧回路による電圧印加の他にあり得ないといえないことは明らかである、と主張するが、乙第3号証に記載された読み出し動作では、選択ワード線WL_iにおける電圧上昇と、隣の非選択ワード線WL_{i-1}, WL_{i+1}の電圧上昇とは、上昇のタイミングにおいて同期しており、甲第2号証の第

13頁の下図に示された、5本の連続したワード線（ワード線23-27）における電圧の針当たり波形の時間推移とは、選択ワード線における電圧変化のタイミングと隣接非選択ワード線における電圧変化のタイミングとの関係において異なっていることから、乙第3号証の記載が、イ号における5本の連続した5本の連続したワード線（ワード線23-27）における測定電圧の変化（隣接非選択ワード線に相当するワード線24、26における電圧上昇）が、乙第3号証の段落【0075】、【0078】で言及された事象と同様の要因によるものであると言い得る根拠とはなり得ない。そして、乙第4号証（意見書）における説明は、本件特許における駆動回路からの電圧印加による電圧上昇の要因とは異なるものとして、乙第3号証に記載の要因のみを排除していると解されるから、上記乙第4号証における説明を根拠とする被請求人の上記主張は採用できない。

(3) したがって、イ号の構成2cは、本件特許発明の構成要件2Cを充足する。

4. したがって、イ号は、本件特許発明の特許請求の範囲の請求項2の構成要件を充足する。

なお、請求人が平成30年3月15日付けの弁駁書以降に提出した書証及び証拠については、いずれも、主要事実の差し替えや変更、または、直接証拠の差し替えや追加に当たるものではなく、また、上述のとおり、判定に際し直接裏付けとなるものでもないから、請求の理由の要旨の変更に当たらないことは明らかである。

第5 むすび

以上のとおり、イ号は、本件特許発明の特許請求の範囲の請求項2の構成要件2A-2Dを充足するから、本件特許発明の特許請求の範囲の請求項2に記載された発明の技術的範囲に属する。

よって、結論のとおり判定する。

デバイス情報

Table 1 Device Summary

Category	NAND Flash Memory
Manufacturer	Macronix
Fab.	Macronix own Fab. Fab5
Part Number	MX30UF4G28AB
Package Marking	MXIC S142606
	MX30UF4G28AB-TI 8B223000B1
Package Type	TSOP 48
Package Size	18.4mm x 12.0mm = 220.8mm ²
Die Marking	MXIC 2013 G3H6
Die Size	8.71mm x 6.88mm = 59.92mm ²
Process Type	CMOS
Layers	2Poly—3Metal
Process Generation	36nm

TSOP開口

[DMP400] Micronix TSOP(200)T

Sample1: Micronix TSOP

報告書No. JTFEA11314

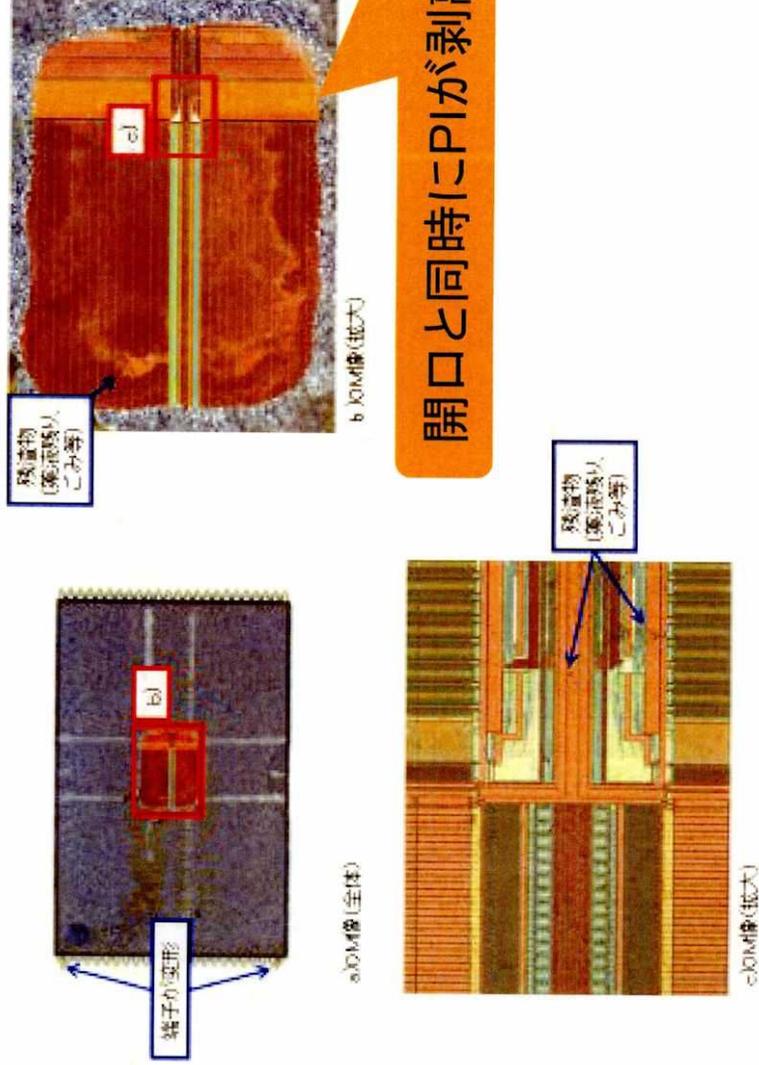
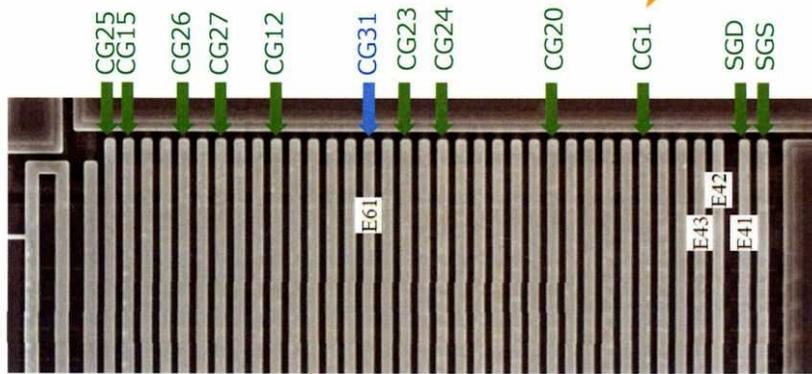
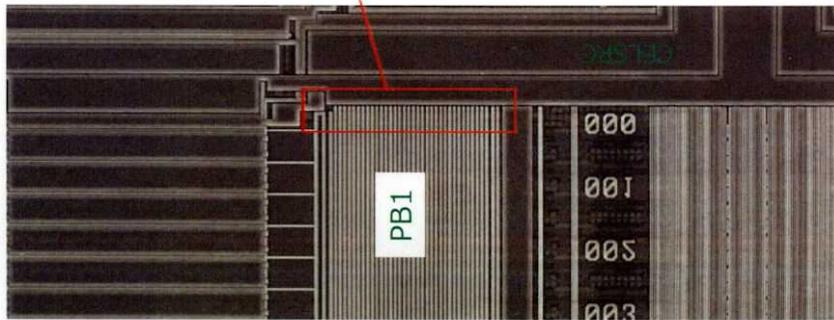


Figure 1 部分開封後OM観察結果

FIB加工箇所

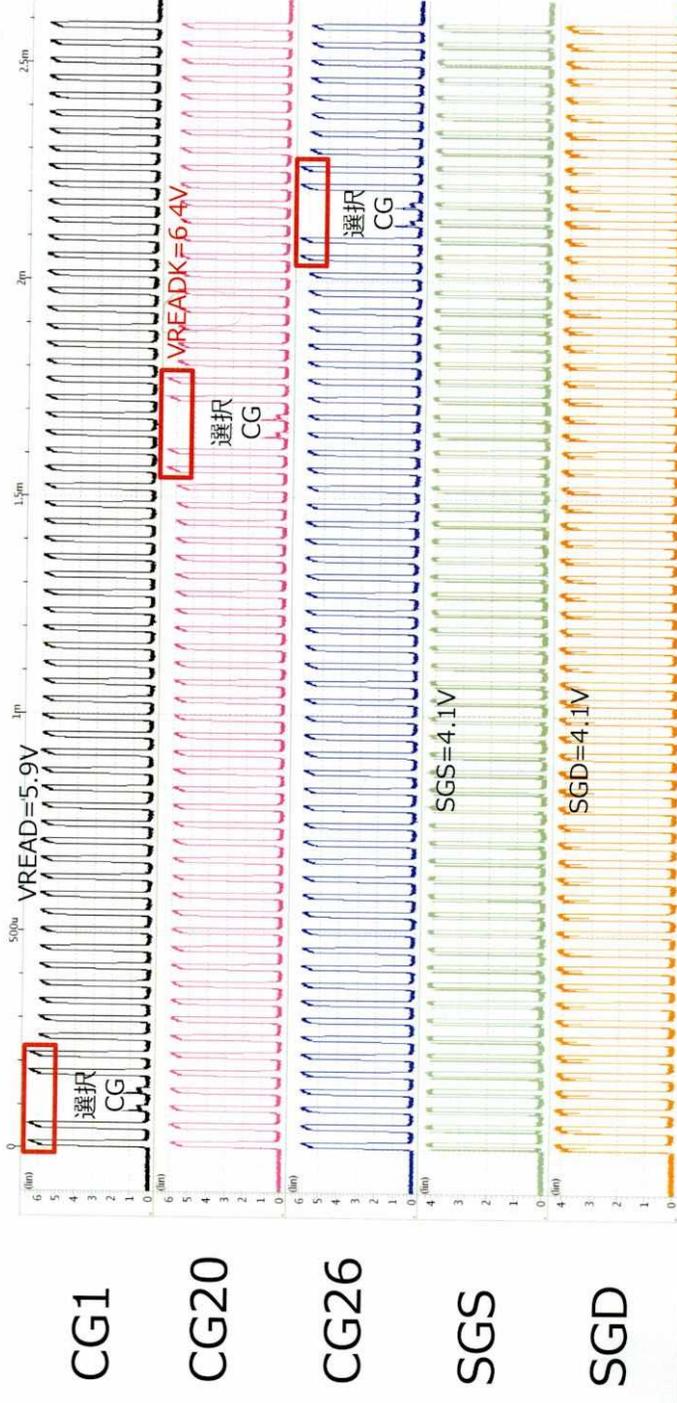
更新



PI剥離(TSOP開口時)
のみでFIB加工装置に
て最上層配線が見える

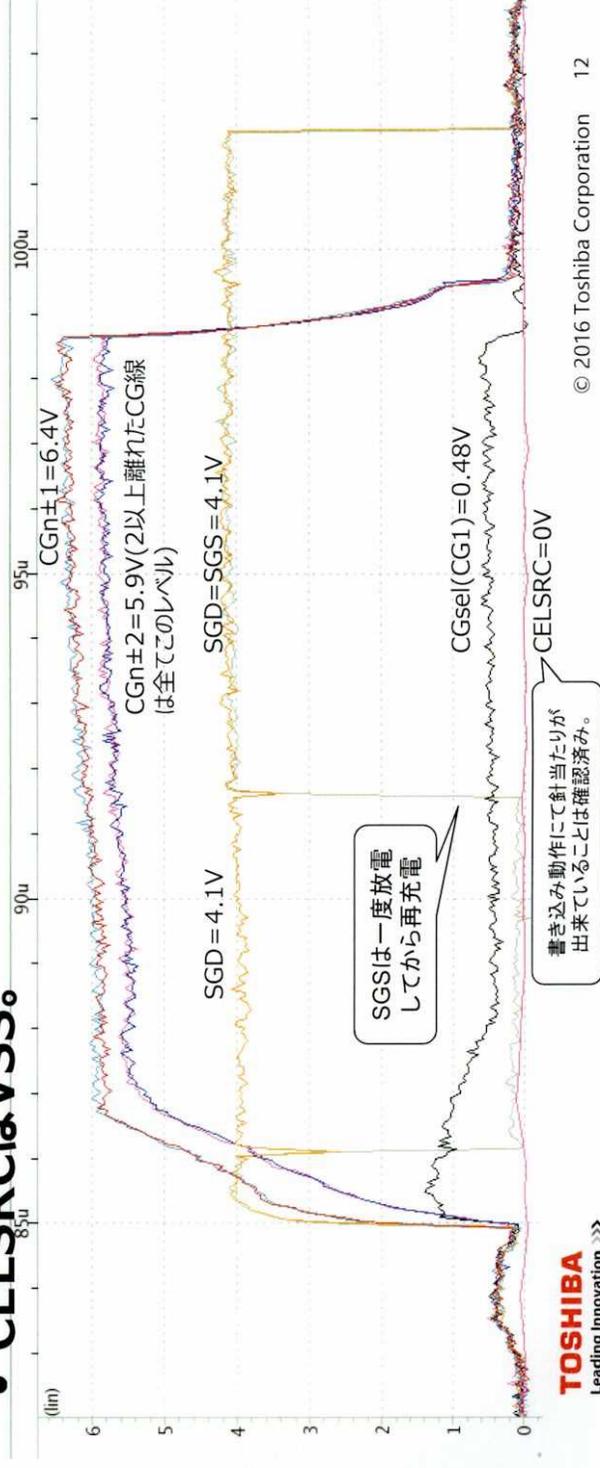
針当たり波形(読み出し動作)

- アドレス3を1ずつインクリメントして測定し、VREADKを確認。
- 偶奇で2回ずつ選択される。
- VREAD=5.9V, VREADK=6.4V
- SGD, SGSは同電位



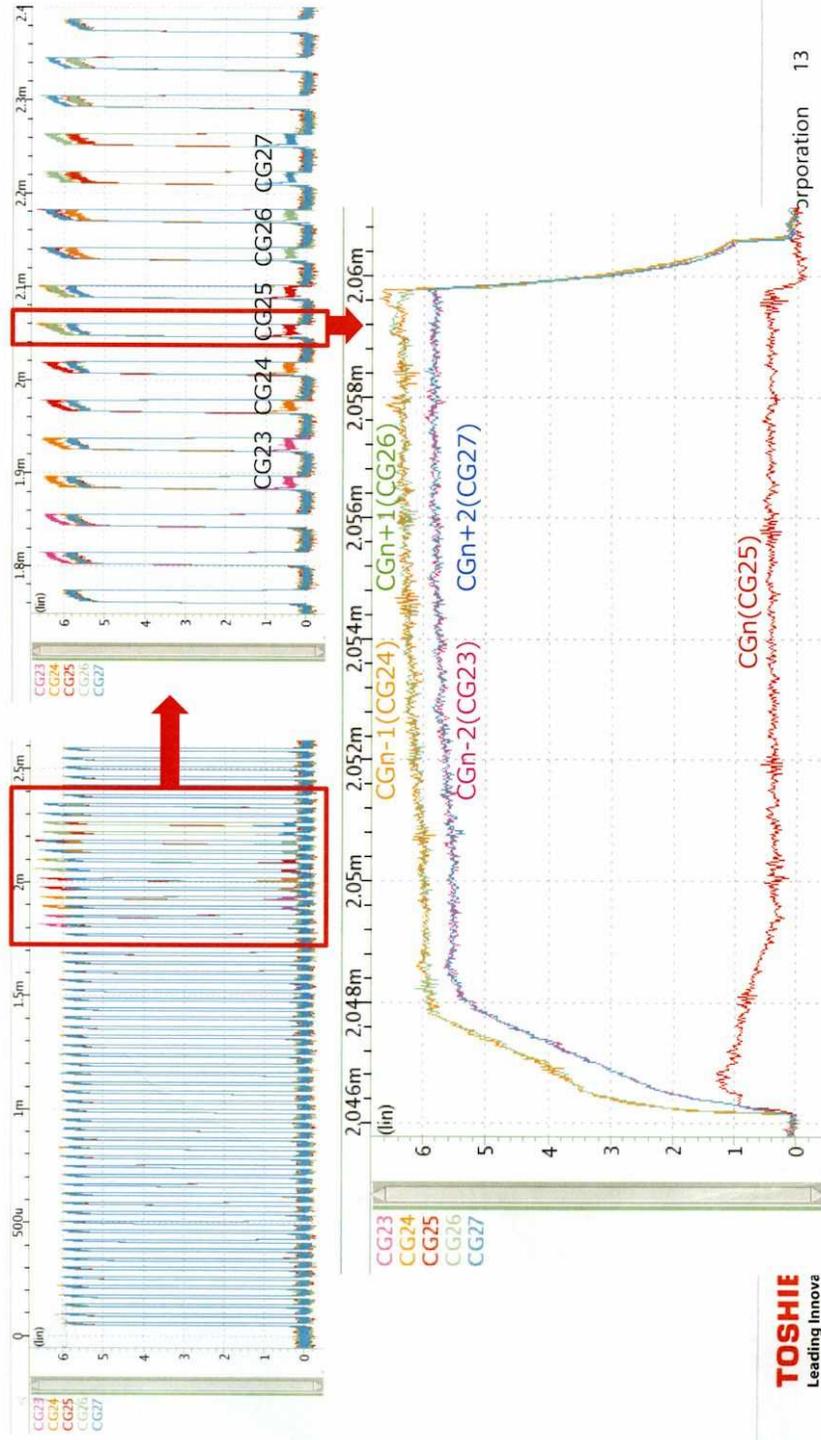
針当たり波形(読み出し動作重ね合わせ)

- 第1のパス電圧(VREAD=5.9V)と第2のパス電圧(VREADK=6.4V)と第3のパス電圧(SGD=SGS=4.1V)の3種類が存在している。
- SGSは放電後再充電しているため、印加タイミングは第1と第2のパス電圧の後。
- CELSRCはVSS。



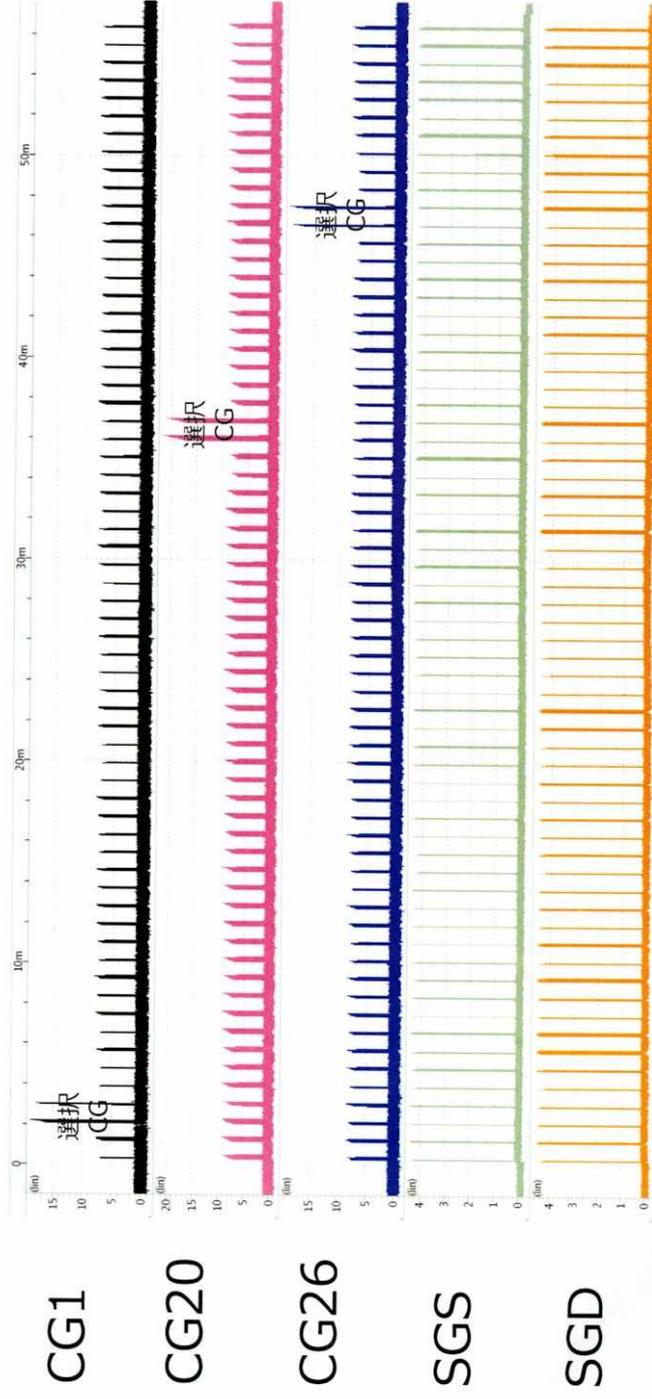
針当たり波形(CG23, 24, 25, 26, 27)

- 5本連続したアドレスのCG線に針当たり。アドレス3を1ずつインクリメントして測定し、CGn±1が同じ電圧、CGn±2が同じ電圧になっていることを確認。



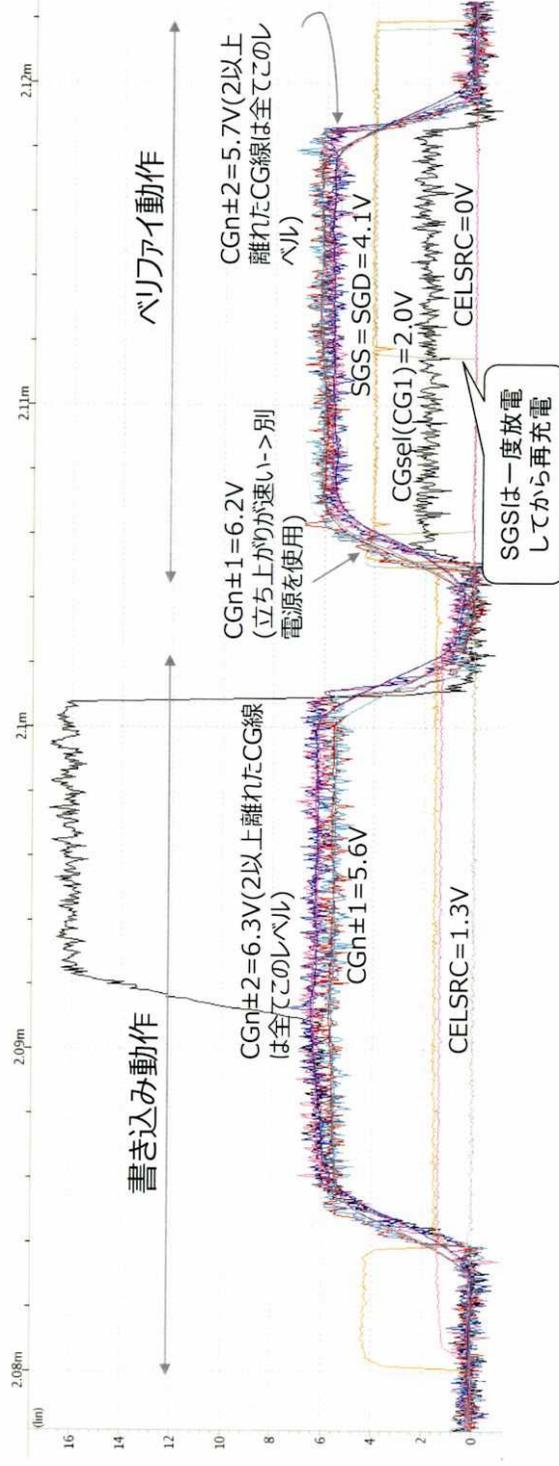
針当たり波形(書き込み動作)

- アドレス3を1ずつインクリメントして測定。
- 隣接の非選択メモリが次に書き込みされている。



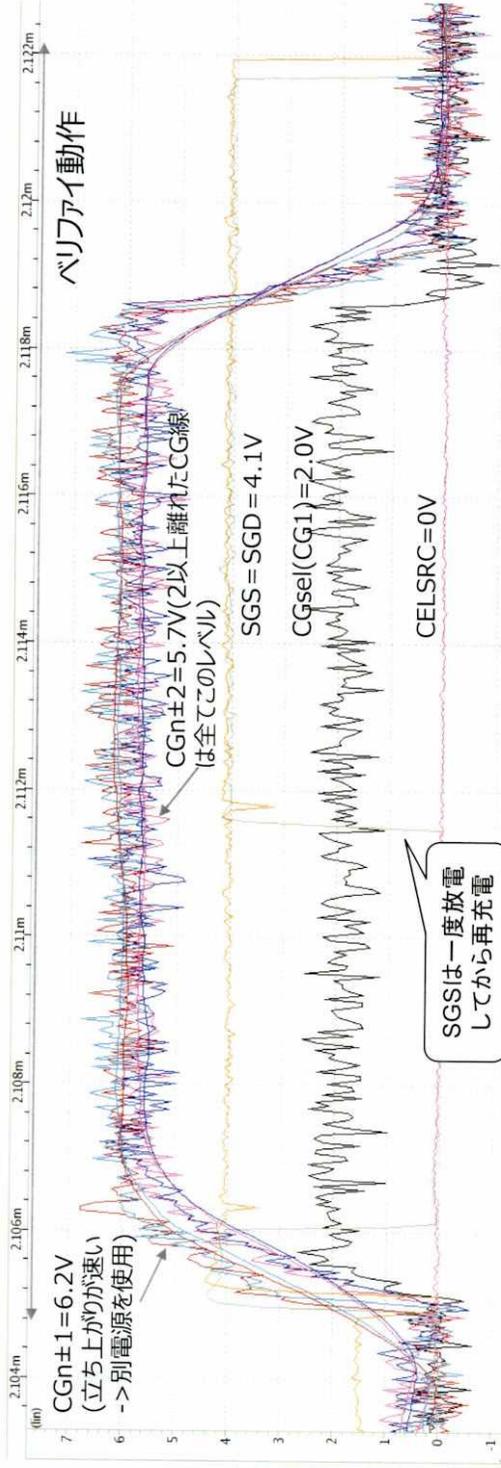
針当たり波形(書込み動作重ね合わせ)

- ベリファイ動作でもVreadKを実施。
- 隣接非選択WLの2本(CGn±1)は同じレベル。



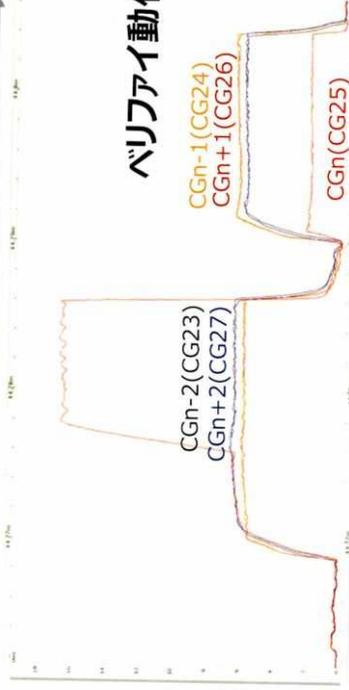
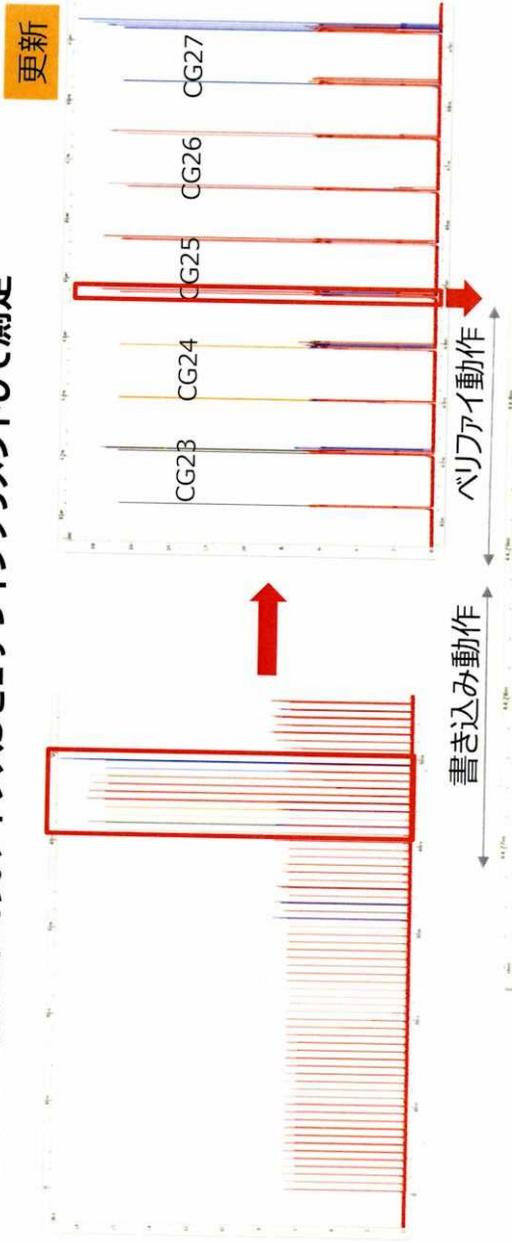
針当たり波形(ベリファイ動作拡大)

- ノイズ成分が多いため、1 μ sで波形を滑らかにした。



針当たり波形(書き込み動作) : CG23,24,25,26,27

- 5本連続したCG線に針当たり。アドレス3を1ずつインクリメントして測定



ベリファイ動作でもVREADK実施



MACRONIX
INTERNATIONAL CO., LTD.

MX30UF2G26(28)AB
MX30UF4G26(28)AB

1.8V, 2G/4G-bit NAND Flash Memory
MX30UFxG26(28)AB



1.8V 2Gb/4Gb NAND Flash Memory

1. FEATURES

- 2G-bit/4G-bit SLC NAND Flash
 - Bus: x8, x16
 - Page size: (2048+112) byte for x8 bus, (1024+56) word for x16 bus
 - Block size: (128K+7K) byte for x8 bus, (64K+3.5K) word for x16 bus
 - Plane size:
 - 1024-block/plane x 2 for 2Gb
 - 2048-block/plane x 2 for 4Gb
- ONFI 1.0 compliant
- Multiplexed Command/Address/Data
- User Redundancy
 - 112-byte attached to each page
- Fast Read Access
 - Latency of array to register: 25us
 - Sequential read: 25ns
- Cache Read Support
- Page Program Operation
 - Page program time: 320us (typ.)
- Cache Program Support
- Block Erase Operation
 - Block erase time: 1ms (typ.)
- Single Voltage Operation:
 - VCC: 1.7 ~ 1.95V
- Low Power Dissipation
 - Max. 30mA (1.8V)
 - Active current (Read/Program/Erase)
- Sleep Mode
 - 50uA (Max) standby current
- Hardware Data Protection: WP# pin
- Device Status Indicators
 - Ready/Busy (R/B#) pin
 - Status Register
- Chip Enable Don't Care
 - Simplify System Interface
- Unique ID Read support (ONFI)
- Secure OTP support
- Electronic Signature (5 Cycles)
- High Reliability
 - Endurance: typical 100K cycles (with 8-bit ECC per (512+28) Byte)
 - Data Retention: 10 years
- Wide Temperature Operating Range
 - 40°C to +85°C
- Package:
 - 1) 48-TSOP(I) (12mm x 20mm)
 - 2) 63-ball 9mmx11mm VFBGAAll packaged devices are RoHS Compliant and Halogen-free.

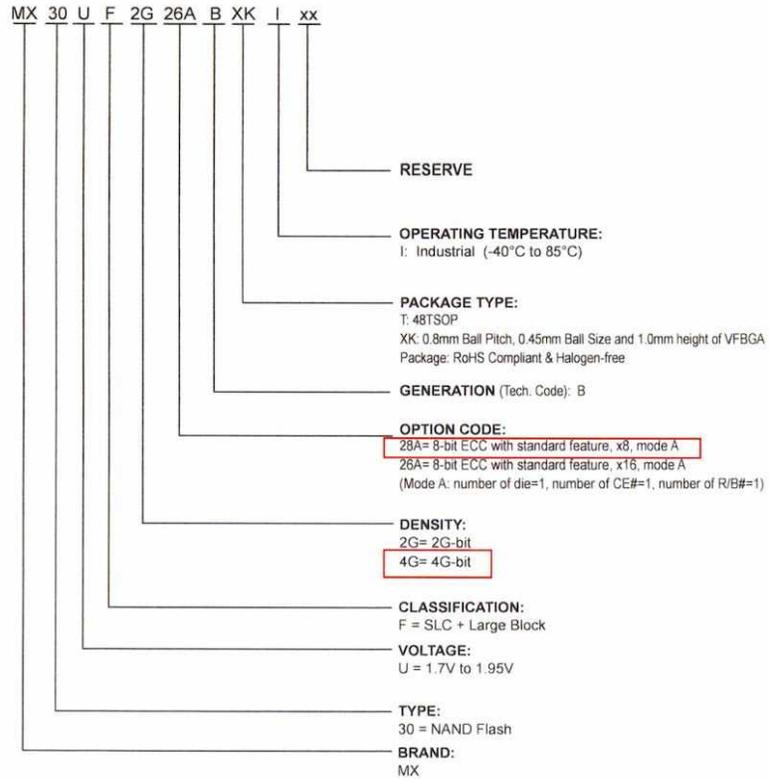


MACRONIX
INTERNATIONAL CO., LTD.

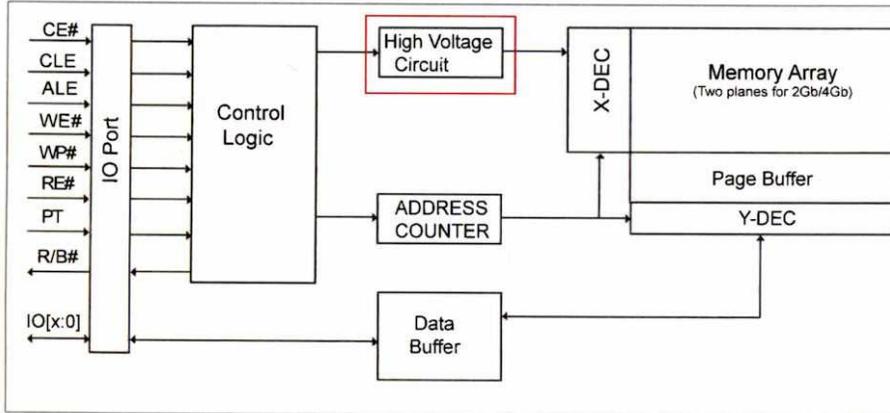
MX30UF2G26(28)AB
MX30UF4G26(28)AB

2-1. ORDERING INFORMATION

Part Name Description



4. BLOCK DIAGRAM



平成30年 7月27日

審判長

特許庁審判官
特許庁審判官
特許庁審判官

辻本 泰隆
仲間 晃
須田 勝巳

[判定分類] P 1 2 . 1 - Y A (G 1 1 C)

審判長	特許庁審判官	辻本 泰隆	8945
	特許庁審判官	須田 勝巳	8941
	特許庁審判官	仲間 晃	8834