

## 審決

不服 2018-4523

(省略)

請求人 アナログ ディヴァイスィズ インク

(省略)

代理人弁理士 村山 靖彦

(省略)

代理人弁理士 実広 信哉

(省略)

代理人弁理士 阿部 達彦

特願 2014-6579 「差動電荷低減」拒絶査定不服審判事件〔平成 26 年 8 月 28 日出願公開、特開 2014-158261〕について、次のとおり審決する。

### 結論

本件審判の請求は、成り立たない。

### 理由

#### 第 1 手続の経緯

本願は、平成 26 年 1 月 17 日（パリ条約による優先権主張 2013 年 2 月 15 日、米国（US））を出願日とする出願であって、その手続の経緯は、以下のとおりである。

平成 28 年 2 月 10 日 : 手続補正書の提出

平成 28 年 9 月 1 日付け : 拒絶理由の通知

平成 28 年 10 月 11 日 : 意見書の提出

平成 29 年 3 月 31 日付け : 拒絶理由の通知

平成 29 年 6 月 26 日 : 意見書、手続補正書の提出

平成 29 年 11 月 29 日付け : 拒絶査定

平成 30 年 4 月 4 日 : 拒絶査定不服審判の請求、手続補正書の提出

平成 31 年 4 月 5 日付け : 当審による拒絶理由の通知

令和 1 年 7 月 4 日 : 意見書、手続補正書の提出

#### 第 2 本願発明

本願の請求項に係る発明は、令和 1 年 7 月 4 日に提出された手続補正書により補正された特許請求の範囲の請求項 1～8 に記載された事項により特定されるものであるところ、その請求項 1 に係る発明は、以下のとおりである（以下、

「本願発明」という。 ) 。

「【請求項 1】

装置であって、前記装置は、

インターリーブされたアナログーデジタル変換器段を備え、前記アナログーデジタル変換器段は、

非反転入力と反転入力とを備える増幅器と、

複数のチャンネルであって、前記複数のチャンネルのそれぞれは、

一对の増幅器入力スイッチであって、前記一对の増幅器入力スイッチは、

第 1 のスイッチ入力を受信し、スイッチがオンにされるときに前記第 1 のスイッチ入力を前記増幅器の前記非反転入力に提供し、スイッチがオフにされるときに前記増幅器の前記非反転入力を前記第 1 のスイッチ入力から電氣的に絶縁するように構成される第 1 のスイッチと、

第 2 のスイッチ入力を受信し、スイッチがオンにされるときに前記第 2 のスイッチ入力を前記増幅器の前記反転入力に提供し、スイッチがオフにされるときに前記増幅器の前記反転入力を前記第 2 のスイッチ入力から電氣的に絶縁するように構成される第 2 のスイッチと

を備える、一对の増幅器入力スイッチと、

前記一对の増幅器入力スイッチの入力と前記増幅器の入力との間に交差連結される一对のダミー回路素子であって、前記一对のダミー回路素子のそれぞれのダミー回路素子が、前記第 1 のスイッチがオフにされるときに前記第 1 のスイッチと実質的に同一の静電容量を有する、一对のダミー回路素子とを備える、複数のチャンネルと

を備え、

前記複数のチャンネルの一方の前記一对の増幅器入力スイッチが、前記複数のチャンネルの他方の前記一对の増幅器入力スイッチがオフにされるときに、前記増幅器の前記非反転入力および前記反転入力に電荷を提供するように構成され、前記ダミー回路素子はコンデンサを含む、装置。」

### 第 3 拒絶の理由

平成 31 年 4 月 5 日付けで当審が通知した拒絶理由（以下、「当審拒絶理由」という。）のうちの理由 3 は、この出願の請求項 1～13 に係る発明は、その出願前に日本国内又は外国において、頒布された又は電気通信回線を通じて公衆に利用可能となった以下の引用文献 1 に記載された発明及び引用文献 2 に記載された技術に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第 29 条第 2 項の規定により特許を受けることができない、というものである。

引用文献 1：米国特許出願公開第 2012/0274497 号明細書

引用文献 2：特開 2011-48885 号公報

### 第 4 引用文献

1 引用文献 1 の記載及び引用発明

当審拒絶理由で通知した、米国特許出願公開第2012/0274497号明細書（以下、「引用文献1」という。）には、以下の事項が記載されている（下線は、当審で付与。）。

(1) 「[0001] The present invention is generally directed to pipelined analog-to-digital converters (ADCs). In particular, the present invention is directed to an ADC that includes a single amplifier selectively coupled to one of a plurality of copies of a circuit block in which each copy includes capacitors in different state of charge.

[0002] FIG.1 illustrates an exemplary N-stage pipelined ADC 100 that is known in the art. The pipelined ADC 100 may include a number of cascaded multiplying digital-to-analog converter (MDAC) stages 102-108 and a control and correction logic circuit 110. The pipeline ADC 100 may receive an analog input signal  $v_{in}$  at an input of the first stage 102 and eventually produce a digital output  $D_{out}$  that corresponds to  $v_{in}$ . In operation, each stage of the pipelined ADC may be responsible for converting a portion of the input signal  $v_{in}$  into a digital code and pass along a remaining portion of the input signal to a next stage of conversion. For example, stage  $i$  106 may receive an input signal  $V_{i-1}$  and convert the input signal into an  $n$ -bit digital code  $D_i$  and output a remaining portion  $V_i$  of the input  $V_{i-1}$  to the next stage  $i+1$ . The  $n$ -bit digital code  $D_i$  may be a one-bit digital code, or a digital code of more than one bit. The control and correction logic 110 may receive the digital codes  $D_1, D_2, \dots, D_i, \dots, D_n$  sequentially through a series of clock cycles (not shown) and assemble these digital codes into the digital output  $D_{out}$ . The assembling may include inserting appropriate delays and bit shifts. Further, the control and correction logic 110 may correct digital errors.」

（当審仮訳）

「[0001] 本発明は、一般的に、パイプライン型アナログデジタル変換器（ADC）に関するものである。特に、本発明は、各コピーが異なる充電状態のコンデンサを含む、回路ブロックの複数のコピーのうちの1つに選択的に結合される単一の増幅器を含むADCに関する。

[0002] 図1は、当技術分野で知られている代表的N段パイプライン型ADC 100を示す図である。パイプライン型ADC 100は、カスケード接続されたマルチプルデジタルアナログ変換器（MDAC）段102-108、制御及び補正ロジック110を含むことができる。パイプライン型ADC 100は、第1ステージ102の入力におけるアナログ入力信号 $v_{in}$ を受信し、最終的に $v_{in}$ に対応するデジタル出力 $D_{out}$ を生成することができる。動作時には、パイプライン型ADCの各段は入力信号 $v_{in}$ の一部をデジタルコードに変換し、入力信号の残りの部分を次の変換段へ通過させる責任がある。例えば、ステージ $i$  106は、入力信号 $V_{i-1}$ を受信し、入力信号を $n$ ビットのデジタルコード $D_i$ に変換し、入力 $V_{i-1}$ の残りの部分 $V_i$ を次段 $i+1$ に出力することができる。 $n$ ビットデジタルコード $D_i$ は1ビットデジタルコードであってもよく、1ビット以上のデジタルコードであってもよい。制御及び補正ロジック110は、一連のクロックサイクル（図示せず）を通じてデジタルコード $D_1, D_2, \dots, D_i, \dots, D_n$ を連続的に受信し、これらのデジタルコードをデジタル出力 $D_{out}$ に組み立てることができる。組み立ては、適切な遅延及びビットシフトを挿入することを含むことができる。さらに、制御および補正ロジック110は、エラーを訂正することができる。」

(2) 「[0024] FIG.6 illustrates an MDAC stage 600 of a pipelined ADC according to an exemplary embodiment of the present invention. The MDAC may include an amplifier 602 and four channels (channel 1-4) 604, 606, 608, 610. Each channel may be a copy of a same circuit block operating at a specific mode. Each channel may respectively include a flash (604.10, 606.10, 608.10, 610.10), input capacitors (604.20, 606.20, 608.20, 610.20), DAC capacitors (604.30, 606.30, 608.30, 610.30), and feedback capacitors (604.40, 606.40, 608.40, 610.40). Four set of switches 612, 614, 616, 618 may be selectively engaged to couple the channels to input signal  $V_{k-1}$  or to the amplifier 602. When a channel is coupled to the amplifier 602, the coupled channel and amplifier 602 may form a particular MDAC such as the one illustrated in FIG.3.

[0025] During operation, in each clock cycle, the four channels 604, 606, 608, 610 may operate interleavingly in one of a sampling mode, a pre-gain mode, a gain mode, and a reset mode of the circuit block. FIG.8 illustrates the interleaving operation modes of the four channels with respect to an ADC clock. For example, as illustrated in FIG.8, during the first clock cycle, channel 1 may operate in the sample mode, channel 2 may run in the pre-gain mode, channel 3 may run in the gain mode, and channel 4 may run in the reset mode. It should be noted that the reset mode may also be a state of un-used mode while capacitors reset is accomplished during other modes. The un-used mode may be inserted for randomization purpose. During the second clock cycle, channel 1 operates in the pre-gain mode, channel 2 operates in the gain mode, channel 3 operates in the sample mode, and channel 4 operates in the reset mode. As shown in FIG.8, the four channels operate interleavingly so that each of the four channels operates in one respective modes during a clock cycle. Further, with respect to a particular channel, the particular channel may sequence through sample, pre-gain, and gain in order while a random number of reset modes may be inserted after the gain mode.]

(当審仮訳)

「[0024] 図6は、本発明の例示的な実施形態による、パイプライン型ADCのMDAC段600を示している。MDACは、増幅器602および4チャンネル(チャンネル1-4)604、606、608、610を含むことができる。各チャンネルは、特定のモードで動作する同一の回路ブロックのコピーであってもよい。各チャンネルは、それぞれフラッシュ(604.10、606.10、608.10、610.10)、入力キャパシタ(604.20、606.20、608.20、610.20)、DACキャパシタ(604.30、606.30、608.30、610.30)、及びフィードバックキャパシタ(604.40、606.40、608.40、610.40)を含んでもよい。4セットのスイッチ612、614、616、618は選択的にチャンネルを結合し、入力信号 $V_{k-1}$ または増幅器602に係合することができる。チャンネルが増幅器602に結合されることにより、結合されたチャンネルと増幅器602が、図3に示されたような特定のMDACを形成してもよい。

[0025] 動作中、各クロックサイクルにおいて、4個のチャンネル604、606、608、610は、回路ブロックのサンプリングモード、プリゲインモード、ゲインモード、及びリセットモードのいずれかで交互に動作することができる。図8は、ADCクロックに対する4チャンネルのインターリーブ動

作モードを示す図である。例えば、図8に示すように、第1のクロックサイクル中に、チャンネル1は、サンプルモードで動作し、チャンネル2はプリゲインモードで動作し、チャンネル3はゲインモードで動作し、チャンネル4はリセットモードで動作してもよい。リセットモードは、他のモードの間に達成されるキャパシタのリセットの未使用モードの状態であってもよいことに留意すべきである。未使用モードは、ランダム化のために挿入することができる。第2クロックサイクル中に、チャンネル1は、プリゲインモードで動作し、チャンネル2は、ゲインモードで動作し、チャンネル3は、サンプルモードで動作し、チャンネル4はリセットモードで動作する。図8に示すように、4つチャンネルは、4つのチャンネルの各々が、1クロックサイクルの間に1つの対応するモードで動作するよう、交互に動作する。さらに、特定のチャンネルに関して、特定のチャンネルは、サンプル、プリゲイン、ゲインの順に並び、ランダムな数のリセットモードがゲインモードの後に挿入され得る。」

(3) 「[0030] In one embodiment of the present invention, channel 604 may also operate during a reset mode. During the reset mode, channel 604 may be disengaged from the input signal  $V_{k-1}$  and from amplifier 602 so that the comparator in flash 604.10 and DAC capacitors 604.30 may be reset during the reset mode.」

(当審仮訳)

「[0030] 本発明の一実施形態では、チャンネル604はまた、リセットモードの間に動作することができる。フラッシュ604.10の比較器とDACキャパシタ604.30をリセットモードの間にリセットするように、リセットモード中に、チャンネル604は、入力された信号 $V_{k-1}$ 及び増幅器602から不作動にされる。」

(4) 「[0035] FIG.9 illustrates an exemplary circuit of an MDAC stage according to an embodiment of the present invention. FIG.9 illustrates a circuit block of one channel. However, circuit blocks of other channels are similar and may be coupled to the illustrated channel in parallel. A common differential amplifier 902 may be selectively coupled to one of the channels. Within the illustrated channel 900, the circuit block may include a 3-bit flash ADC 904, capacitors 906.10, 906.20, 908.10, 908.20, 910.10, 910.20, and switches 912.10, 912.20, 914, 916, 918.10, 918.20, 920, 922.10 to 922.40, 924, and 926. Capacitors 906.10, 906.20 are input capacitors that receive input signals. Capacitors 908.10, 908.20 are DAC capacitors. Capacitors 910.10, 910.20 are feedback capacitors. These switches are controllable so that they may be selectively engaged to transition the circuit block into one of a sample, pre-gain, gain, and reset modes. [0036] During the sample mode, switches 912.10, 912.20, 916 may be engaged so that input capacitors 906.10, 906.20 may be charged with the input signal. Also during the sample mode, switches 914, 920 may be engaged so that DAC capacitors 908.10, 908.20 and feedback capacitors 910.10, 910.20 may be reset. During the sample mode, all other switches are disengaged. Thus, the channel is decoupled from the amplifier 902. [0037] During the pre-gain mode, switch sets 918.10, 918.20 may be engaged so that DAC capacitors 908.10, 908.20 may be charged. Since the 3-bit flash has 8 outputs, each switch sets 918.10, 918.20 may include eight switches. Further, switch 926 may be

engaged so that the charge on the input capacitors 906.10, 906.20 and DAC capacitors may be distributed during the pre-gain mode. During the pre-gain mode, all other switches are disengaged. Thus, the channel is decoupled from the amplifier 902.

[0038] Switch 924 may be engaged briefly with a pulse to reset the amplifier 902 at the beginning of every gain mode of each channel. Subsequent to the quick reset of the amplifier 902, switches 922.10 to 922.40 may be engaged so that the feedback capacitors 910.10, 910.20 may be coupled to the amplifier 902 and the charge that stored in the input capacitors 906.10, 906.20 may be transferred to the feedback capacitors 910.10, 910.20. Since the charge has been pre-distributed between the DAC capacitors 908.10, 908.20 and the input capacitors 906.10, 906.20, the transition to gain settling during gain mode is more linear and faster. In an alternative embodiment of the present invention, a reset clamp switch (not shown) may be coupled to the output node of the amplifier 902. The coupling of the output reset clamp switch may be in sync with the timing of switch 924 to achieve even more linear settling for the amplifier 902.]

(当審仮訳)

「[0035] 図9は、本発明の実施の形態に係るMDAC段の例示的な回路を示す図である。図9は1つのチャンネルの回路ブロックを示している。しかし、他のチャンネルの回路ブロックは類似しており、並列に図示されているチャンネルに結合されてもよい。共通の差動増幅器902は、チャンネルの1つに選択的に結合され得る。図示されたチャンネル900内で、回路ブロックは、3ビットフラッシュ型ADC904、キャパシタ906.10、906.20、908.10、908.20、910.10、910.20、スイッチ912.10、912.20、914、916、918.10、918.20、920、922.10から922.40、924、926を含んでもよい。キャパシタ906.10、906.20は、入力信号を受信する入力キャパシタである。キャパシタ908.10、908.20は、DACキャパシタである。キャパシタ910.10、910.20は、フィードバックキャパシタである。これらのスイッチは、選択的に回路ブロックを、サンプル、プリゲイン、ゲイン、リセットのモードの1つに遷移させるために、制御可能である。

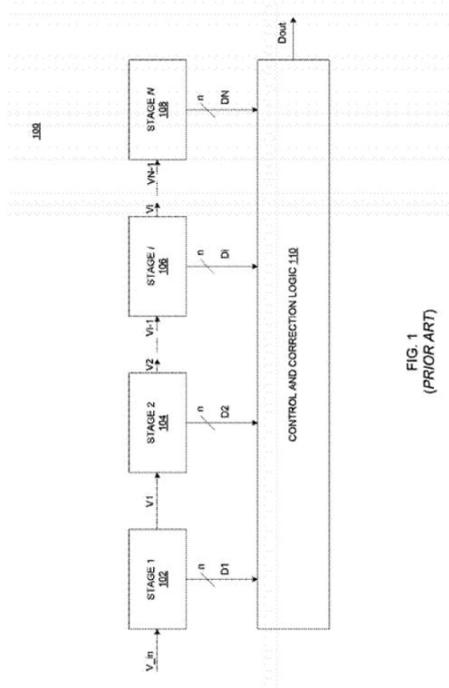
[0036] サンプルモードの間、入力キャパシタ906.10、906.20が入力信号でチャージされ得るように、スイッチ912.10、912.20、916が作動中にされ得る。また、サンプルモードの間、DACキャパシタ908.10、908.20とフィードバックキャパシタ910.10、910.20がリセットされ得るように、スイッチ914、920が作動中にされ得る。サンプルモードの間、他のすべてのスイッチは不動作にされる。このように、チャンネルは増幅器902から分離されている。

[0037] プリゲインモードの間、DACキャパシタ908.10、908.20がチャージされ得るように、スイッチの組918.10、918.20が作動中にされ得る。3ビットフラッシュは8個の出力を有することから、スイッチの組918.10、918.20はそれぞれ、8個のスイッチを含むことができる。また、スイッチ926は、入力キャパシタ906.10、906.20およびDACキャパシタ上の電荷が、プリゲインモードの間に分配され得るように作動中にされ得る。プリゲインモードの間、他のすべてのスイッチは

不動作にされる。このように、チャンネルは増幅器 902 から分離されている。

[0038] スイッチ 924 は、各チャンネルそれぞれの全てのゲインモードの開始時に増幅器 902 をリセットするパルスにより一時的に作動中にされ得る。フィードバックキャパシタ 910.10、910.20 が増幅器 902 に結合され、入力キャパシタ 906.10、906.20 に貯められた電荷がフィードバックキャパシタ 910.10、910.20 に伝送することができるように、増幅器 902 の迅速なリセットに続いて、スイッチ 922.10 から 922.40 が、作動中にされ得る。電荷は、DAC キャパシタ 908.10、908.20 と入力キャパシタ 906.10、906.20 の間で事前に分配されているので、ゲインモードにおけるゲイン決定の遷移はより直線的、高速である。本発明の別の実施形態では、リセットクランプスイッチ（図示せず）が増幅器 902 の出力ノードに結合されてもよい。出力リセットクランプスイッチの結合は、増幅器 902 のためにより直線的な決定を達成するよう、スイッチ 924 のタイミングに同期させてもよい。」

(5) 図 1



(6) 図 6

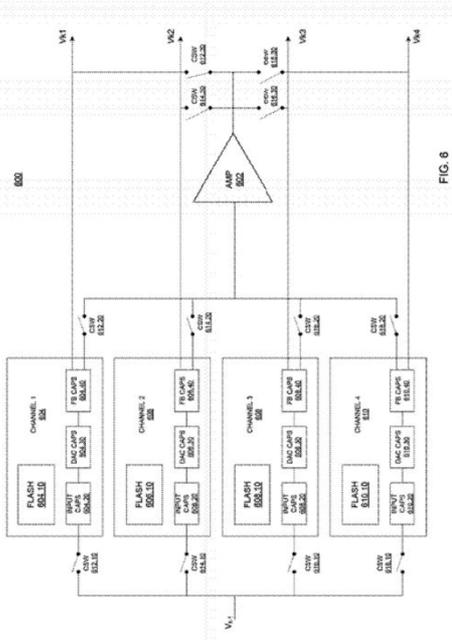


FIG. 8

(7) 8

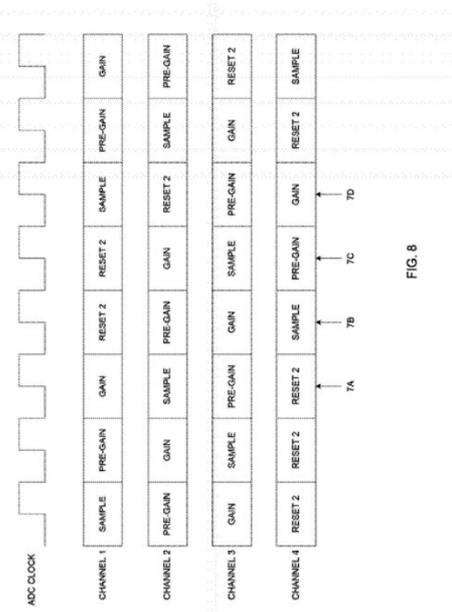


FIG. 8

(8) 9

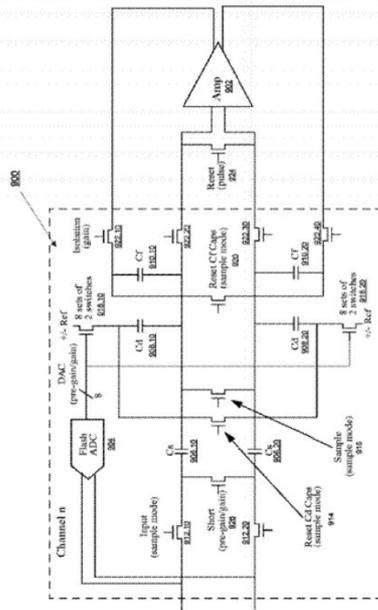


FIG. 9

上記（４）[0035]には、図９の回路は、MDAC段の回路のうちの１つのチャンネルの回路ブロックを示したものであり、他のチャンネルの回路ブロックも類似したものが並列に接続されることが記載されている。また当該回路ブロックは、サンプル、プリゲイン、ゲイン、リセットの各モードを遷移することが記載されている。そうすると、上記（４）、（８）に記載されるMDAC段の１つのチャンネルの回路ブロックは、上記（２）[0024]～[0025]に記載されるパイプライン型ADCのMDAC段の、１つのチャンネルの具体的な回路構成を示したものであり、複数のチャンネルにおいて、各回路ブロックがインターリーブ動作をするものといえる。一方、（１）によれば、本発明は「パイプライン型ADC」であって、「パイプライン型ADC」は、MDAC段がカスケード接続されたものである。

また、（８）図９には、差動増幅器902は、２つの信号を入力し、２つの信号を出力することが記載されている。

さらに、上記（４）[0036]～[0038]に記載されるように、スイッチ922.10から922.40はゲインモードにおいて作動中とされるものであり、ゲインモードとなるのは、（７）図8より、各ADCクロックにおいて、いずれか１つのチャンネルのみであるから、複数のチャンネルの一方のスイッチ922.10～922.40は、複数のチャンネルの他方のチャンネルのスイッチ922.10～922.40が不動作にされるときに、作動中とされるものである。

ここで、上記（１）の記載より、「ADC」は、「アナログデジタル変換器」であり、「MDAC」は、「マルチプルデジタルアナログ変換器」の略称といえる。

したがって、引用文献１には、次の発明（以下「引用発明」という。）が記載されている。

「パイプライン型アナログデジタル変換器であって、前記パイプライン型アナログデジタル変換器は、

インターリーブ動作モードで動作する、3ビットフラッシュ型アナログデジタル変換器を有するマルチプルデジタルアナログ変換器段を備え、前記マルチプルデジタルアナログ変換器段は、

2つの信号の入力を備える差動増幅器902と、

複数のチャンネルであって、前記複数のチャンネルのそれぞれは、2つのスイッチ922.20、922.30であって、前記2つのスイッチは、

前記増幅器の2つの入力のうちの一方の入力に接続され、作動中とされる状態において、入力キャパシタ906.10、906.20に貯められた電荷がフィードバックキャパシタ910.10、910.20に伝送することができ、不作動にされる状態において、チャンネルが増幅器902から分離される、一方のスイッチ922.20と、

前記増幅器の2つの入力のうちの他方の入力に接続され、作動中とされる状態において、入力キャパシタ906.10、906.20に貯められた電荷がフィードバックキャパシタ910.10、910.20に伝送することができ、不作動にされる状態において、チャンネルが増幅器902から分離される、他方のスイッチ922.30と、

を備える、複数のチャンネルと

を備え、

前記複数のチャンネルの1つのチャンネルにおける前記スイッチ922.20、922.30が、前記複数のチャンネルの他のチャンネルにおける前記スイッチ922.20、922.30が不作動にされるときに、作動中とされるように構成され、

る、パイプライン型アナログデジタル変換器。」

## 2 引用文献2の記載及び引用文献2に記載された技術

当審拒絶理由で通知した特開2011-48885号公報（以下、「引用文献2」という。）には、以下の事項が記載されている。

### (1) 「【0021】

#### 実施の形態1

本発明の実施の形態1について図面を参照して説明する。図1は、本発明の実施の形態1にかかる半導体記憶装置のブロック図である。図1に示す回路は、 $m \times n$  ( $m$ 、 $n$ は自然数)個のメモリセルMC00~MC( $m-1$ )( $n-1$ )と、 $n$ 個のプリチャージ回路PC0~PC( $n-1$ )と、 $n$ 個のカラムセレクト回路CSR0~CSR( $n-1$ )と、 $n$ 個の容量付加回路DC0~DC( $n-1$ )と、1個のプリチャージ回路PCsと、1個のセンスアンプSAと、を備える。なお、図1に示す回路は、 $m$ ROW(行;ロウ)、 $n$ COLUMN(列;カラム)のメモリセルアレイを構成している。つまり、図1中横方向(行方向)に $n$ 個、図1中縦方向(列方向)に $m$ 個、のメモリセルがマトリクス状に配置され、メモリセルアレイを構成している。

## 【0022】

ワード線WLとビット線対DT/DBとの交点にメモリセルが配置され、全体として $m \times n$ 個のメモリセルMC00~MC(m-1)(n-1)が、マトリクス状に配置される。なお、ワード線WLは、ワード線WL0~WL(m-1)によって構成される。また、ビット線対DT/DBは、ビット線対DT0/DB0~DT(n-1)/DB(n-1)によって構成される。」

## (2) 「【0026】

ビット線対DT0/DB0は、プリチャージ回路PC0と、カラムセクタ回路CSR0と、を介してREAD線対(共通信号線対)YDT/YDBに接続される。同様に、ビット線対DT(n-1)/DB(n-1)は、プリチャージ回路PC(n-1)と、カラムセクタ回路CSR(n-1)と、を介してREAD線対YDT/YDBに接続される。このようにして、n列に配置されたメモリセル群がそれぞれ対応するプリチャージ回路PC0~PC(n-1)及びカラムセクタ回路CSR0~CSR(n-1)を介して共通のREAD線対YDT/YDBに接続される。

## 【0027】

READ線対YDT/YDBは、センスアンプ用プリチャージ回路PCsを介して、センスアンプSAの入力端子にそれぞれ接続される。センスアンプSAの出力端子は半導体記憶装置の外部出力端子に接続される。つまり、センスアンプ回路SAは、READ線対YDT/YDBの電位差を増幅し、メモリセルからの読み出しデータとして出力する。

## 【0028】

カラムセクタ回路CSR0は、カラム選択用トランジスタ(第1のスイッチ素子)T102と、カラム選択用トランジスタ(第2のスイッチ素子)T103と、を有する。なお、本実施の形態では、トランジスタT102、T103がPチャネルMOSトランジスタである場合を例に説明する。」

## (3) 「【0033】

ここで、本実施の形態の半導体記憶装置は、YDTに付加される寄生容量とYDBに付加される寄生容量とが等しくなるようにしている。すなわち、ビット線対DT/DBとREAD線YDTとの間の寄生容量と、ビット線対DT/DBとREAD線YDBとの間の寄生容量と、が実質的に同一になるよう容量付加回路を備える。」

## (4) 「【0037】

つまり、各カラム選択トランジスタと、それに対応するダミートランジスタとは、互いにトランジスタサイズが実質的に同一である。それにより、各カラム選択トランジスタのオフ状態のソースドレイン間の寄生容量と、それに対応するダミートランジスタのソースドレイン間の寄生容量と、が実質的に同一となる。また、各カラム選択トランジスタとそれに対応するダミートランジスタとは、ソース端子に互いに異なるREAD線(YDT、YDB)が接続さ

れ、ドレイン端子に互いに共通のビット線が接続される。

【0038】

例えば、ビット線対DT1/DB1が非選択とする。このとき、T106に起因する寄生容量のノイズはYDTにのり、T105に起因する寄生容量のノイズはYDBにのる。同様に、T107に起因する寄生容量はYDBにのり、T108に起因する寄生容量はYDTにのる。同じ関係は他の非選択カラム（例えばDT2/DB2, DT3/DB3）についても成り立つ。」

(5) 「【0057】

式(6)からも明らかのように、センスアンプSAに入力されるREAD線対YDT/TDBの電位差は、非選択カラムのビット線の電位変動した場合でも、ノイズが発生しない場合と同じである(図3D)。つまり、READ線対YDT/YDBは、非選択カラムのビット線対からのノイズを互いに相殺する。それにより本実施の形態の半導体記憶装置は、精度の高いデータの読み出しを行うことができる。

【0058】

また、各カラム選択トランジスタ及び各ダミートランジスタは、PチャネルMOSトランジスタである。それにより、それぞれのレイアウトパターンを同じにすることができる。つまり、容易に互いの寄生容量を一致させることができる。

【0059】

このように、READ線YDTに付加される容量と、READ線YDBに付加される容量と、が一致することにより、ビット線DT1の電位変動はREAD線対YDT/TDBに等しくノイズを与え、ビット線DB1の電位変動はREAD線対YDT/YDBに等しくノイズを与える。ビット線の電位変動がREAD線対YDT/YDBに与えるノイズは互いに等しいため、互いに相殺しあう。これは、他の非選択カラムのビット線対DT2/DB2、DT3/DB3の場合も同様である。つまり、非選択カラムのビット線の電位変動によらず、READ線YDTとREAD線YDBとの間の電位差は、ノイズが発生しない場合と同じになる。それにより、本実施の形態の半導体記憶装置は、精度の高いデータの読み出しを行うことができる。」

(6) 「【0072】

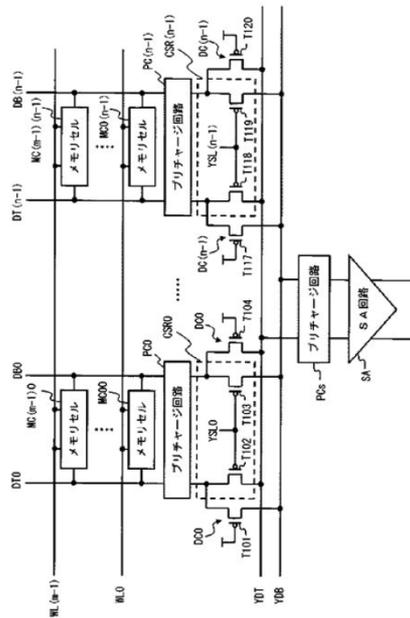
なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。例えば、上記実施の形態では、カラムセクタ回路及び容量付加回路がダミー素子としてダミートランジスタ又はダミートランスファークゲートを備えた場合を例に説明したが、これに限られない。カラム選択トランジスタ（又はカラム選択トランスファークゲート）のオフ時のソースドレイン間の寄生容量と実質的に同一となるような容量素子（コンデンサ）を、ダミー素子として備えた回路構成にも適宜変更可能である。図7に具体例を示す。図7に示す回路は、図1に示す回路と比較して、ダミートランジスタT101, T104, T117, T120に代えて、それぞれコンデン

サC101, C104, C117, C120を備える。

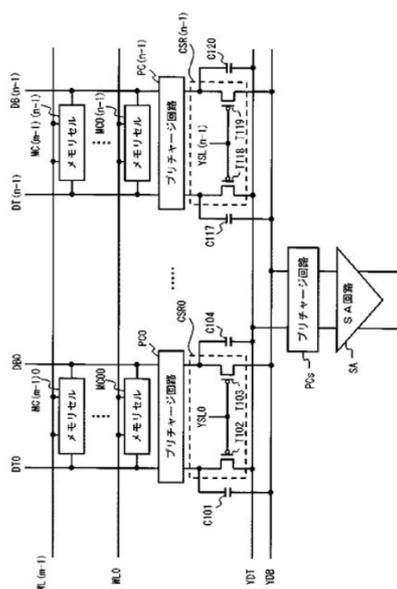
【0073】

コンデンサC101は、一方の端子にビット線DT0が接続され、他方の端子にREAD線YDBが接続される。コンデンサC104は、一方の端子にビット線DB0が接続され、他方の端子にREAD線YDTが接続される。また、コンデンサC117は、一方の端子にビット線DT(n-1)が接続され、他方の端子にREAD線YDBが接続される。コンデンサC120は、一方の端子にビット線DB(n-1)が接続され、他方の端子にREAD線YDTが接続される。このような回路構成の場合でも、図1に示す回路と同様の効果を得ることができる。」

(7) 図1



(8) 図7



上記(2)【0027】の、「センスアンプ回路SAは、READ線対YDT/YDBの電位差を増幅」するとの記載より、センスアンプ回路は差動増幅器である。

また、(2)【0027】、(6)【0072】～【0073】、(8)図7によれば、一对のコンデンサからなるダミー素子C101、C104により、センスアンプ回路の一对の入力に接続される一对のスイッチ素子T102、T103の入力側とセンスアンプ回路の一对の入力との間を交差連結している。

以上より、引用文献2には、

「差動増幅器の一对の入力に接続される一对のスイッチ素子の入力側と差動増幅器の一对の入力との間に一对のダミー素子を交差連結し、ダミー素子として、スイッチ素子がオフ状態のときの寄生容量と実質的に同一の容量のコンデンサとすることで、スイッチ素子のオフ状態のときの寄生容量によるノイズを相殺する技術」(以下、「周知技術」という。)が記載されていると認められる。

## 第5 対比

本願発明と引用発明を対比する。

1 引用発明の「パイプライン型アナログデジタル変換器」は、本願発明の「装置」に含まれる。

2 引用発明の「マルチプルデジタルアナログ変換器段」は、マルチプルデジタルアナログ変換器段が有する「3ビットフラッシュ型アナログデジタル変換器」によりアナログデジタル変換の処理を行うことから、本願発明の「アナログデジタル変換器段」と称することは任意である。

3 「差動増幅器」の2つの信号の入力は、一般に「反転入力」と「非反転入力」と称されるものである。よって、引用発明の「2つの信号の入力を備える差動増幅器902」は、「非反転入力と反転入力とを備える増幅器」に相当す

る。

4 引用発明の「2つのスイッチ922. 20、922. 30」について、それぞれのスイッチは、増幅器の入力に接続されることから、本願発明の「一对の増幅器入力スイッチ」に対応する。

また、引用発明のスイッチが「作動中とされる状態」は、「入力キャパシタ906. 10、906. 20に貯められた電荷がフィードバックキャパシタ910. 10、910. 20に伝送することができ」ることから、スイッチがオンにされるときであり、スイッチの入力が増幅器の2つの信号の入力の一方に提供される状態といえる。また、スイッチが「不作動にされる状態」は、「チャンネルが増幅器902から分離される」ことから、スイッチがオフにされるときであり、スイッチの入力と増幅器の2つの信号の入力の一方が、電氣的に絶縁する状態といえる。

したがって、引用発明の「前記増幅器の2つの入力のうちの一方の入力に接続され、作動中とされる状態において、入力キャパシタ906. 10、906. 20に貯められた電荷がフィードバックキャパシタ910. 10、910. 20に伝送することができ、不作動にされる状態において、チャンネルが増幅器902から分離される、一方のスイッチ922. 20」は、本願発明の「第1のスイッチ入力を受信し、スイッチがオンにされるときに前記第1のスイッチ入力を前記増幅器の前記非反転入力に提供し、スイッチがオフにされるときに前記増幅器の前記非反転入力を前記第1のスイッチ入力から電氣的に絶縁するように構成される第1のスイッチ」に対応する。

同様に、引用発明の「前記増幅器の2つの入力のうちの他方の入力に接続され、作動中とされる状態において、入力キャパシタ906. 10、906. 20に貯められた電荷がフィードバックキャパシタ910. 10、910. 20に伝送することができ、不作動にされる状態において、チャンネルが増幅器902から分離される、他方のスイッチ922. 30」は、本願発明の「第2のスイッチ入力を受信し、スイッチがオンにされるときに前記第2のスイッチ入力を前記増幅器の前記反転入力に提供し、スイッチがオフにされるときに前記増幅器の前記反転入力を前記第2のスイッチ入力から電氣的に絶縁するように構成される第2のスイッチ」に対応する。

そうしてみると、本願発明と引用発明は、

「装置であって、前記装置は、

インターリーブされたアナログーデジタル変換器段を備え、前記アナログーデジタル変換器段は、

非反転入力と反転入力とを備える増幅器と、

複数のチャンネルであって、前記複数のチャンネルのそれぞれは、  
一对の増幅器入力スイッチであって、前記一对の増幅器入力スイッチは、

第1のスイッチ入力を受信し、スイッチがオンにされるときに前記第1のスイッチ入力を前記増幅器の前記非反転入力に提供し、スイッチがオフにされるときに前記増幅器の前記非反転入力を前記第1のスイッチ入力から電氣的に絶縁するように構成される第1のスイッチと、

第2のスイッチ入力を受信し、スイッチがオンにされるときに前記第2のスイッチ入力を前記増幅器の前記反転入力に提供し、スイッチがオフにされるときに前記増幅器の前記反転入力を前記第2のスイッチ入力から電氣的に絶縁するように構成される第2のスイッチと

を備える、一対の増幅器入力スイッチと、  
を備える、複数のチャンネルと  
を備え、

前記複数のチャンネルの一方の前記一対の増幅器入力スイッチが、前記複数のチャンネルの他方の前記一対の増幅器入力スイッチがオフにされるときに、前記増幅器の前記非反転入力および前記反転入力に電荷を提供するように構成される装置。」

である点で一致し、次の点で相違する。

相違点：

本願発明は、複数のチャンネルが「前記一対の増幅器入力スイッチの入力と前記増幅器の入力との間に交差連結される一対のダミー回路素子であって、前記一対のダミー回路素子のそれぞれのダミー回路素子が、前記第1のスイッチがオフにされるときに前記第1のスイッチと実質的に同一の静電容量を有する、一対のダミー回路素子と」を備え、「前記ダミー回路素子はコンデンサを含む」のに対し、引用発明では、当該構成を有していない点。

## 第6 判断

上記相違点について検討する。

オフの状態のスイッチにおいて、寄生容量による電荷のリークによってノイズが生じることは技術常識であり、引用発明における、スイッチ922、20、922、30も不作動にされる状態のあるスイッチであるから、スイッチがオフ状態のときに寄生容量によるノイズが生じることは自明であり、当該自明の問題を解決する手段として、上記周知技術である「差動増幅器の一対の入力に接続される一対のスイッチ素子の入力側と差動増幅器の一対の入力との間に一対のダミー素子を交差連結し、ダミー素子として、スイッチ素子がオフ状態のときの寄生容量と実質的に同一の容量のコンデンサとすることで、スイッチ素子のオフ状態のときの寄生容量によるノイズを相殺する技術」を適用して、本願発明とすることは当業者が容易になし得る。

## 第7 請求人の主張について

審判請求人は、令和1年7月4日に提出した意見書において、「引用文献1では、サンプルモードの間、スイッチ916が作動中にされますので、入力コンデンサ906.10、906.20の増幅器902側の電位は同じになります。プリゲインモードの間、スイッチ926が作動中にされますので、入力コンデンサ906.10、906.20の入力側の電位は同じになります。このとき、スイッチ916は不作動であり、入力コンデンサ906.10、906.20の増幅器902側の電位は、符号が異なり、同じ大きさになります。従って、スイッチ922.20、922.30を通過してリークした電荷は、ゲインモードの始めのリセットで互いに打ち消し合います。従って、

引用文献 2 に開示された技術を引用文献 1 に開示された発明に適用する動機付けはな」い旨、主張する。

しかしながら、不作動とされる状態のスイッチにおいて、請求人も「スイッチ 922.20、922.30 を通ってリークした電荷」と記載するように、寄生容量による電荷がリークしてノイズが生じることは技術常識であるから、引用発明においても、プリゲインモードの間において、不作動とされる状態のスイッチ 922.20、922.30 に同様のノイズが生じることは明らかである。

したがって、当該寄生容量による電荷のリークによるノイズを相殺する、引用文献 2 に記載の技術を適用する動機付けを有するものである。

よって、請求人の当該主張は採用できない。

## 第 8 むすび

以上のとおり、本願発明は、その出願前に日本国内又は外国において、頒布された又は電気通信回線を通じて公衆に利用可能となった引用文献 1 に記載された発明、引用文献 2 に記載の技術に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法 29 条 2 項の規定により特許を受けることができない。

よって、結論のとおり審決する。

令和 1 年 1 1 月 1 8 日

審判長 特許庁審判官 吉田 隆之  
特許庁審判官 衣鳩 文彦  
特許庁審判官 岡本 正紀

(行政事件訴訟法第 46 条に基づく教示)

この審決に対する訴えは、この審決の謄本の送達があった日から 30 日（附加期間がある場合は、その日数を附加します。）以内に、特許庁長官を被告として、提起することができます。

審判長 吉田 隆之

出訴期間として在外者に対し 90 日を附加する。

〔審決分類〕 P 1 8 . 1 2 1 - W Z ( H 0 3 F )

審判長 特許庁審判官 吉田 隆之 9077  
特許庁審判官 岡本 正紀 3138  
特許庁審判官 衣鳩 文彦 9199