

審決

不服 2020-10043

(省略)

請求人 クアルコム, インコーポレイテッド

(省略)

代理人弁理士 村山 靖彦

(省略)

代理人弁理士 黒田 晋平

特願 2016-546024 「切替え可能なアンテナアレイ」拒絶査定不服審判事件〔平成 27 年 7 月 23 日国際公開, WO2015/108644, 平成 29 年 4 月 6 日国内公表, 特表 2017-510130〕について, 次のとおり審決する。

結論

本件審判の請求は, 成り立たない。

理由

1. 手続の経緯

本願は, 2014 年(平成 26 年)12 月 15 日(パリ条約による優先権主張外国庁受理 2014 年 1 月 17 日 米国, 2014 年 12 月 12 日 米国)を国際出願日とする出願であって, 平成 29 年 1 月 28 日に手続補正がなされ, 平成 30 年 1 月 29 日付けで拒絶理由が通知され, 平成 31 年 3 月 4 日に手続補正がなされ, 令和元年 8 月 7 日付けで拒絶理由が通知され, 令和元年 12 月 16 日に手続補正がなされ, 令和 2 年 4 月 24 日付けで拒絶査定がされ, 令和 2 年 7 月 17 日に拒絶査定不服審判が請求され, 同時に手続補正がなされたものである。

2. 本願発明

本願の請求項 1 に係る発明(以下, 「本願発明」という。)は, 令和 2 年 7 月 17 日の手続補正書の特許請求の範囲の請求項 1 に記載された事項により特定される, 以下のとおりのもものと認める。

「インピーダンス回路と,

前記インピーダンス回路に結合される複数のインダクタであって, 前記複数

のインダクタの各々が、複数のスイッチのうちの対応するスイッチに並列に結合される、複数のインダクタと

を含み、

前記複数のインダクタの各々の前記対応するスイッチの入力部が、前記インピーダンス回路の出力部である共通ノードに結合され、

前記インピーダンス回路は、整合ネットワークを備える、装置。」

3. 原査定の拒絶の理由

原査定の拒絶の理由は、この出願の請求項1に係る発明は、本願の優先権主張の日（以下、「優先日」という。）前に日本国内又は外国において、頒布された又は電気通信回線を通じて公衆に利用可能となった下記の引用文献1に記載された発明に基づいて、その優先日前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない、というものである。

引用文献1. 特開2003-338773号公報

4. 引用例

(1) 引用例1

原査定の拒絶の理由に引用された、本願の優先日前である平成15年11月28日に公開された特開2003-338773号公報（以下、「引用例1」という。下線は当審が付与。）には、次の事項が記載されている。

「【請求項1】 第1・第2・第3の3つの入出力端子と、第1の入出力端子を介する第1の信号経路と第2の入出力端子を介する第2の信号経路との接続点とを備え、スイッチ素子を含む第1の回路を第1の信号経路に直列接続し、スイッチ素子を含む第2の回路を第2の信号経路に直列接続し、前記接続点を第3の入出力端子に接続したSPDT形式の高周波スイッチ回路において、第1・第2の回路のそれぞれは、スイッチ素子とインダクタとの並列回路を含み、第1・第2の入出力端子と第1・第2の回路の入出力部との間に生じるワイヤやストリップライン等によるインピーダンス成分と、第3の入出力端子と前記接続点との間に生じるワイヤやストリップライン等によるインピーダンス成分とに応じて、入出力VSWRが小さくなるように、キャパシタンス成分を含むインピーダンス素子を前記接続点と接地との間に接続したことを特徴とする高周波スイッチ回路。」

「【0015】

【発明の実施の形態】第1の実施形態に係る高周波スイッチ回路の構成を図1～図4を参照して説明する。図1は高周波スイッチ回路の回路図である。ここ

で、1 1は第1の入出力端子、1 2は第2の入出力端子、1 3は第3の入出力端子、1 4は接続点である。図1 1に示した例と同様に、スイッチ素子2 1とインダクタ3 1との並列回路によって第1の回路を構成し、スイッチ素子2 2とインダクタ3 2との並列回路によって第2の回路を構成している。これらの第1の回路1を第1の入出力端子1 1と接続点1 4との間の第1の信号経路に直列接続し、第2の回路2を第2の入出力端子1 2と接続点1 4との間の第2の信号経路に直列接続している。

【0016】図2はスイッチ素子2 1とその周囲の具体的な回路について示している。このようにスイッチ素子2 1はFETからなり、そのドレインソース間にインダクタ3 1を接続している。またゲートに、抵抗Rを介してゲート信号を印加するようにしている。したがってFETがオンの時には、そのドレインソース間は低インピーダンスの抵抗素子と等価となり、オフ時にはドレインソース間がキャパシタンス素子と等価となる。スイッチ素子2 2についても同様である。

【0017】図1に戻って、4 1は、第1の回路1と第1の入出力端子1 1との間に生じるインピーダンス成分である。4 2は、第2の回路2と第2の入出力端子1 2との間に生じるインピーダンス成分である。これらのインピーダンス成分4 1、4 2は、第1・第2の入出力端子1 1、1 2と第1・第2の回路1、2との入出力部との間に介在するワイヤーやストリップライン等によるインピーダンス成分である。4 3は第3の入出力端子1 3と接続点1 4との間に生じるインピーダンス成分である。これは第3の入出力端子1 4と接続点1 4との間の経路になるワイヤーやストリップライン等のインピーダンス成分である。これらのインピーダンス成分4 1、4 2、4 3はそれぞれ主としてインダクタンス成分からなる。

【0018】7 4は接続点1 4と接地との間に接続したインピーダンス素子である。5 4はそのキャパシタンス成分、6 4はそのインダクタンス成分である。実際には、接続点1 4と接地との間にキャパシタ（キャパシタンス素子）を接続する。インダクタンス成分6 4は、その接続のためのワイヤーやストリップラインのインダクタンス成分に相当する。

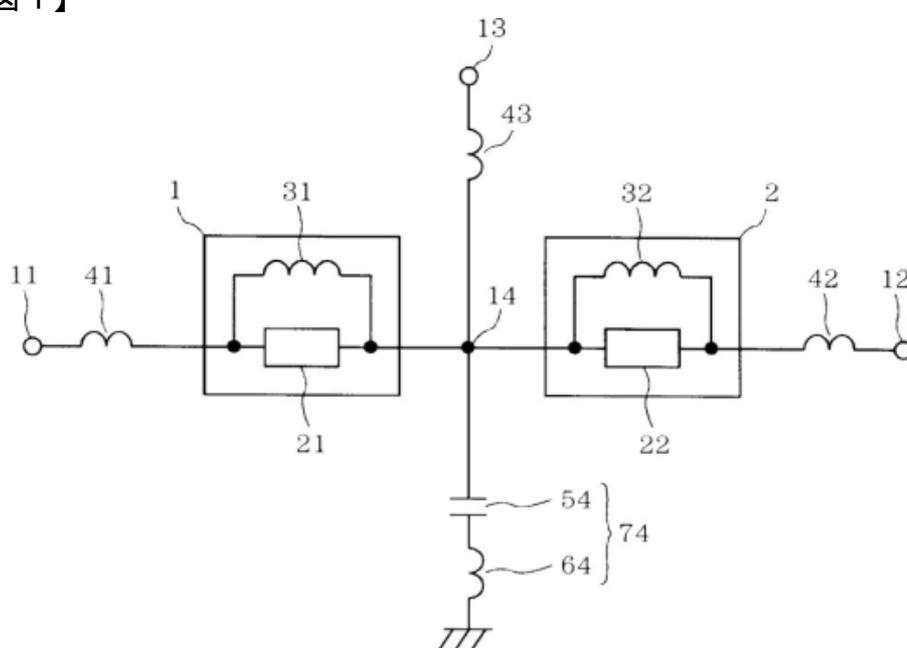
【0019】図1に示した高周波スイッチ回路の動作は次のとおりである。まず、第1の入出力端子1 1から第3の入出力端子1 3へ信号を通過させる場合について説明する。このとき、スイッチ素子2 1は単なる抵抗素子、スイッチ素子2 2は単なる容量素子と等価になる。第1の入出力端子1 1と第2の入出力端子1 2との間、第2の入出力端子1 2と第3の入出力端子1 3との間は、それぞれアイソレーションを確保する必要がある。そこで、スイッチ素子2 2に並列にインダクタ3 2を接続し、スイッチ素子2 2のオフ時の容量成分と、インダクタ3 2のインダクタンス成分とにより並列共振回路を構成する。この並列共振回路の共振周波数が、第1の入出力端子1 1から入力される信号周波数に等しくなるように、インダクタ3 2のインダクタンスを定めておく。このことにより、第2の入出力端子1 2への信号の漏れが抑えられる。

【0020】第2の入出力端子1 2から第3の入出力端子1 3へ信号を通過させる場合も、同様にして、スイッチ素子2 1のオフ時の容量成分とインダクタ

3 1のインダクタンス成分とにより並列共振回路を構成する。この並列共振回路の共振周波数が、第2の入出力端子1 2から入力される信号周波数に等しくなるように、インダクタ3 1のインダクタンスを定めておく。このことにより、第1の入出力端子1 1への信号の漏れが抑えられる。

【0 0 2 1】但し、入力周波数が高くなる程、インピーダンス成分4 1, 4 2, 4 3のインダクタンス成分による影響が大きくなるため、入出力V SWRが劣化し、効率良く信号が入出力されない。その結果、挿入損失が劣化することになる。そこで、この例では、接続点1 4と接地との間にインピーダンス素子7 4を接続することによりその問題を解消する。」

「【図 1】



」

上記によれば、引用例 1 には、

「第 1・第 2・第 3 の 3 つの入出力端子と、第 1 の入出力端子を介する第 1 の信号経路と第 2 の入出力端子を介する第 2 の信号経路との接続点を備え、スイッチ素子を含む第 1 の回路を第 1 の信号経路に直列接続し、スイッチ素子を含む第 2 の回路を第 2 の信号経路に直列接続し、前記接続点を第 3 の入出力端子に接続した SPDT 形式の高周波スイッチ回路において、

入出力 V SWR が小さくなるように、キャパシタンス成分を含むインピーダンス素子を前記接続点と接地との間に接続し、

スイッチ素子 2 1 とインダクタ 3 1 との並列回路によって第 1 の回路を構成し、スイッチ素子 2 2 とインダクタ 3 2 との並列回路によって第 2 の回路を構成し、これらの第 1 の回路 1 を第 1 の入出力端子 1 1 と接続点 1 4 との間の第 1 の信号経路に直列接続し、第 2 の回路 2 を第 2 の入出力端子 1 2 と接続点 1 4 との間の第 2 の信号経路に直列接続し、

スイッチ素子21とその周囲の具体的な回路は、スイッチ素子21はFETからなり、そのドレインソース間にインダクタ31を接続しており、

第3の入出力端子13と接続点14との間に生じるインピーダンス成分43は、第3の入出力端子14と接続点14との間の経路になるワイヤーやストリップライン等のインピーダンス成分であり、

接続点14と接地との間に接続したインピーダンス素子74は、そのキャパシタンス成分54とそのインダクタンス成分64とからなり、実際には、接続点14と接地との間にキャパシタ（キャパシタンス素子）を接続し、インダクタンス成分64は、その接続のためのワイヤーやストリップラインのインダクタンス成分に相当し、

入力周波数が高くなる程、インピーダンス成分41、42、43のインダクタンス成分による影響が大きくなるため、入出力VSWRが劣化し、効率良く信号が入出力されず、挿入損失が劣化することになるため、接続点14と接地との間にインピーダンス素子74を接続することによりその問題を解消し、

第1の入出力端子11から第3の入出力端子13へ信号を通過させる、又は、第2の入出力端子12から第3の入出力端子13へ信号を通過させる、

SPDT形式の高周波スイッチ回路。」

が記載されている。（以下、「引用発明」という。）

（2）引用例2及び引用例3

本願の優先日前である2009年2月19日に公開された国際公開第2009/022654号（以下、「引用例2」という。下線は当審が付与。）には、次の事項が記載されている。

「[0003] 図1は、FETを用いた背景技術のスイッチ回路を示す図であり、SPDT（単極双投：single pole double through）型のスイッチ回路の構成を示す回路図である。」

「[0014] 図1に示したスイッチ回路では、第1のスイッチ部21が備える制御端子11及び第2のスイッチ部22が備える制御端子12にハイレベルまたはロウレベルの制御信号を入力することで、第1のスイッチ部21及び第2のスイッチ部22のオン・オフを制御する。このとき、制御端子11及び制御端子12にハイレベルとロウレベルの2値の制御信号を相補入力すれば、第1の高周波端子1から入力された高周波信号を第2の高周波端子2または第3の高周波端子3から出力させることが可能であり、第2の高周波端子2と第3の高周波端子3から入力された高周波信号のいずれか一方を第1の高周波端子1から出力させることが可能である。」

本願の優先日前である2007年11月29日に公開された国際公開第2007/136050号（以下、「引用例3」という。下線は当審が付与。）に

は、次の事項が記載されている。

「[0004] 図1はFETを用いた高周波スイッチ回路の例であり、SPDT（単極双投：single pole double through）型の高周波スイッチ回路の構成を示す回路図である。なお、図2は特開平8-139014号公報の図1で開示された回路である。

[0005] 図1に示す高周波スイッチ回路は、高周波信号を通過または遮断する第1のスイッチ部121及び第2のスイッチ部122を備えた構成である。

[0006] 第1のスイッチ部121は、直列に接続された複数のFET（図1では4つ）を備え、その両端が2つの高周波端子101、102と接続されている。各FETのゲート端子は抵抗素子を介して制御端子111と接続されている。同様に、第2のスイッチ部122は、直列に接続された複数のFET（図1では4つ）を備え、その両端が2つの高周波端子101、103と接続されている。各FETのゲート端子は抵抗素子を介して制御端子112と接続されている。なお、高周波端子101は第1のスイッチ部121及び第2のスイッチ部122で共有される。

[0007] 図1に示す高周波スイッチ回路では、第1のスイッチ部121が備える制御端子111及び第2のスイッチ部122が備える制御端子112にハイレベルまたはロウレベルの制御信号を入力することで、第1のスイッチ部121及び第2のスイッチ部122のオン・オフを制御する。このとき、制御端子111及び制御端子112にハイレベルとロウレベルの2値の制御信号を相補入力すれば、高周波端子101から入力された高周波信号を高周波端子102または高周波端子103から出力させたり、高周波端子102と高周波端子103から入力された高周波信号のいずれか一方を高周波端子101から出力させることが可能である。」

したがって、引用例2、3によれば、

「SPDT型の高周波スイッチ回路において、第1のスイッチ部と第2のスイッチ部のオン・オフを制御することで、第1の高周波端子から入力された高周波信号を第2または第3の高周波端子から出力させたり、第2と第3の高周波端子から入力された高周波信号のいずれか一方を第1の高周波端子から出力させることが可能である。」（以下、「周知技術1」という。）

ことが周知であるといえる。

（3）引用例4及び引用例5

本願の優先日前である平成4年11月18日に公開された実願平3-30588号（実開平4-126403号）のマイクロフィルム（以下、「引用例4」という。下線は当審が付与。）には、次の事項が記載されている。

「【0021】【考案の効果】 以上説明したように、本考案は、誘電体ロッド内に埋設される偏波面を回転する部材の一端に交叉偏波吸収部材を連続させ

て設け、該偏波面を回転する部材により偏波面が回転された直後に交叉偏波成分を抑圧するようにしたので、誘電体ロッドと導波管間の整合性の特性（VSWRや特性インピーダンスの変化）が改善され、その分伝送ロスを低減させることができる。」

本願の優先日前である平成12年7月18日に公開された特開2000-201015号公報（以下、「引用例5」という。下線は当審が付与。）には、次の事項が記載されている。

「【0006】しかしながら、この同軸共振型スロットアンテナは、スロット503を形成した絶縁基板501aと帯状導体層504を形成した絶縁基板501bを貼り合わせた構造であるので、貼り合わせの際に生じるスロット503と帯状導体層504との相対的な位置ずれにより、電磁気的な結合度が変化し易く、共振周波数やインピーダンス整合状態を表すVSWR（電圧定在波比）が大きくばらつくという問題がある。VSWRのばらつきを低減するためには、絶縁基板501a、501bやスロット部503、帯状導体層504を精度よく形成するとともに、絶縁基板501a、501bの貼り合わせを高精度に行わなければならない、製造工程が複雑化するという問題がある。」

したがって、引用例4、5によれば、「VSWRはインピーダンス整合状態を表すもの」（以下、「周知技術2」という。）

であることが周知であるといえる。

5. 本願発明と引用発明の対比

引用発明の「接続点14」は、本願発明の「共通ノード」に相当する。

引用発明の「インピーダンス素子74」は「接続点14と接地との間に接続」され、「インピーダンス成分43」は「第3の入出力端子13と接続点14との間」に生じるものであるから、引用発明の「インピーダンス素子74」と「インピーダンス成分43」は、全体として「インピーダンス回路」といえる。

そして、「入出力VSWRが小さくなるように、キャパシタンス成分を含むインピーダンス素子を前記接続点と接地との間に接続」、すなわち「入出力VSWRが劣化し、効率良く信号が入出力されず、挿入損失が劣化することになる」問題を解消するため、「接続点14と接地との間にインピーダンス素子74を接続する」のであって、VSWRがインピーダンス整合状態を表すものであることは、上記周知技術2として言及したように周知であることを考慮すれば、「インピーダンス素子74」は、インピーダンス整合の劣化を解消する素子であるから、「インピーダンス素子74」と「インピーダンス成分43」は、第3の入出力端子と接続点14に接続されている「整合ネットワークを備える」といえる。

引用発明の「第1の回路」はスイッチ素子21とインダクタ31との並列回路であって具体的には、「インダクタ31」は、スイッチ素子21であるFETのドレインソース間に接続されており、「第2の回路」もスイッチ素子22とインダクタ32との並列回路であるから、「複数のインダクタの各々が、複数のスイッチに並列に結合され」ているといえる。

スイッチ素子21とインダクタ31との並列回路によって第1の回路1を構成し、スイッチ素子22とインダクタ32との並列回路によって第2の回路2を構成して接続点14に接続されていて、接続点14には、「インピーダンス素子74」と「インピーダンス成分43」で構成される「整合ネットワーク」が接続されているから、「インダクタ31」と「インダクタ32」は、「前記インピーダンス回路に結合され」ていて、「前記複数のインダクタの各々が、複数のスイッチのうちの対応するスイッチに並列に結合され」ていて、「前記複数のインダクタの各々の前記対応するスイッチが、共通ノードに結合され」ている、といえる。

したがって、本願発明と引用発明は、

「インピーダンス回路と、

前記インピーダンス回路に結合される複数のインダクタであって、前記複数のインダクタの各々が、複数のスイッチのうちの対応するスイッチに並列に結合される、複数のインダクタと

を含み、

前記複数のインダクタの各々の前記対応するスイッチが、共通ノードに結合され、

前記インピーダンス回路は、整合ネットワークを備える、装置。」

で一致し、下記の点で相違する。

(相違点)

前記複数のインダクタの各々の前記対応するスイッチと共通ノードとの結合に関し、本願発明は「前記複数のインダクタの各々の前記対応するスイッチの入力部が、前記インピーダンス回路の出力部である共通ノードに結合」しているのに対し、引用発明は、前記複数のインダクタの各々の前記対応するスイッチが、共通ノードに結合されているが、第1の入出力端子11から第3の入出力端子13へ信号を通過させる場合と、第2の入出力端子12から第3の入出力端子13へ信号を通過させる場合、すなわち、「前記複数のインダクタの各々の前記対応するスイッチの出力部が、インピーダンス回路の入力部である共通ノードに結合されている」場合が説明されているだけである点。(つまり、本願発明は、前記インピーダンス回路から前記複数のインダクタへの信号であるのに対し、引用発明は、第1の回路1又は第2回路から「インピーダンス素子74とインピーダンス成分43」で構成される「整合ネットワーク」への信号であって、信号の向きが本願発明と引用発明とでは異なっている点。)

6. 当審の判断

上記相違点について検討する。

引用発明は、「第1の入出力端子」、「第2の入出力端子」、「第3の入出力端子」と記載されており、いずれの端子も「入出力」を行う端子であるから、各端子が、信号を入力すること、信号を出力すること、のどちらにも用いられることが可能であることは明らかである。

つまり、引用発明が、第1の入出力端子11から第3の入出力端子13へ信号を通過させる場合と、第2の入出力端子12から第3の入出力端子13へ信号を通過させる場合、つまり第1の端子11と第2の端子12は入力の場合だけが記載され、第3の端子13は出力の場合だけが記載されていても、第3の端子13から入力され、第1の端子11や第2の端子12から出力することが可能であることは明らかである。

加えて、SPDT型の高周波スイッチにおいて、第1のスイッチ部と第2のスイッチ部のオン・オフを制御することで、第1の高周波端子から入力された高周波信号を第2または第3の高周波端子から出力させたり、第2と第3の高周波端子から入力された高周波信号のいずれか一方を第1の高周波端子から出力させることが可能であることは、上記周知技術1として言及したように周知であるから、引用発明においても、第3の入出力端子13から第1の入出力端子11へ信号を通過させることや第3の入出力端子13から第2の入出力端子12へ信号を通過させることが可能であることは、周知技術1からも明らかである。

そして、引用発明において第3の入出力端子13から第1の入出力端子11や第2の入出力端子12へ信号を通過させる場合とは、「前記複数のインダクタの各々の前記対応するスイッチの入力部がインピーダンス素子74とインピーダンス成分43で構成されるインピーダンス回路の出力部である共通ノードに結合されている」ことである。

また、本願発明のように構成したことによる効果も引用発明及び周知技術から予測できる範囲のものである。

したがって、本願発明は、引用発明に基づいて容易に発明をすることができたものである。

7. むすび

以上のとおり、本願発明は、引用発明に基づいて、当業者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

したがって、本願は他の請求項に係る発明について検討するまでもなく、拒

絶すべきものである。
よって、結論のとおり審決する。

令和3年3月18日

審判長 特許庁審判官 佐藤 智康
特許庁審判官 吉田 隆之
特許庁審判官 谷岡 佳彦

(行政事件訴訟法第46条に基づく教示)

この審決に対する訴えは、この審決の謄本の送達があった日から30日（附加期間がある場合は、その日数を附加します。）以内に、特許庁長官を被告として、提起することができます。

審判長 佐藤 智康
出訴期間として在外者に対し90日を附加する。

〔審決分類〕 P 1 8 . 1 2 1 - Z (H 0 3 H)

審判長 特許庁審判官 佐藤 智康 9059
特許庁審判官 谷岡 佳彦 3463
特許庁審判官 吉田 隆之 9077